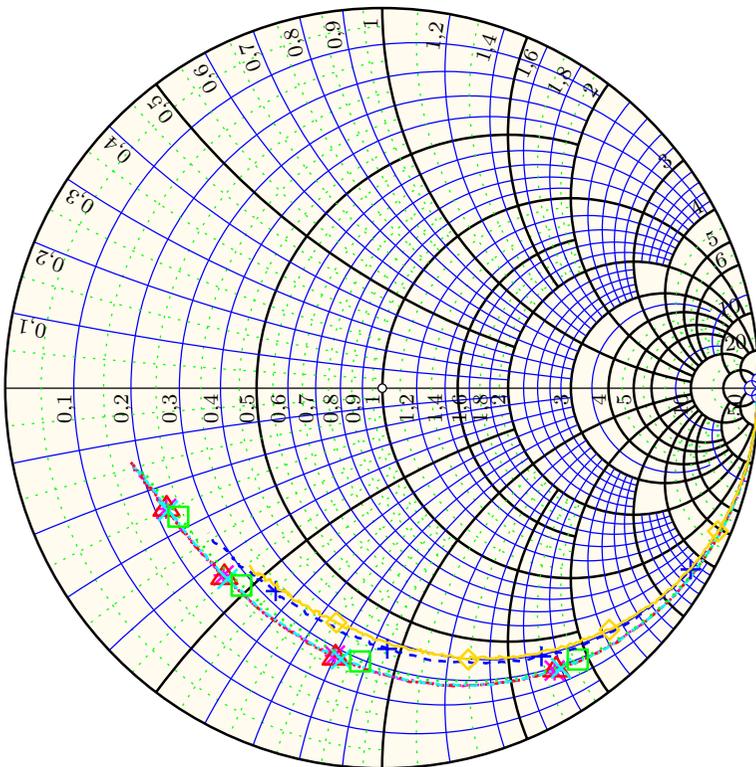


Hochfrequenz-Modellierung des MOS-Transistors





UNIVERSITÄT DER BUNDESWEHR MÜNCHEN

Fakultät für Elektrotechnik und Informationstechnik

Hochfrequenz-Modellierung des MOS-Transistors

Dipl.-Phys. (Univ.) Elmar Gondro

Vorsitzender des Promotionsausschusses: Prof. Dr.-Ing. H. Baumgärtner

1. Berichterstatter: Prof. Dr.-Ing. K. Hoffmann

2. Berichterstatter: Prof. Dr. rer. nat. I. Eisele

Tag der Prüfung: 18. Februar 2003

Mit der Promotion erlangter akademischer Grad:

Doktor-Ingenieur

(Dr.-Ing.)

Neubiberg, den 17. Juni 2002

www <http://www.Gondro.net/>
email Elmar@Gondro.net

Für Maren und Svenja

Nihil est ex omni parte beatum!

In der Welt ist nichts zu finden/
Daß nicht sey ein Fehl dahinden.

Danksagung

Die vorliegende Arbeit entstand während meiner Tätigkeit als wissenschaftlicher Mitarbeiter von März 1998 bis Juni 2001 am Institut für Elektronik der Universität der Bundeswehr München. An dieser Stelle danke ich allen, die zum Entstehen dieser Arbeit beigetragen haben.

Hervorheben möchte ich vor allem Herrn Prof. Dr.-Ing. Kurt Hoffmann, der jederzeit zu aufschlußreichen Diskussionen bereit war und durch seinen ansteckenden Tatendrang sehr zum Gelingen dieser Arbeit beitrug.

Sehr herzlich möchte ich mich bei Herrn Dr. rer. nat. Oskar Kowarik bedanken. Als besonders angenehm erwies sich der fließende Übergang zwischen fachlichen Diskussionen und freundschaftlichen Gesprächen.

Dank gebührt auch Herrn Dr.-Ing. habil. Rainer Kraus, Herrn Dr.-Ing. Roland Pfeiffer und Herrn Dr.-Ing. habil. Lutz Göhler für die überaus wertvollen Hinweise und Erläuterungen, die sie mir zuteil werden ließen und die das Verständnis der Halbleiterphysik erheblich erleichterten.

Zu Dank verpflichtet bin ich ebenfalls allen weiteren Mitgliedern des Instituts, die immer für ein sehr angenehmes Arbeitsklima sorgten und die mir jederzeit durch fachliche Diskussionen und vielfältige Unterstützung hilfreich zur Seite standen. Stellvertretend erwähnt seien hier Herr Dr.-Ing. Christian Kreuzer, Dr.-Ing. Franz Schuler und Herr Waldemar Barth.

Ferner schulde ich Dank den Herrn Dr.-Ing. Axel Schmidt und Dr.-Ing. Christian Kühn für ihr fachkundiges Lektorat.

Bedanken möchte ich mich ferner bei Mitarbeitern der Firma INFINEON TECHNOLOGIES AG, namentlich bei Herrn Prof. (FH) Dr.-Ing. Peter Klein und Dr.-Ing. Bernd Lemaître.

Meinen Eltern, Maren und Svenja, sowie allen anderen, die mir den Rücken freigehalten haben, gebührt — *last but not least* — besonderer Dank.

München, im Juni 2002

Publikationen

Während meiner Lehrstuhl­­tätigkeit entstanden folgende Veröffentlichungen (in chronologischer Abfolge):

- Elmar Gondro.
Auswirkungen von LDD-Strukturen auf die elektrischen Eigenschaften von MOS-Transistoren. Diplomarbeit, Technische Universität München, November 1997.
- Elmar Gondro.
An improved bias dependent series resistance description for MOS models. <http://www.eigroup.org/cmc/minutes/m051598.htm>, Compact Model Council meeting, Santa Clara, Kalifornien, USA, Mai 1998.
- Elmar Gondro, Franz Schuler und Peter Klein.
A Physics Based Resistance Model of the Overlap Regions in LDD-MOSFETs. In *Simulation of Semiconductor Processes and Devices (SISPAD 98)*, Seiten 267–270, Leuven, Belgien, September 1998. Springer-Verlag Wien.
- Elmar Gondro, Peter Klein, Franz Schuler und Oskar Kowarik.
A Non-Linear Description of the Bias Dependent Parasitic Resistances of Quarter Micron MOSFETs. In *IEEE International Conference on Semiconductor Electronics (ICSE 98)*, Seiten 97–99, Bangi, Malaysia, November 1998.
- Elmar Gondro, Peter Klein und Franz Schuler.
An Analytical Source-and-Drain Series Resistance Model of Quarter Micron MOSFETs and its Influence on Circuit Simulation. In *IEEE International Symposium on Circuits and Systems (ISCAS 99)*, Band 6, Seiten 206–209, Orlando, Florida, USA, Mai/Juni 1999.
- Elmar Gondro, Franz Schuler, Oskar Kowarik und Christian Kühn.
Physics Based Fatigue Compact Model for Ferroelectric Capacitors. In *IEEE International Symposium on the Applications of Ferroelectrics (ISAF 2000)*, Honolulu, Hawaii, USA, August 2000.

- Christian Kühn, Heinz Hönigschmid, Oskar Kowarik, Elmar Gondro und Kurt Hoffmann.
A Dynamic Ferroelectric Capacitance Model for Circuit Simulators. In *IEEE International Symposium on the Applications of Ferroelectrics (ISAF 2000)*, Honolulu, Hawaii, USA, August 2000.
- Elmar Gondro, Oskar Kowarik, Gerhard Knoblinger und Peter Klein.
When do we need Non-Quasistatic CMOS RF-Models? In *IEEE Custom Integrated Circuit Conference (CICC 2001)*, Seiten 377–380, San Diego, Kalifornien, USA, Mai 2001.
- Elmar Gondro, Oskar Kowarik, Axel Schmidt, Rainer Kraus und Kurt Hoffmann.
Influence of the Inner Miller-Effect on the Input Capacitance of CMOS Transistors Eingereicht zur Publikation.

Inhaltsverzeichnis

Danksagung	I
Publikationen	III
Liste der verwendeten Formelzeichen	IX
Physikalische Konstanten und Materialwerte	IX
Physikalische Größen	IX
1 Einleitung	1
2 Grundlagen	5
2.1 Theorie	5
2.1.1 Grundgleichungen	5
2.1.2 Nomenklatur	8
2.1.3 Admittanzen	13
2.1.4 Dominante Widerstandskomponenten	18
2.1.5 Kleinsignalersatzschaltbild	19
2.2 Kompaktmodelle für den Schaltungssimulator	20
2.2.1 Modellkonzeptionen	21
2.2.2 Philips-Modell	22
2.2.3 Berkeley-Modell	23
2.3 Notwendigkeit eines verbesserten Kleinsignalmodells	25
3 Bauelementesimulationen	27
3.1 Vertiefende Betrachtungen	27
3.1.1 Technologiesimulation	27
3.1.2 Simulationsgitter	28

3.1.3	Parametergewinnung für den Bauelementesimulator	29
3.1.4	Gleichstromsimulation	33
3.2	Kleinsignalsimulation	38
3.2.1	Methodik	38
3.2.2	Transitfrequenz	38
3.2.3	Eingangswiderstand	39
3.3	Transiente Simulation	43
3.3.1	Methodik	43
3.3.2	Stromverhalten	44
3.3.3	Verhalten der Inversionsschicht	51
3.4	Vergleich der Analysearten	54
4	Nichtquasistatisches Kleinsignalmodell	57
4.1	Beschreibung der Widerstände	57
4.1.1	Gatewiderstand	57
4.1.2	Kanalwiderstand	64
4.1.3	Fazit	76
4.1.4	Source- und Drainwiderstände	80
4.1.5	Parameterextraktion	88
4.2	Beschreibung der Kapazitäten	94
4.2.1	Überlappkapazitäten	94
4.2.2	Innerer Miller-Effekt	95
4.3	Implementierung in den Schaltungssimulator	105
4.3.1	Kapazitäts- vs. Ladungsbeschreibung	105
4.3.2	Implementierung von BSIM3v3.1 in SABER TM	106
4.3.3	Subcircuit-Implementierung	107
4.4	Unterschiede zu bisherigen Modellen	108
5	Messungen	109
5.1	Teststrukturen	109
5.2	Meßextraktion	113
5.3	Streuparameter	114
5.4	Admittanzparameter	114
5.5	Transitfrequenz	119
5.6	Eingangswiderstand	119

5.7	Ausgangswiderstand	122
5.8	Drain-Source-Widerstand	123
5.9	Kennlinienverhalten	124
5.10	Gatesteilheit und Verstärkung	127
5.11	Oszillatormessungen	129
6	Grenzen der quasistatischen Modellierung	131
6.1	Grundannahme der gängigen Transistormodelle	131
6.2	Transitzeit	133
6.3	Verhalten der Inversionsschicht	135
6.3.1	Transienter Ladungsaufbau	137
6.3.2	Frequenzabhängigkeit	138
6.3.3	Längenabhängigkeit	142
6.4	Grenzfrequenz	144
6.4.1	Verifikation und Diskussion	144
6.4.2	Vergleich mit bisherigen Abschätzungen	148
7	Zusammenfassung	151
A	Streu-, Leitwert- und Widerstandsparameter	153
A.1	Wellengleichung	153
A.2	Strom-Spannungs-Matrizen	154
A.3	Streumatrix	155
B	Wichtige Definitionen und Bezeichnungen	157
B.1	Strom-Spannungs-Beziehungen	157
B.2	Leistungsgrößen	159
B.3	Frequenzgrößen	159
B.4	Rauschgrößen	160
C	Smith-Diagramm	161
D	Verschleifungsfunktionen	165
D.1	Motivation	165
D.2	Funktionsklassen	166
D.3	Beispiele	175

E Berechnung des Leiterbahnwiderstands	177
E.1 Methodik	177
E.2 Leiterbahnabschluß	178
E.3 Leiterbahnnecke	178
Abbildungsverzeichnis	181
Tabellenverzeichnis	189
Literaturverzeichnis	191
Index	199

Liste der verwendeten Formelzeichen

Physikalische Konstanten und Materialwerte

Größe	Name	Zahlenwert
W_g	Bandabstand von Silizium ($T=300$ K)	1,12 eV
k	BOLTZMANN-Konstante	$1,381 \cdot 10^{-23}$ J/K
n_i	<i>Intrinsic</i> -Dichte von Silizium ($T=300$ K)	$1,45 \cdot 10^{10}$ 1/cm ³
q	elektrische Elementarladung	$1,602 \cdot 10^{-19}$ C
ε_0	elektrische Feldkonstante	$8,854 \cdot 10^{-12}$ As/Vm
ε_{ox}	Dielektrizitätszahl von Siliziumoxid (SiO ₂)	3,9
ε_{si}	Dielektrizitätszahl von Silizium (Si)	11,8
μ_0	magnetische Feldkonstante	$4\pi \cdot 10^{-7}$ Vs/Am
μ_{si}	Permeabilitätszahl	≈ 1

Physikalische Größen

Größe	Bedeutung	Einheit
A	Fläche	m ²
a	Verstärkungsfaktor	–
C_{in}	Eingangskapazität	F
C_{fr}	<i>Fringing</i> -Kapazität	F
C_{ij}	Kapazität zwischen den Knoten i und j	F
C_j	Sperrschichtkapazität	F
$C_{ov,D}$	Überlappkapazität an der Drain	F

Größe	Bedeutung	Einheit
C_{ox}	Oxidkapazität	F
C'_{ox}	Oxidkapazität pro Fläche	F/m ²
D	Diffusionskonstante	m ² /s
d_{ch}	Dicke der Inversionsschicht	m
d_{ox}	Oxiddicke	m
E	Feldstärke	V/m
f	Frequenz	Hz
f_{NQS}	Grenzfrequenz der Nichtquasistatik	Hz
f_t	Transitfrequenz	Hz
G	Generationsrate	1/sm ³
g_m	Gatesteilheit	1/Ω
g_{mb}	Substratsteilheit	1/Ω
g_0	Ausgangsleitwert	1/Ω
I_i	in den Knoten i hineinfließender Strom	A
I_{DS}	Drain-Source-Strom	A
I_{acc}	Strom in der Akkumulationsschicht	A
I_{spr}	<i>Spreading</i> -Strom	A
i_i	in den Knoten i hineinfließender Kleinsignal-Strom	A
$\overline{i_g^2}$	quadratischer Mittelwert des Gate-Rauschstroms	A ²
$\overline{i_d^2}$	quadratischer Mittelwert des Drain-Rauschstroms	A ²
J	Stromdichte	A/m ²
k	Korrekturfaktor des Leiterbahnwiderstands	–
k	Verstärkungsfaktor des Prozesses	A/V ²
L	Länge des Transistors	m
L_{ch}	Kanallänge	m
L'_{ch}	Kanallänge in Sättigung	m
L_{des}	<i>Design</i> -Länge	m
L_{eff}	effektive Kanallänge	m
L_{ind}	Induktivität	H
L_{poly}	Länge des Gate-Polysiliziums	m
L_{ov}	Länge des Überlappgebietes	m
m, n	Zählvariablen	–
N_A	Akzeptordichte	1/m ³
N_A^-	Dichte der negativ ionisierten Akzeptoren	1/m ³
N_D	Donatorendichte	1/m ³
N_G	Dotierung des Polygates	1/m ³
$\bar{N}_{S/D}$	durchschnittliche Dotierung der Überlappgebiete	1/m ³

Größe	Bedeutung	Einheit
n_F	Anzahl der Gatefinger	–
p_{in}	Kleinsignal-Eingangsleistung	W
p_{out}	Kleinsignal-Ausgangsleistung	W
Q_i	Ladung am Knoten i	C
Q_{acc}	Akkumulationsschichtladung	C
Q_{Inv}	Inversionsschichtladung	C
Q'_{Inv}	Inversionsschichtladung pro Fläche	C/m ²
Q'_0	Dichte der Grenzflächenzustände	C/m ²
q_i	Kleinsignal-Ladung am Knoten i	C
q_{inv}	Kleinsignal-Inversionsschichtladung	C
R	Rekombinationsrate	1/sm ³
R	Widerstand	Ω
R_{acc}	Widerstand der Akkumulationsschicht	Ω
R_{ch}	Kanalwiderstand	Ω
R_{dep}	Widerstand der Raumladungszone	Ω
R_{ext}	externer Widerstand	Ω
R_{in}	Eingangswiderstand	Ω
R_{par}	Parasitärer Widerstand	Ω
R_{ov}	Überlappwiderstand	Ω
R_{spr}	<i>Spreading</i> -Widerstand	Ω
R_{\square}	Flächenwiderstand	Ω/□
S_{ij}	Streifaktor zwischen den Knoten i und j	–
T	Temperatur	K
t	Zeit	s
t_{ramp}	Anstiegszeit einer Spannungsrampe	s
U_i	Potential am Knoten i	V
U_{ij}	Spannung zwischen den Knoten i und j	V
$U_{DS\ sat}$	Drain-Source-Sättigungsspannung	V
U_{dd}	Versorgungsspannung einer CMOS-Schaltung	V
U_{FB}	Flachbandspannung	V
u_i	Kleinsignal-Potential am Knoten i	V
u_{ij}	Kleinsignal-Spannung zwischen den Knoten i und j	V
U_{ss}	Bezugspotential einer CMOS-Schaltung	V
U_{th}	Einsatzspannung	V
U_{th0}	Einsatzspannung bei $U_{BS} = 0$ V	V
v_{sat}	Sättigungsgeschwindigkeit der Ladungsträger	m/s
W	Weite des Transistors	m

Größe	Bedeutung	Einheit
x, y, z	allgemeine Länge	m
Y_{ij}	Admittanz zwischen den Knoten i und j	$1/\Omega$
Z_{ij}	Impedanz zwischen den Knoten i und j	Ω
$\alpha, \varphi, \vartheta$	Winkel	rad
β	Verstärkungsfaktor des Transistors	A/V^2
ϵ	Paßfaktor	—
γ	Substratsteuerfaktor	\sqrt{V}
λ	Kanallängenmodulationsfaktor	$1/V$
μ	Beweglichkeit der Ladungsträger	m^2/V_s
ω	Kreisfrequenz	rad/s
φ	Phasenwinkel	rad
ϕ	Potential	V
ϕ_F	Fermipotential	V
ϕ_k	Kanalpotential	V
ϕ_s	Oberflächenpotential	V
ϕ_t	Temperaturspannung	V
ϱ	elektrische Ladungsdichte	C/m^3
ρ	spezifischer Widerstand	Ωm
τ	Lebensdauer der Ladungsträger	s
τ_{ac}	Zeitkonstante des Kleinsignal-Kanalaufbaus	s
τ_g	Gruppenlaufzeit	s
τ_{tr}	Transitzeit	s

Nota bene:

- Die Indizes i, j stehen für die Knoten Drain, Gate, Bulk bzw. Source.

$$\text{DC: } i, j \in [G, D, B, S]$$

$$\text{AC: } i, j \in [g, d, b, s]$$

- Der Index n bezieht sich auf Elektronen, der Index p auf Löcher.
- Größen mit Index ov beziehen sich auf das Überlappgebiet.
- Größen mit Index dep beziehen sich auf die Raumladungszone.
- Größen mit ' sind flächenbezogen.
- Größen mit * beziehen sich auf die metallurgischen Übergänge.
- $j = \sqrt{-1}$
- Weitere Bezeichnungen befinden sich im Anhang B.

1 Einleitung

UMTS, GPS oder *Bluetooth* — nur einige exemplarische Schlagworte, die den wachsenden Einfluß halbleiterbasierter Systeme in unserem Alltag belegen. Insbesondere die Nachfrage nach hochfrequenten breitbandigen Vernetzungen einer globalen Informationsgesellschaft wird die Entwicklungsmöglichkeiten der Halbleiterindustrie im Bereich Hochfrequenzanwendungen in Zukunft weiter beflügeln.

Im Zuge zunehmender Miniaturisierung in der Halbleiterherstellung erreichen CMOS-Transistoren Grenzfrequenzen von über 50 GHz, so daß sie gegenüber der kostenintensiveren BiCMOS-Variante für Hochfrequenzanwendungen äußerst attraktiv werden (Abbildung 1.1).

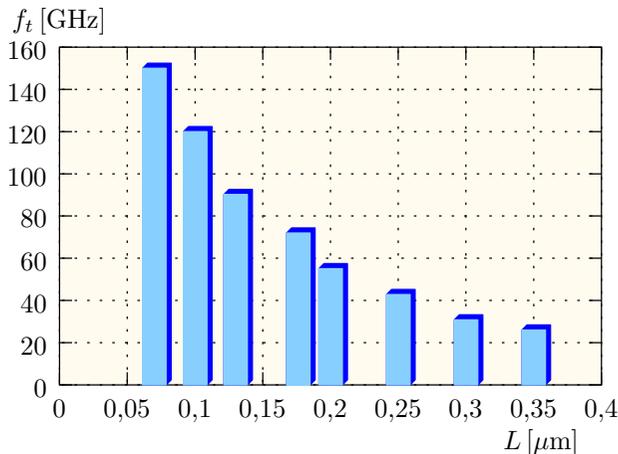


Abbildung 1.1: Steigerung der Transitfrequenz zukünftiger CMOS-Technologien [18]

Diese immer wichtigere Rolle in Hochfrequenzsystemen wird bestärkt durch das Streben nach Single-Chip-Lösungen, v.a. in Anwendungen der Telekommunikations- und Consumer-Elektronik (Stichwort: Single-Chip-Handy).

Nicht nur zur effizienten Synthese und Analyse mikroelektronischer Schaltungen ist die rechnergestützte Schaltungssimulation zu einem unerläßlichen Werkzeug und Wettbewerbskriterium geworden. In Zeiten immer kürzerer Produktzyklen wird die Hochlaufphase eines Produktes (*ramp-up*) zu einem immer entscheidenderen Kostenfaktor. Hier kann die Schaltungssimulation im Rahmen der Prozeßzentrierung entscheidende Erkenntnisse zur effizienteren Ausbeute (*yield*) liefern.

Die Güte der erzielten Simulationsergebnisse hängt jedoch wesentlich von der Genauigkeit ab, mit der die im Simulator verwendeten Modelle das elektrische Verhalten der eingesetzten Bauelemente in akzeptabler Rechenzeit beschreiben. Bei der Modellierung des MOS-Transistors für Schaltungsanwendungen wurde bisher großes Augenmerk vornehmlich auf das Gleichstrom- und das niederfrequente Wechselstromverhalten gelegt. Ein Ziel dieser Arbeit ist daher, den Weltstandard BSIM3 um eine genauere Beschreibung der Hochfrequenzregion zu erweitern.

Der wachsende Einfluß nichtquasistatischer (NQS) Phänomene stellt ein Hauptproblem der Hochfrequenzmodellierung dar. Um deren Ursachen zu erforschen, bietet sich die Bauelementesimulation als prädestiniertes Werkzeug an. Daher stellt Kapitel 3 ab Seite 27 Ergebnisse vor, die mit dem Simulator MEDICTTM erzielt wurden. Die Genauigkeit der Bauelementesimulation wird einer fundierten Evaluierung unterzogen.

Das in heutigen Schaltungen der Mikroelektronik am häufigsten verwendete Bauelement, der *Metal Oxide Semiconductor Field Effect Transistor* (MOS-FET), wird dabei in der Regel quasistatisch (QS) modelliert. Kapitel 6 geht daher ab Seite 131 der Frage nach, innerhalb welcher Grenzen der quasistatische Ansatz noch gerechtfertigt ist.

Die daraus gewonnenen Erkenntnisse werden in Kapitel 4 ab Seite 57 in ein neuartiges, physikalisch basiertes NQS-Modell umgesetzt.

Dessen Schwerpunkt liegt in der Beschreibung des realen Eingangswiderstandes, der z.B. bei der Anpassung von enormer Wichtigkeit ist.

Die auf den Kanalbereich reduzierte Betrachtung des Feldeffekttransistors wird als unzureichend dargestellt und auf den äußeren Transistor erweitert. Dies ist umso bedeutsamer, da die Überlappgebiete nicht in gleichem Maße skalierbar sind wie der innere Transistor.

Erstmalig in einem MOSFET-Modell enthalten ist eine geometrisch skalierbare Beschreibung der Source- und Draingebiete, die eine mit der metallurgischen Kanallänge konsistente DC- wie auch AC-Modellierung erlaubt. Sie basiert auf fundierten Untersuchungen der Spannungsabhängigkeit der Überlappgebiete und ist für die heutzutage vorrangigen LDD-Transistoren besonders bedeutsam. Eine Verbesserung erfahren die für das Kleinsignalersatzschaltbild elementaren Steilheiten.

Die Auswirkungen der parasitären Widerstände auf das Kapazitätsverhalten des Transistors werden anhand des „inneren Miller-Effekts“ erstmalig aufgezeigt.

Teile des neu entwickelten Modells finden internationale Anerkennung durch ihre Aufnahme in das industrielle Standard-CMOS-Modell BSIM4 durch das *Compact Model Council* [60].

Kapitel 5 bestätigt das in den Schaltungssimulator SABERTM implementierte Modell durch Vergleich mit Bauelementesimulationen und Messungen, während Kapitel 7 eine Zusammenfassung gibt.

Abbildung 1.2 verdeutlicht die Bearbeitungsstrategie dieser Arbeit.

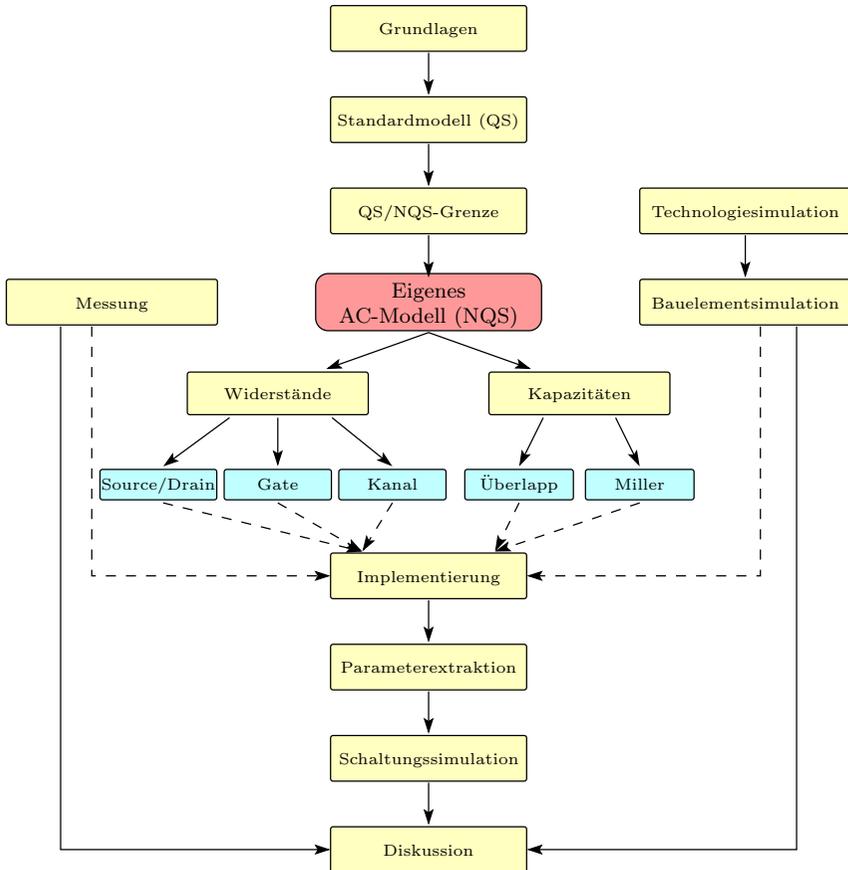


Abbildung 1.2: Vorgehensweise in dieser Arbeit

2 Grundlagen

In diesem einleitenden Kapitel steht die Erarbeitung der Grundgleichungen und ein Überblick über die grundsätzliche Problemstellung im Vordergrund. Der Definition wichtiger Nomenklatur schließt sich eine Diskussion bisheriger Lösungsansätze an.

2.1 Theorie

Zunächst sollen einige Grundlagen der Halbleiterphysik erörtert werden.

2.1.1 Grundgleichungen

Die drei bestimmenden Gleichungen der Halbleiterphysik sind die Kontinuitätsgleichung, die Transportgleichung sowie die *Poisson*-Gleichung.

Kontinuitätsgleichung

Die Kontinuitätsgleichung für Elektronen und Löcher im Halbleiter schreibt sich folgendermaßen:

$$\begin{aligned}\frac{\partial n(x, t)}{\partial t} &= \frac{1}{q} \vec{\nabla} \cdot \vec{J}_n(x, t) - (R(x, t) - G(x, t)) \\ \frac{\partial p(x, t)}{\partial t} &= -\frac{1}{q} \vec{\nabla} \cdot \vec{J}_p(x, t) - (R(x, t) - G(x, t))\end{aligned}\tag{2.1}$$

Sie beschreibt den Zusammenhang zwischen der örtlichen Änderung der Teilchenstromdichte \vec{J} , der zeitlichen Änderung der Ladungsträgerkonzentrationen n, p und der Nettorekombinationsrate $R - G$.

Poisson-Gleichung

Die *Poisson*-Gleichung beschreibt — entsprechend der ersten Maxwell-Gleichung — die durch eine Ladungsverteilung ϱ hervorgerufene Änderung des Potentials ψ . Mit ihr lassen sich die letztlich anliegenden Spannungen berechnen.

$$\vec{\nabla}^2 \psi(x, t) = -\frac{\varrho(x, t)}{\varepsilon_0 \varepsilon_r} \quad (2.2)$$

Die makroskopische Ladungsdichte ϱ setzt sich aus den Konzentrationen der freien Ladungsträger sowie der ortsfesten Dotierionen zusammen,

$$\varrho(x, t) = p(x, t) - n(x, t) + N_D^+(x) - N_A^-(x), \quad (2.3)$$

wobei oberhalb einer Temperatur von etwa 100 K die Dotieratome als vollständig ionisiert betrachtet werden können [37], so daß $N_A^- \approx N_A$ und $N_D^+ \approx N_D$ gilt. Im thermodynamischen Gleichgewicht sind die Ladungsträgerkonzentrationen über das Massenwirkungsgesetz mit der *Intrinsic*-Dichte n_i verknüpft:

$$n(x, t) \cdot p(x, t) = n_i^2 \quad (2.4)$$

Für einen MOSFET mit N-Kanal ($N_A \gg N_D$) folgt aus Gleichung (2.4)

$$n(x, t) = N_A \quad \text{und} \quad p(x, t) = \frac{n_i^2}{N_A}, \quad (2.5)$$

wobei N_A der Kanaldotierung entspricht.

Transportgleichung

Die Bewegung der Elektronen und Löcher im Halbleiter verursacht eine Stromdichte \vec{J} und wird hervorgerufen durch die elementaren Prozesse *Drift* und *Diffusion*. Während erstere die Reaktion von geladenen Teilchen auf ein elektrisches Feld \vec{E} wiedergibt, beschreibt letztere das Auseinanderfließen von Ladungsträgerkonzentrationen. Den allgemeinen Zusammenhang formuliert die *Transportgleichung*:

$$\begin{aligned} \vec{J}_n(x, t) &= qn(x, t) \mu_n \vec{E}(x, t) + qD_n \vec{\nabla} n(x, t) \\ \vec{J}_p(x, t) &= \underbrace{qp(x, t) \mu_p \vec{E}(x, t)}_{\text{Drift}} - \underbrace{qD_p \vec{\nabla} p(x, t)}_{\text{Diffusion}} \end{aligned} \quad (2.6)$$

Die darin vorkommenden Diffusionskoeffizienten D sind über die *Einstein-Beziehung* mit den Beweglichkeiten μ der Ladungsträger verknüpft.

$$D = \phi_t \mu \quad \text{und} \quad \phi_t = \frac{kT}{q} \quad (2.7)$$

Die Größe ϕ_t wird *Temperaturspannung* genannt.

Ohne den Driftanteil entspricht die Transportgleichung dem *Fickschen Gesetz*.

Neben diesem massegebundenen Strom kommt in der Hochfrequenzphysik dem nicht an Ladungsträger gebundenen Verschiebestrom besondere Bedeutung zu. Er wird verursacht durch die zeitliche Variation des elektrischen Feldes und ist in der dritten Maxwell-Gleichung formuliert:

$$\vec{J}_V(x, t) = \varepsilon_0 \varepsilon_r \frac{\partial \vec{E}(x, t)}{\partial t} \quad (2.8)$$

Die Gesamtstromdichte setzt sich aus der Konvektions- und der Verschiebestromdichte zusammen:

$$\vec{J}(x, t) = \vec{J}_n(x, t) + \vec{J}_p(x, t) + \vec{J}_V(x, t) \quad (2.9)$$

Unter Vernachlässigung magnetischer Einflüsse sowie quantenmechanischer Effekte basiert die Theorie der Halbleiterbauelemente auf dem soeben vorgestellten System von sechs gekoppelten, partiellen Differentialgleichungen. Hieraus läßt sich die zeitliche und räumliche Verteilung des Potentials und der Ladungsträger *numerisch* ermitteln. Dies ist die Vorgehensweise in einem Bauelementesimulator wie z.B. MEDICITM.

Näherungen

Zur Modellbildung ist es notwendig, obige Grundgleichungen auf die zentralen Größen Spannung, Strom und Ladung zurückzuführen. Diese sind in ihrer allgemeinen Formulierung jedoch zumeist nicht gebunden lösbar.

Daher sind zur Erstellung eines Kompaktmodells für den Schaltungssimulator geeignete Näherungen erforderlich. Nachfolgend sind die gebräuchlichsten aufgeführt.

- Für das Verhalten des MOS-Transistors ist die Beschreibung des Kanals von zentraler Bedeutung. Hier lassen sich obige Gleichungen fast immer auf eine geometrische Dimension reduzieren.

- Die Dicke der Ladungsträgerschicht in der Grenzfläche zwischen Oxid und Halbleiter ist extrem dünn (siehe Abbildung 4.33 auf Seite 94). Somit kann man das elektrische Feld und die Spannung an der Halbleiteroberfläche aus der Ladung in der Raumladungszone berechnen (*charge sheet*-Näherung).
- Die Inversionsschicht an der Grenzfläche zwischen Oxid und Halbleiter wird bestimmt durch die Gate-Substrat-Spannung. Für die Transistormodellierung nimmt man üblicherweise an, daß das elektrische Feld rein vertikal ausgerichtet ist (*gradual channel*-Näherung), was aber in den Randbereichen nicht zutrifft. Dort erlangt das Feld entsprechend der Gate-Source- bzw. der Gate-Drain-Spannung auch horizontale Komponenten, die einen zweidimensionalen Ansatz erfordern (siehe Kapitel 4.1.4 ab Seite 80).

2.1.2 Nomenklatur

Die unterschiedlichen Schreibweisen für Gleich- und Wechselspannungsgrößen in der Literatur führen oft zu Mißverständnissen. Daher sollen sie für die folgenden Kapitel eindeutig festgelegt werden.

Gleichstromnomenklatur

Im statischen Betrieb des Transistors sind dessen anliegende Spannungen, Ströme und Ladungen zeitlich konstant.

$$\begin{aligned}
 \frac{\partial}{\partial t} U_{GS} &= \frac{\partial}{\partial t} U_{DS} = \frac{\partial}{\partial t} U_{BS} &= 0 \\
 \frac{\partial}{\partial t} I_G &= \frac{\partial}{\partial t} I_D = \frac{\partial}{\partial t} I_B = \frac{\partial}{\partial t} I_S &= 0 \\
 \frac{\partial}{\partial t} Q_G &= \frac{\partial}{\partial t} Q_D = \frac{\partial}{\partial t} Q_B = \frac{\partial}{\partial t} Q_S &= 0
 \end{aligned}
 \tag{2.10}$$

Üblicherweise wird Source als Bezugspunkt für die Spannungen gewählt. Betrachtet man nur Effekte erster Ordnung, gilt für die Ströme:

$$I_D = -I_S = I_{DS} \quad \text{und} \quad I_G = I_B = 0 \tag{2.11}$$

Der Ladungsbeschreibung liegt eine Aufteilung der Inversionsschichtladung Q_{Inv} in eine der Source und eine der Drain zugehörige Teilladung Q_S und Q_D zugrunde.

$$Q_{Inv} = Q_S + Q_D \tag{2.12}$$

Die Art der Aufteilung hängt dabei vom Betriebszustand des Transistors ab:

- Unterschwellstrombereich ($U_{GS} \leq U_{th}$)

$$Q_D = Q_S \approx 0 \quad (2.13)$$

- Widerstandsbereich ($U_{GS} > U_{th}, \quad U_{GS} - U_{th} > U_{DS}$)

$$Q_D/Q_S \approx 1 \quad (2.14)$$

- Sättigungsbereich ($U_{GS} > U_{th}, \quad U_{GS} - U_{th} \leq U_{DS}$)

$$Q_D/Q_S \approx 1/2 \quad (2.15)$$

Außerdem gilt analog zur Stromerhaltung die Ladungerhaltung:

$$Q_G + Q_D + Q_S + Q_B = 0 \quad (2.16)$$

Dabei wird die im oder an der Grenze zum Oxid eingelagerte Ladung Q_0 zunächst außer Betracht gelassen.

Abbildung 2.1 illustriert die grundlegenden Größen in der DC-Beschreibung.

Großsignalnomenklatur

Im Gegensatz dazu sind dynamische elektrische Größen zeitabhängig¹:

$$I_G(t), I_D(t), I_S(t), I_B(t), U_{GS}(t), U_{DS}(t), U_{BS}(t)$$

Die Ladungs- und Stromerhaltung schreiben sich dann:

$$Q_G(t) + Q_D(t) + Q_S(t) + Q_B(t) = 0 \quad (2.17)$$

$$I_G(t) + I_D(t) + I_S(t) + I_B(t) = 0 \quad (2.18)$$

¹In der Literatur werden für dynamische Größen oftmals Kleinbuchstaben mit großen Indizes verwendet, also z.B. $i_G(t), i_D(t), i_S(t), i_B(t), u_{GS}(t), u_{DS}(t), u_{BS}(t)$.

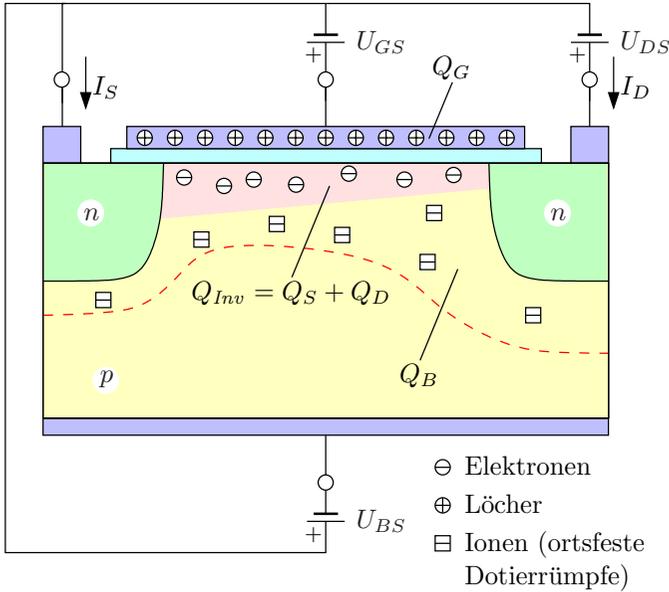


Abbildung 2.1: Ströme, Spannungen und Ladungen eines n-MOSFETs

Im dynamischen Fall sind die Spannungen zeitlich variabel, wodurch sich auch die Ströme und Ladungen verändern:

$$\begin{aligned}
 I_D(t) &= \frac{\partial Q_D(t)}{\partial t} + I_{DS}(t) \\
 I_S(t) &= \frac{\partial Q_S(t)}{\partial t} - I_{DS}(t) \\
 I_G(t) &= \frac{\partial Q_G(t)}{\partial t} \\
 I_B(t) &= \frac{\partial Q_B(t)}{\partial t}
 \end{aligned} \tag{2.19}$$

Auch hierbei wurde bereits eine Aufteilung der Inversionsschicht-/Kanalladung impliziert:

$$I_S(t) + I_D(t) = \frac{\partial Q_{Inv}(t)}{\partial t} \tag{2.20}$$

Kleinsignalnomenklatur

Der Wechselstromfall stellt einen Spezialfall obiger Gleichungen (2.19) zur Beschreibung des dynamischen Verhaltens dar. Dabei soll das Frequenzverhalten des Transistors beschrieben werden, das durch sinusförmige Anregungen kleiner Amplitude verursacht wird.

Die nichtlineare Schaltung wird in ihrem Arbeitspunkt *linearisiert*, eine Annahme, die für Anregungen mit Amplituden unterhalb der thermischen Spannung

$$\phi_t = kT/q \quad (2.21)$$

gut erfüllt wird [91].

Dazu teilt man die dynamischen Großsignale in einen statischen und einen Kleinsignalanteil auf. Letzterer wird üblicherweise mit Kleinbuchstaben und kleinen Indizes versehen:

$$\begin{aligned} U_{GS}(t) &= U_{GS} + u_{gs}(t) \\ U_{DS}(t) &= U_{DS} + u_{ds}(t) \\ U_{BS}(t) &= \underbrace{U_{BS}}_{\text{DC}} + \underbrace{u_{bs}(t)}_{\text{AC}} \end{aligned} \quad (2.22)$$

Analog lassen sich Ströme und Ladungen superpositionieren:

$$\begin{aligned} I_G(t) &= I_G + i_g(t) & Q_G(t) &= Q_G + q_g(t) \\ I_D(t) &= I_D + i_d(t) & Q_D(t) &= Q_D + q_d(t) \\ I_B(t) &= I_B + i_b(t) & Q_B(t) &= Q_B + q_b(t) \\ I_S(t) &= \underbrace{I_S}_{\text{DC}} + \underbrace{i_s(t)}_{\text{AC}} & Q_S(t) &= Q_S + q_s(t) \\ & & Q_{Inv}(t) &= \underbrace{Q_{Inv}}_{\text{DC}} + \underbrace{q_{inv}(t)}_{\text{AC}} \end{aligned} \quad (2.23) \quad (2.24)$$

Abbildung 2.2 verdeutlicht die grundlegenden Größen in der AC-Beschreibung. Hierin sind — zur Einbeziehung von Effekten zweiter Ordnung² — auch der DC-Anteil des Gate- und des Bulkstroms enthalten.

Der AC-Anteil läßt sich durch eine sinusförmige Spannungsvariation mit einem zeitunabhängigen Phasor³ beschreiben, also zum Beispiel:

$$u_{gs}(t) = u_{gs} \cdot \sin(\omega t + \varphi) \quad (2.25)$$

²Leck- und Tunnelströme durch das Gateoxid sowie Substratströme z.B. aufgrund von Stoßionisation (*impact ionization*)

³Für den Phasor werden in der Literatur bisweilen Großbuchstaben mit kleinen Indizes verwendet, also z.B. U_{gs} .

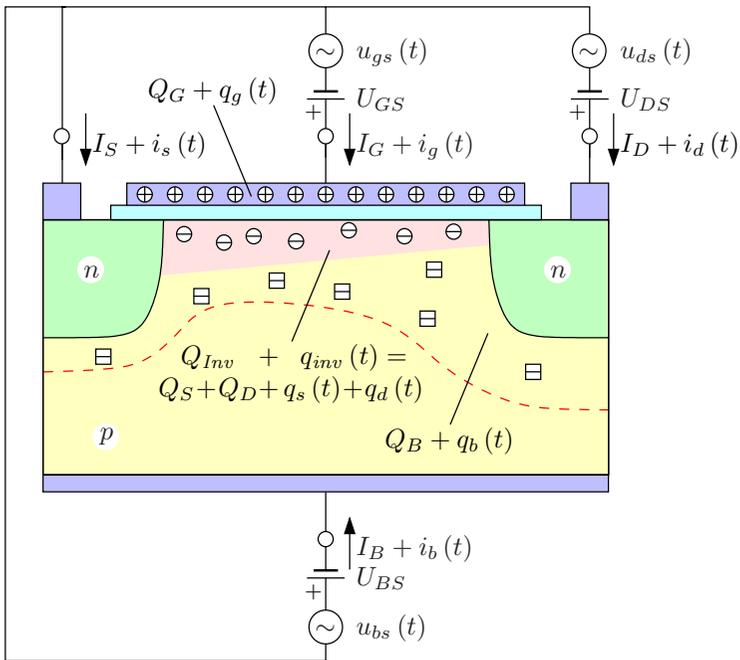


Abbildung 2.2: Ströme, Spannungen und Ladungen in der Kleinsignalsteuerung

Da Transistorgrößen im allgemeinen auf die *Source* bezogen werden, kann man dort die Phase wie schon bei den Spannungen auf Null setzen.

Statt der trigonometrischen Beschreibung erweist sich die Fourier-Projektion in die komplexe Gaußsche Zahlenebene⁴ als mathematisch zweckmäßiger,

$$u_{gs}(\omega) = u_{gs} \cdot \exp(j\omega t), \quad (2.26)$$

wobei $\omega = 2\pi f$ die Kreisfrequenz ist und die so definierten Größen in der Regel komplex sind. Letztere besteht aus einem Realteil $\Re(u_{gs}(\omega))$ und einem Imaginärteil $\Im(u_{gs}(\omega))$ und läßt sich auch durch Amplitude u_{gs} und Phase φ ausdrücken:

$$u_{gs}(\omega) = \Re(u_{gs}(\omega)) + j \cdot \Im(u_{gs}(\omega)) = u_{gs} \cdot \exp(j\omega t)$$

⁴ $e^{jx} = \cos x + j \sin x$

$$\begin{aligned}
 u_{gs} &= |u_{gs}(\omega)| = \sqrt{\Re(u_{gs}(\omega))^2 + \Im(u_{gs}(\omega))^2} \\
 \varphi &= \arctan\left(\frac{\Im(u_{gs}(\omega))}{\Re(u_{gs}(\omega))}\right) = \omega t
 \end{aligned}
 \tag{2.27}$$

Analog verfährt man mit allen Spannungen, Strömen und Ladungen.

Ziel der AC-Modellierung Grundlegendes Ziel der AC-Modellierung ist somit der funktionale Zusammenhang zwischen Kleinsignalspannungen u_{ij} und Kleinsignalströmen i_k ($i, j, k \in [g, d, b, s]$):

$$i_{g,d,s,b} = f(u_{gs}, u_{ds}, u_{bs}, \omega) \tag{2.28}$$

Im eingeschwungenen Zustand können neben den Eingangsgrößen auch die Ausgangsgrößen, also die Ströme, als sinusförmig mit gleicher Frequenz angenommen werden — Oberwellen werden somit nicht betrachtet.

Zu beachten ist jedoch, daß im AC-Fall jede Eingangs- und Ausgangsgröße komplex ist, also durch Amplitude und Phase gekennzeichnet ist. Dies führt dazu, daß neue Größen an Bedeutung gewinnen: Während im DC-Fall z.B. der Gatestrom aufgrund der dielektrischen Isolierung bis auf die Leck- und Tunnelströme vernachlässigt werden kann, erfährt er im AC-Fall eine reale Komponente.

Zudem kommt mit der Frequenz eine weitere unabhängige Variable hinzu — die Modellbeschreibung wird also vieldimensionaler.

2.1.3 Admittanzen

Dennoch ist man bestrebt, die Beschreibung des Transistors auf die Kombination der diskreten elementaren Bauelemente *Widerstand*, *Kapazität* (und *Spule*) zurückzuführen. Daher ist es in diesem Zusammenhang sinnvoll, das Konzept der Admittanzen, bestehend aus den Leitwerten und den Kapazitäten, zu erläutern.

Leitwerte

Der Leitwert — das Reziproke des Widerstands — wird durch die Ableitung der Stromkennlinie nach der Spannung definiert⁵:

$$G_{ij} = \frac{\partial I_i}{\partial U_j} = \lim_{\Delta \rightarrow 0} \frac{\Delta I_i}{\Delta U_j} \quad i, j \text{ aus } G, D, B, S \quad (2.29)$$

Üblicherweise beziehen sich die Größen auf den Sourceknoten. Aufgrund der Stromerhaltung verbleiben also neun Kombinationen an Leitwerten. Von diesen besitzen drei eine hervorragende Bedeutung und werden mit eigenen Bezeichnungen versehen:

- Gatesteilheit/Übertragungsleitwert/Transkonduktanz

$$g_m = \frac{\partial I_{DS}}{\partial U_{GS}} = G_{DG}(U_{GS}, U_{DS}, U_{BS}) \quad (2.30)$$

- Ausgangsleitwert/Ausgangskonduktanz

$$g_0 = \frac{\partial I_{DS}}{\partial U_{DS}} = G_{DD}(U_{GS}, U_{DS}, U_{BS}) \quad (2.31)$$

- Substratsteilheit

$$g_{mb} = \frac{\partial I_{DS}}{\partial U_{BS}} = G_{DB}(U_{GS}, U_{DS}, U_{BS}) \quad (2.32)$$

Diese Größen beschreiben die Auswirkung jeder Spannungsänderung auf den Drain-Source-Strom, was auch aus seinem totalen Differential hervorgeht:

$$\begin{aligned} dI_{DS} &= \frac{\partial I_{DS}}{\partial U_{GS}} dU_{GS} + \frac{\partial I_{DS}}{\partial U_{DS}} dU_{DS} + \frac{\partial I_{DS}}{\partial U_{BS}} dU_{BS} \\ &= g_m dU_{GS} + g_0 dU_{DS} + g_{mb} dU_{BS} \end{aligned} \quad (2.33)$$

Der Drain-Source-Strom des Transistors in Sättigung berechnet sich zu

$$I_{DS} = \frac{\beta}{2} [U_{GS} - U_{th}(U_{BS})]^2 (1 + \lambda U_{DS}) \quad \text{mit} \quad (2.34)$$

$$\beta = k \frac{W}{L} \quad \text{und} \quad k = \mu \frac{C_{ox}}{W \cdot L} = \mu C'_{ox}. \quad (2.35)$$

⁵Der Übersichtlichkeit halber wird mitunter der zweite Index der Spannung nicht mitgeführt. Mit U_i ist also das Potential am Knoten i bzw. die Spannung vom Knoten zum Nullpotential resp. der Source gemeint.

Mit der Variablen λ wird der Effekt der Kanallängenmodulation berücksichtigt, β ist der Verstärkungsfaktor des Transistors, k der Verstärkungsfaktor des Prozesses. Die Größen W und L stellen die Weite und Länge des Kanals dar; U_{th} bezeichnet die Einsatzspannung des Transistors. Die Beweglichkeit der Ladungsträger wird mit der Variablen μ modelliert. Die Variable C'_{ox} beschreibt die Oxidkapazität, die sich zu

$$C_{ox} = C'_{ox} \cdot WL = \frac{\varepsilon_0 \varepsilon_{ox}}{d_{ox}} \cdot WL \quad (2.36)$$

berechnet.

Setzt man Gleichung (2.34) in die partiellen Ableitungen für die Leitwerte ein, erhält man:

$$\begin{aligned} g_m &= \beta (U_{GS} - U_{th}) (1 + \lambda U_{DS}) \\ &= \sqrt{2 I_{DS} \beta (1 + \lambda U_{DS})} \end{aligned} \quad (2.37)$$

$$\begin{aligned} g_0 &= \frac{\beta}{2} [U_{GS} - U_{th}]^2 \lambda \\ &= \frac{I_{DS} \lambda}{1 + \lambda U_{DS}} \approx I_{DS} \lambda \end{aligned} \quad (2.38)$$

$$\begin{aligned} g_{mb} &= \sqrt{2 I_{DS} \beta (1 + \lambda U_{DS})} \cdot \frac{\partial U_{th}}{\partial U_{BS}} \\ &= -\frac{\gamma}{2} \sqrt{\frac{2 I_{DS} \beta (1 + \lambda U_{DS})}{2 \phi_F - U_{BS}}} \end{aligned} \quad (2.39)$$

Für die Substratsteilheit wurde im letzten Schritt

$$U_{th} = U_{th0} + \gamma \left(\sqrt{2 \phi_F - U_{BS}} - \sqrt{2 \phi_F} \right) \quad (2.40)$$

als Formel für die Einsatzspannung verwendet, wobei ϕ_F die Fermispannung und

$$\gamma = 1/C'_{ox} \sqrt{2 q N_A \varepsilon_0 \varepsilon_{si}} \quad (2.41)$$

der Substratsteuerfaktor sind.

Die Gleichung (2.33) für die *Änderung* des Drain-Source-Stroms in Abhängigkeit von den *Änderungen* der anliegenden Spannungen läßt sich in einem *Kleinsignalersatzschaltbild*, bestehend aus einem Widerstand und zwei spannungsgesteuerten Stromquellen, darstellen (Abbildung 2.3).

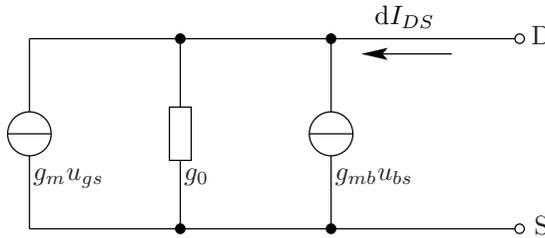


Abbildung 2.3: Leitwertdarstellung des Kanals eines MOS-Transistors

Kapazitäten

Die Kapazitäten werden durch die Ableitung der Ladungen nach der Spannung definiert:

$$C_{ij} = \begin{cases} -\frac{\partial Q_i}{\partial U_j} & \text{für } i \neq j \\ \frac{\partial Q_i}{\partial U_j} & \text{für } i = j \end{cases} \quad (2.42)$$

Analog zur Definition der Leitwerte beschreibt

$$\frac{\partial Q_i}{\partial U_j} = \lim_{\Delta \rightarrow 0} \frac{\Delta Q_i}{\Delta U_j} \quad (2.43)$$

den Übergang von den Großsignalkapazitäten zu den Kleinsignalkapazitäten. Der Vorzeichenwechsel macht bei gleichzeitiger Ladungserhaltung aus allen Kapazitäten positive Größen:

$$Q_G + Q_D + Q_S + Q_B = 0 \xrightarrow{\frac{\partial}{\partial U_G}} C_{DG} + C_{SG} + C_{BG} = C_{GG} \quad (2.44)$$

Die Spannungsänderung an den Kapazitäten verursacht eine Ladungsänderung, die wiederum Stromänderungen an den Terminals zur Folge haben.

$$I(t) = \frac{dQ(t)}{dt} = \dot{Q}(t) = C \frac{dU(t)}{dt} \quad (2.45)$$

Die Ladungsänderung an einem Terminal ist eine Funktion der angelegten Spannungsänderungen

$$Q(t) = f(U_{GS}(t), U_{DS}(t), U_{BS}(t)), \quad (2.46)$$

woraus sich mithilfe der Kettenregel der Differentiation

$$I(t) = \frac{\partial Q}{\partial U_{GS}} \frac{dU_{GS}}{dt} + \frac{\partial Q}{\partial U_{DS}} \frac{dU_{DS}}{dt} + \frac{\partial Q}{\partial U_{BS}} \frac{dU_{BS}}{dt} \quad (2.47)$$

ergibt.

Wertet man dies für alle vier Knoten aus, so erhält man unter Verwendung von Gleichung (2.42):

$$I_G(t) = +C_{GG} \frac{dU_{GS}}{dt} - C_{GD} \frac{dU_{DS}}{dt} - C_{GB} \frac{dU_{BS}}{dt} \quad (2.48)$$

$$I_D(t) = -C_{DG} \frac{dU_{GS}}{dt} + C_{DD} \frac{dU_{DS}}{dt} - C_{DB} \frac{dU_{BS}}{dt} \quad (2.49)$$

$$I_B(t) = -C_{BG} \frac{dU_{GS}}{dt} - C_{BD} \frac{dU_{DS}}{dt} + C_{BB} \frac{dU_{BS}}{dt} \quad (2.50)$$

$$I_S(t) = -C_{SG} \frac{dU_{GS}}{dt} - C_{SD} \frac{dU_{DS}}{dt} - C_{SB} \frac{dU_{BS}}{dt} \quad (2.51)$$

Da das Kirchhoffsche Gesetz auch für zeitlich variable Ströme seine Gültigkeit behält, gilt es insbesondere für die Kleinsignalströme:

$$i_g(t) + i_d(t) + i_s(t) + i_b(t) = 0 \quad (2.52)$$

Zu beachten ist jedoch, daß die Reihenfolge der Indizes i.a. *nicht* vertauschbar ist, z.B. gilt:

$$C_{GD} \neq C_{DG} \quad (2.53)$$

Bezieht man wieder alle Größen auf die Source, so wird aus den Gleichungen (2.48) bis (2.51) und (2.44) ersichtlich, daß zur kompletten Kleinsignalbeschreibung des MOSFETs — analog zu den Leitwerten — *neun* Kapazitäten erforderlich sind.

Mit der Gaußschen Darstellung aus Gleichung (2.26) läßt sich die zeitliche Ableitung der Spannung in Gleichung (2.45) für die Kleinsignalansteuerung auswerten:

$$\begin{aligned} i(t) &= i \cdot \exp(j\omega t) = C \frac{du(t)}{dt} = C \frac{d(u \cdot \exp(j\omega t))}{dt} \\ &\Rightarrow i = j\omega C \cdot u \end{aligned} \quad (2.54)$$

Hier zeigt sich der Vorteil der komplexen Darstellung: Das Strom-Spannungs-Verhältnis wird auf eine Relation ihrer Amplituden vereinfacht.

Y-Parameter

Die Leitwerte und Kapazitäten lassen sich mithilfe der Y -Parameter in einer komplexen Größe, der Admittanz Y , zusammenführen:

$$Y_{ij}(\omega) \equiv \frac{i_i(\omega)}{u_j(\omega)} = G_{ij} + j\omega C_{ij} \quad (2.55)$$

mit $u_k = 0$ für $k \neq j$

Ihre Definition entspricht dem üblichen Verfahren in der Messung oder Simulation: Man legt an *alle* Knoten eine Spannung an, variiert *eine* davon und evaluiert die entstehenden Ströme.

Mit den Kleinsignalspannungen und -strömen aller vier Knoten erhält man so eine Admittanzmatrix mit 16 Elementen.

$$\begin{pmatrix} i_g \\ i_d \\ i_s \\ i_b \end{pmatrix} = \begin{pmatrix} Y_{GG} & Y_{GD} & Y_{GS} & Y_{GB} \\ Y_{DG} & Y_{DD} & Y_{DS} & Y_{DB} \\ Y_{SG} & Y_{SD} & Y_{SS} & Y_{SB} \\ Y_{BG} & Y_{BD} & Y_{BS} & Y_{BB} \end{pmatrix} \cdot \begin{pmatrix} u_{gs} \\ u_{ds} \\ u_{ss} \\ u_{bs} \end{pmatrix} \quad (2.56)$$

Üblicherweise faßt man in der Hochfrequenzcharakterisierung den Transistor als Zweitor mit $u_{ss} = u_{bs} = 0$ auf und ist nur an den Ein- und Ausgangssignalen an Gate und Drain interessiert.⁶

Dies verjüngt die Matrix auf ihre vier wesentlichen Admittanzen:

$$\begin{pmatrix} i_g \\ i_d \end{pmatrix} = \begin{pmatrix} Y_{GG} & Y_{GD} \\ Y_{DG} & Y_{DD} \end{pmatrix} \cdot \begin{pmatrix} u_{gs} \\ u_{ds} \end{pmatrix} \quad (2.57)$$

2.1.4 Dominante Widerstandskomponenten

Stillschweigend wurden im vorigen Kapitel die Induktivitäten vernachlässigt. Die Begründung hierfür soll nun nachgereicht werden durch eine Abschätzung der Größenordnungen. Die Impedanz Z läßt sich durch ihre drei Einzelkomponenten ausdrücken:

$$\begin{aligned} Z &= Z_R + Z_C + Z_L \\ &= R + \frac{1}{j\omega C} + j\omega L_{ind} \end{aligned} \quad (2.58)$$

⁶Mit u_{ss} ist die Kleinsignalspannung zwischen Source und U_{ss} gemeint, wie sie z.B. in *Common Gate*-Schaltungen verwendet wird.

Die Induktivität L_{ind} ist jedoch für herkömmliche Geometrien und Frequenzen zu vernachlässigen, wie folgende Abschätzung zeigt:

$$\begin{aligned}
 Z_R &= R \approx R_{ch} = \frac{U_{DS}}{\mu_n C_{ox} \frac{W}{L} (U_{GS} - U_{th})^2 / 2} \approx 1,6 \cdot 10^4 \Omega \\
 |Z_C| &= \frac{1}{\omega C} \approx \frac{1}{\omega C_{ox} W L} = \frac{1}{\omega} \cdot \frac{d_{ox}}{\varepsilon_0 \varepsilon_{ox} W L} \approx 2,7 \cdot 10^4 \Omega \\
 |Z_L| &= \omega L_{ind} \approx \omega \cdot \frac{\mu_0 \mu_{si}}{2\pi} L \left(\ln \frac{4L}{d_{ch}} - \frac{3}{4} \right) / \frac{W}{d_{ch}} \\
 &\approx f \mu_0 \mu_{si} \frac{L}{W} d_{ch} \ln \frac{4L}{d_{ch}} \approx 4,2 \cdot 10^{-5} \Omega
 \end{aligned} \tag{2.59}$$

Als Zahlenwerte wurden hierbei neben den Materialwerten von Seite IX folgende Sättigungsbedingungen angenommen: $W = L = 1 \mu\text{m}$, $U_{GS} = 1,5 \text{ V}$, $U_{DS} = 2,5 \text{ V}$, $U_{th} = 0,5 \text{ V}$, $\mu_n = 550 \frac{\text{cm}^2}{\text{Vs}}$, $d_{ox} = 6 \text{ nm}$, $d_{ch} = 5 \text{ nm}$ und $f = 1 \text{ GHz}$. Die Abschätzung für die Induktivität des Kanals erfolgte durch Parallelschaltung von Einzelleitungsinduktivitäten [52].

Als wichtige Beschreibungsgrößen verbleiben demnach die Kapazitäten und Widerstände bzw. deren inverse Darstellung in Form von Leitwerten.

2.1.5 Kleinsignalersatzschaltbild

Für die Bestimmung des AC-Verhaltens beliebiger Schaltungen ist es hilfreich, den MOS-Transistor mit seinen entsprechenden Kleinsignalparametern zu beschreiben. In Abbildung 2.4 ist das Standard-Kleinsignalersatzschaltbild [37] eines MOS-Transistors mit den Anschlußklemmen Gate (G), Source (S) und Drain (D) dargestellt.

Die vierte Anschlußklemme, Bulk (B) oder Substrat, ist nicht gezeigt, da Source und Bulk hier kurzgeschlossen sind.

In der Schaltungssimulation muß das Kleinsignalersatzschaltbild für *alle Arbeitsbereiche* und *unabhängig von der Ansteuerung* Gültigkeit besitzen. Die Indizes der Kapazitäten erhalten somit eine andere Bedeutung als in der Ladungsbeschreibung (Gleichung (2.42)): So bezeichnet beispielsweise C_{GD} lediglich eine Kapazität, die zwischen Gate und Drain wirkt, ungeachtet dessen, an welcher Seite der Signaleingang liegt.

Bisweilen findet man in der Literatur auch Kleinsignalersatzschaltbilder mit frequenzabhängigen Stromquellen $g(\omega) \cdot u$. Dies sind zumeist verkürzte Dar-

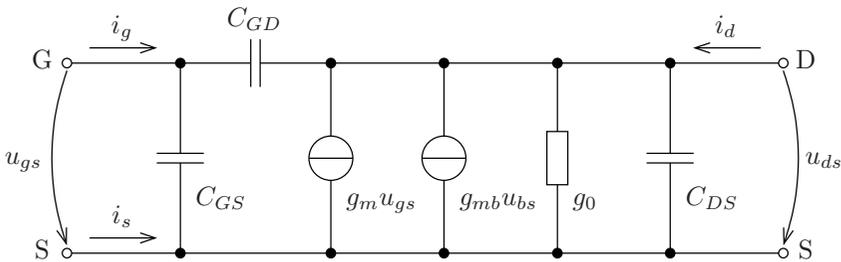


Abbildung 2.4: Kleinsignalersatzschaltbild des MOS-Transistors

stellungen für Kombinationen aus Widerständen, Kapazitäten und Induktivitäten. Beispielsweise kann man für eine Reihenschaltung aus einer Kapazität C und einem Widerstand R auch eine Stromquelle mit

$$g(\omega) \cdot u = \frac{j\omega C}{1 + j\omega\tau} \cdot u \quad \text{mit} \quad \tau = RC \quad (2.60)$$

einsetzen, was sich aus dem Reziprokwert von (2.58) leicht zeigen läßt.

2.2 Kompaktmodelle für den Schaltungssimulator

Im folgenden Abschnitt werden einige Modellkonzeptionen und übliche Ansätze vorgestellt und diskutiert. Die Fragestellung lautet hier also: Was gibt es bisher? Was fehlt?

Abbildung 2.5 verdeutlicht die zentrale Stellung der Schaltungssimulation. Ausgehend von Device-/Bauelementesimulationen, denen noch Technologiesimulationen vorangehen können, erhält man ein Bild von den mittels Kompaktmodellen zu beschreibenden Elementen.

Um die Modelle mit den realen Zellen in Einklang zu bringen, werden aus den Meßdaten die zugehörigen Parameter extrahiert und in die Modellkarten eingetragen. Dies ermöglicht dem Entwickler, seine Schaltungen vom Chiplevel bis zur Systemsimulation zu charakterisieren.

Dieses Vorgehen erspart ihm im Vergleich zur Bauelementesimulation, z.B. mit MEDICITM, lange Rechenzeiten, erfordert aber, je nach Simulationsart (Groß-/Kleinsignal, DC, AC, HF, transient, *worst case*) spezielle Simulatoren und Modelle.

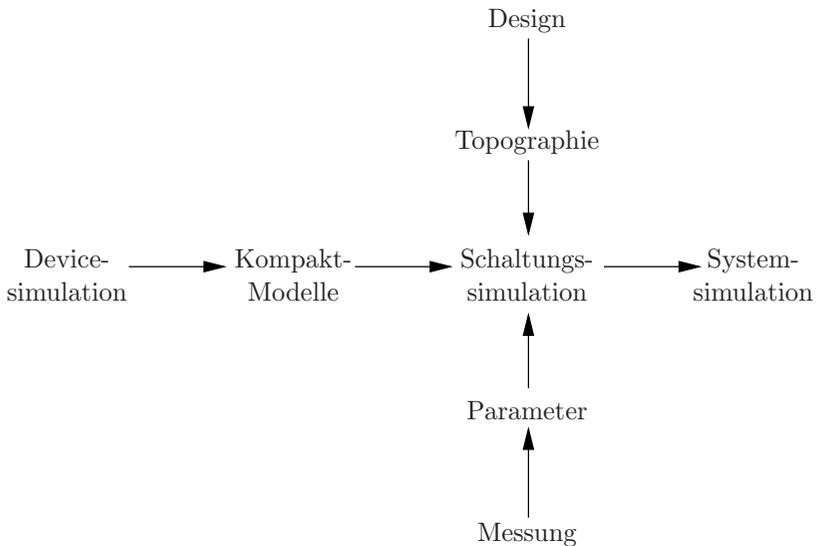


Abbildung 2.5: Zentrale Stellung der Schaltungssimulation

2.2.1 Modellkonzeptionen

Empirische Modelle bilden die gemessenen Charakteristika durch beliebige Funktionen nach. Vorteilhaft ist die hohe Geschwindigkeit, wohingegen solche Modelle nur unter den gemessenen Randbedingungen aussagekräftig sind.

In *Tabellenmodellen* werden aus den Meßdaten multidimensionale Tabellen angelegt und die gesuchten Größen bei der Simulation durch Interpolation ermittelt. Dies kann bei großer Dimensionalität der Tabelle jedoch recht aufwendig werden.

Beide Ansätze bieten den Vorteil, vergleichsweise einfach und schnell verfügbar zu sein, ermöglichen jedoch mangels geometrischer Skalierbarkeit keine Vorhersagen für Technologieänderungen. Eine Anwendung für Hochfrequenzschaltungen, die zumeist nur aus einer übersichtlichen Anzahl an Komponenten bestehen, ist durchaus denkbar.

Im Gegensatz zu den bisher genannten Vorgehensweisen basieren *Kompaktmodelle* auf physikalischen Annahmen und versuchen, das komplexe elektrische Verhalten der Bauelemente in möglichst einfachen analytischen Gleichungen zu subsumieren. Dies hat den Vorteil, daß das Schaltverhalten der

Bauteile auch für zukünftige Technologien ermittelbar ist und soll daher Zielrichtung dieser Arbeit sein. Ein weiteres im Zuge steigenden Wettbewerbs immer gewichtigeres Argument ist die Anwendbarkeit zur Überprüfung potentieller Steigerungen der Ausbeute (*yield*).

Tabelle 2.1 vergleicht die Eigenschaften von Tabellen- und Kompaktmodellen [39].

Kriterium	Tabellenmodell	Kompaktmodell
HF-Genauigkeit	⊕	⊖
SoC ⁷ -Simulation	⊖	⊕
Effizienz	⊖	⊕
Skalierbarkeit	⊖	⊕
Vorhersagbarkeit	⊖	⊕

Tabelle 2.1: Vergleich der Eigenschaften von Tabellen- und Kompaktmodellen

2.2.2 Philips-Modell

Um den wachsenden Anforderungen an die Kleinsignalmodellierung gerecht zu werden, wurden in letzter Zeit verschiedene Ansätze verfolgt. Exemplarisch soll hier ein Vorschlag für das *MOS Model 9* (MM9) aus dem Hause PHILIPS vorgestellt werden [77, 89].

Wie in Kapitel 4.1.2 noch näher erläutert wird, muß der Transistorkanal in der AC-Betrachtung als verteiltes Netzwerk angesehen werden. Eine Möglichkeit, dies zu realisieren, besteht darin, den inneren Transistor in mehrere Einzeltransistoren mit dementsprechend verkürzten Kanallängen aufzuteilen. Die Grundidee ist in Abbildung 2.6 verbildlicht.

Es ist mit diesem Ansatz zwar möglich, z.B. den Eingangswiderstand genauer zu simulieren, doch birgt er evidente Mängel:

Da die Einzeltransistoren unrealistisch kurz sind, müssen in der Simulation

- die Serienwiderstände,
- die Überlappkapazitäten und
- alle Kurzkanaleffekte (wie z.B. der DIBL-Effekt)

eigens *ausgeschaltet* werden.

⁷ *System on Chip*

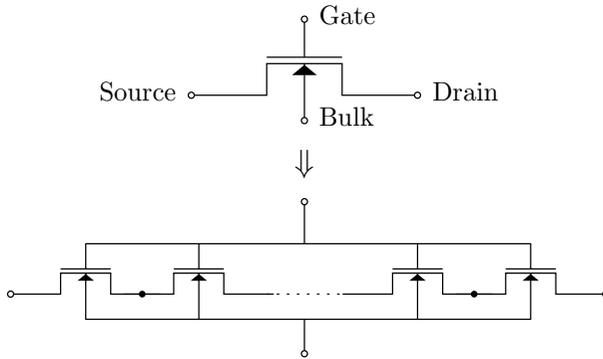


Abbildung 2.6: Ansatz des Philips-Modells: Aufteilung des inneren Transistors in mehrere Einzeltransistoren kürzerer Kanallänge

Dieser Nachteil wird, wie auch die fehlende Beschreibung der Source-Drain-Widerstände (siehe Kapitel 4.1.4), durch Variation der Beweglichkeitsparameter z.T. kompensiert. Dadurch verliert das Modell jedoch seine Skalierbarkeit.

2.2.3 Berkeley-Modell

Wie bereits erwähnt, fußt bei Ladungs-Kompaktmodellen die AC-Beschreibung auf den Ergebnissen der DC-Beschreibung. Daher ist es unerlässlich, auch bestehende Mängel im DC-Modell aufzuzeigen.

Effektive Kanallänge

Eines der Probleme im BSIM3v3.1-Modell ist die Extraktion der effektiven Kanallänge L_{eff} . Anhand von Abbildung 2.7 soll dies verdeutlicht werden. Ausgangspunkt ist ein kommerzieller Viertel-Mikron-Transistor von der Firma INFINEON.

Bei einem Zeichnungsmaß von $L_{drw} = 250$ nm ergibt sich für das Testelement ein Poly-Gate mit einer Länge von $L_{poly} = 270$ nm. Dies beruht auf dem Vorhalt in der Maskenbelichtung, der mit xl bezeichnet wird und wegen der Symmetrie des Prozesses auf der Source- wie auch auf der Drainseite jeweils 10 nm groß ist. Diese Größen wurden durch Messung ermittelt. Für die Unterdiffusion resultiert ein Wert von $L_{ov} = 40$ nm und somit eine Kanallänge von $L_{ch} = 190$ nm.

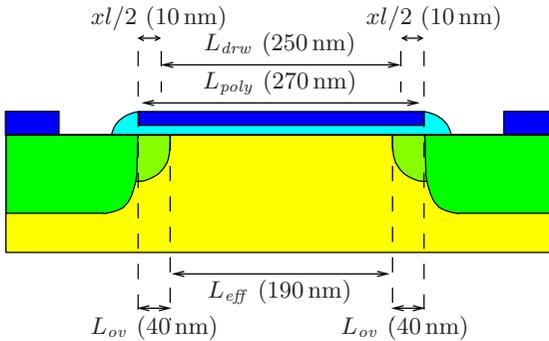


Abbildung 2.7: Motivation für ein neues Widerstandsmodell in BSIM3

Der große Nachteil von BSIM3v3.1 ist, daß die Kanallänge für den DC-Fall anders ausgedrückt wird als für den AC-Fall.

Die effektive Kanallänge wird in ersten Fall mit L_{eff} und im zweiten Fall mit L_{act} bezeichnet. Beide Größen ergeben sich aus der Subtraktion des Zeichnungsmaßes mit einem Korrekturterm dL :

- DC-Kanallänge: $L_{eff} = L_{drw} - 2 dL = L_{drw} - 2 (L_{int} + \dots)$
- AC-Kanallänge: $L_{act} = L_{drw} - 2 dL = L_{drw} - 2 (DLC + \dots)$

Der Korrekturparameter L_{int} ist dabei eigentlich zur Berücksichtigung der Überlapplänge L_{ov} gedacht. Da BSIM3v3.1 jedoch keinen Parameter für den Vorhalt zu Verfügung stellt ($x_l = 0$), muß dies bei der Extraktion von L_{int} miteinbezogen werden. Somit drückt L_{int} nicht die Kanallängenkorrektur durch die Überlapplänge L_{ov} aus — ist daher also ein reiner Fitparameter ($dL \neq L_{ov}$). Dasselbe gilt für den AC-Term DLC .

Im betrachteten Beispiel ergeben sich als extrahierte Werte:

$$L_{int} = -10 \text{ nm und } DLC = 50 \text{ nm} \quad (2.61)$$

Zur Verdeutlichung: Der extrahierte Wert für L_{int} bedeutet eine völlig unphysikalische negative Überlapplänge! Desweiteren unterscheidet sich die effektive Kanallänge im AC-Fall um $2(DLC - L_{int}) = 120 \text{ nm}$ von der des DC-Falls. Und dies bei einem gemessenen *junction*-Abstand von 190 nm!

Ziel muß also ein physikalisches Modell sein, bei dem die effektive Kanallänge korrekterweise als der metallurgische Abstand der *pn*-Übergänge wiedergegeben wird und bei dem sich die Werte für die DC- und die AC-Simulation

entsprechen:

$$L_{act} = L_{eff} \stackrel{!}{=} L_{ch} \quad (2.62)$$

Desweiteren ist eine exakte Beschreibung der Steilheiten ebenso wie eine konsistente Längendefinition die Basis für sog. *worst case*-Analysen.

Eingangswiderstand

Im Standard-BSIM3v3.1 existiert kein Eingangswiderstand. Es läßt sich jedoch ein sog. *Elmore*-Widerstand (`nqsmod = 1`) hinzuschalten. Dieser ist aber nicht spannungsabhängig, so daß der Eingangswiderstand strenggenommen nur für einen Arbeitspunkt korrekt wiedergegeben wird.

Ein weiteres Problem liegt darin, daß die Verwendung des externen Widerstandes nicht mit der Rausch- und AC-Modellierung kompatibel ist.⁸

Bindet man das BSIM3v3.1-Modell in ein Netzwerk ein, das die AC-Komponenten extern zu beschreiben versucht, müssen die internen Source- und Drainwiderstände sowie die *junction*-Kapazitäten ausgeschaltet werden.

Dann ist aber die Konsistenz mit den DC-Ergebnissen nicht mehr gewährleistet.

2.3 Notwendigkeit eines verbesserten Kleinsignalmodells

Die soeben exemplarisch aufgeführten Ansätze verdeutlichen einige prinzipielle Nachteile bestehender AC-Modelle. Daraus erwachsen folgende Anforderungen an eine neue Kleinsignalmodellierung:

- Mit der DC-Modellierung **konsistente Beschreibung des Kanals**
- Modellierung des **Eingangswiderstandes** durch eine **nichtquasistatische Beschreibung** des Inversionsschichtverhaltens

Diese dient dem Schaltungsentwickler zur Optimierung folgender, sich z.T. gegenseitig ausschließender, Anforderungen:

- Leistungsanpassung durch Impedanzanpassung
- Rauschanpassung
- Korrekte Erfassung der **parasitären Komponenten** zur exakten Beschreibung der für das Kleinsignalverhalten wesentlichen **Steilheiten**

⁸Beispielsweise ergibt die Simulation für einige Kapazitäten negative Werte.

3 Bauelementesimulationen

Kleinsignalmessungen offenbaren lediglich die *Auswirkungen* nichtquasistatischer Phänomene. Um jedoch deren *Ursachen* zu erforschen, bietet sich die Bauelementesimulation als prädestiniertes Werkzeug an.

In diesem Kapitel werden daher Ergebnisse vorgestellt, die mit dem Bauelementesimulator MEDICITM erzielt werden. So soll ein grundlegendes Verständnis für die Hochfrequenzeigenschaften des MOS-Transistors erzielt, sowie der Unterschied zur Kompaktmodellierung aufgezeigt werden.

3.1 Vertiefende Betrachtungen

3.1.1 Technologiesimulation

Ziel ist es, sehr genaue AC-Simulationen mit dem Bauelementesimulator durchzuführen, um das gemessene Verhalten der Bauelemente bestmöglich wiederzugeben.

Daher werden Technologiesimulationen mit dem Simulator TSUPREMTM anhand eines industriellen CMOS-Prozesses durchgeführt mit dem Impetus, möglichst realitätsnahe Geometriedaten für die folgenden Bauelementesimulationen zu gewinnen. Dabei werden z.B. das Oxidwachstum, die Dotierungen sowie deren Ausdiffusionsprozesse simuliert.

Das Ergebnis läßt sich in einem speziellen Zwischenformat (TIF¹) abspeichern und in MEDICITM importieren. Es enthält die Bereichsgrenzen, Dotierungsprofile und ein primäres Gitter mit den Stützstellen zur numerischen Simulation.

Tabelle 3.1 faßt die aus der TSUPREMTM-Simulation gewonnenen Bauelemente zusammen.

¹*Technology Interchange Format*

Transistor	Weite W	Länge L
1	$1 \mu\text{m}$	$0,2 \mu\text{m}$
2	$1 \mu\text{m}$	$0,25 \mu\text{m}$
3	$1 \mu\text{m}$	$0,3 \mu\text{m}$
4	$1 \mu\text{m}$	$0,4 \mu\text{m}$
5	$1 \mu\text{m}$	$0,5 \mu\text{m}$
6	$1 \mu\text{m}$	$1 \mu\text{m}$
7	$1 \mu\text{m}$	$2 \mu\text{m}$
8	$1 \mu\text{m}$	$5 \mu\text{m}$
9	$1 \mu\text{m}$	$10 \mu\text{m}$

Tabelle 3.1: Übersicht über die aus der Technologiesimulation stammenden Transistoren

3.1.2 Simulationsgitter

Eine weitere Verfeinerung des Gitters ist während der MEDICITM-Simulation möglich und wird für den interessierenden Kanalbereich durchgeführt. Es zeigt sich, daß der Einfluß des Gitters auf die Simulationsergebnisse erst ab einer vertikalen Gitterdichte kleiner $0,5 \text{ nm}$ eliminiert werden kann.

Abbildung 3.1 zeigt die aus der Technologiesimulation gewonnene Geometrie.

Der vergrößerte Abschnitt des Drainbereiches läßt die hohe Komplexität des Gitters erahnen. Diese verursacht im folgenden große Simulationsschwierigkeiten: Zum einen werden viele Gitterdreiecke mit überstumpfen Winkeln ($> 160^\circ$) erzeugt, die bei der Auflösung der Simulationsmatrix problematisch sind. Zum anderen sind die gewachsenen Flächen — insbesondere unter dem Oxid — *nicht* eben, was spätere Extraktionen erheblich erschwert.

Beide Problembereiche könnten sich unter großen Einbußen in der Genauigkeit durch manuell erzeugte Eingabegeometrien vermeiden lassen.

Für Abbildung 3.1 wird mit MEDICITM ein typischer AC-Arbeitspunkt von $U_{GS} = 1,5 \text{ V}$ und $U_{DS} = 2,5 \text{ V}$ simuliert. Man sieht deutlich die durch den DIBL²-Effekt drainseitig erweiterte Raumladungszone (RLZ).

Zusätzlich sind im Abstand von je 250 mV Äquipotentiallinien eingezeichnet. Um deren Verlauf auch im Oxid kenntlich zu machen, muß mit einem speziellen Oxidmodell simuliert werden.

²Drain Induced Barrier Lowering

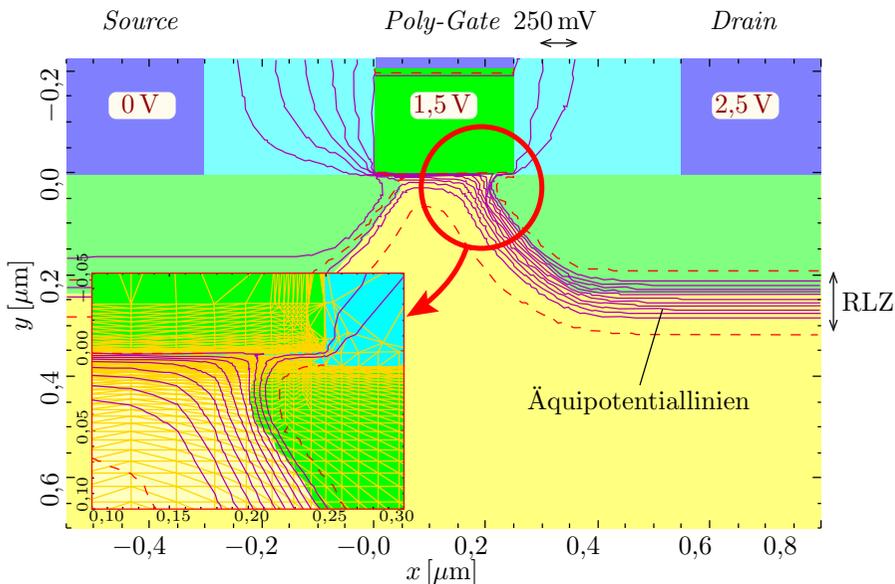


Abbildung 3.1: Aus der Technologiesimulation gewonnene Geometrie des Transistors

3.1.3 Parametergewinnung für den Bauelementesimulator

In einem zweiten Schritt wird der Bauelementesimulator MEDICITM geeicht, um die Simulationsergebnisse mit den zuvor gemessenen DC-Charakteristiken in Einklang zu bringen. Dies wird normalerweise nicht praktiziert, da man oftmals nur an qualitativen Ergebnissen interessiert ist.

Eine Aufstellung der Transistorgeometrien, die für Gleichstrommessungen zur Verfügung stehen, wird in Tabelle 5.4 auf Seite 124 vorgelegt.

Übliche Parameterextraktionswerkzeuge, wie z.B. IC-CAPTM, erweisen sich wegen der schlechten Kopplung zur extrem zeitaufwendigen Bauelementesimulation als unpraktikabel. Daher wird MEDICITM über ein eigens entwickeltes *Shell-Script* angesteuert und im Zusammenwirken mit der programminternen *LOOP OPTIMIZE*-Routine evaluiert.

Beweglichkeitsmodell

Eine hervorragende Bedeutung kommt der richtigen Wahl des Beweglichkeitsmodells zu.

Leider beziehen sich einige dieser Modelle, wie z.B. das *Surface Mobility Model* (SRFMOB), in MEDICITM lediglich auf die oberste Gitterebene. Dies macht die Simulationsergebnisse gitterabhängig und ist daher insbesondere für die verwendete hohe Gitterdichte von bis zu 10000 Knoten unbrauchbar. Die besten Ergebnisse lassen sich mit dem Hochfeld-Beweglichkeitsmodell von *Hewlett-Packard* (HPMOB) erzielen, bei dem die Beweglichkeit μ wie folgt berechnet wird [13, 19]:

$$\mu = \frac{\mu_{\perp}}{\sqrt{1 + \frac{\left(\frac{\mu_{\perp} E_{\parallel}}{\text{VCN.HP}}\right)^2}{\frac{\mu_{\perp} E_{\parallel}}{\text{VCN.HP}} + \text{GN.HP}} + \left(\frac{\mu_{\perp} E_{\parallel}}{\text{VSN.HP}}\right)^2}} \quad \text{mit} \quad (3.1)$$

$$\mu_{\perp} = \begin{cases} \frac{\text{MUN0.HP}}{1 + \frac{E_{\perp}}{\text{ECN.HP}}} & \text{für } N < \text{NRFN.HP} \\ \text{MUN0} & \text{sonst} \end{cases} \quad (3.2)$$

Quantenmechanik

Quantenmechanische Effekte werden in MEDICITM nach der *van-Dort*-Näherung [16] behandelt. Diese erweitert die Bandlücke in Abhängigkeit vom anliegenden vertikalen elektrischen Feld um:

$$\Delta E_{g,qm} = \frac{13}{9} \cdot 4,1 \cdot 10^{-8} \text{ eVcm} \cdot \left(\frac{\varepsilon_{si}}{4kT}\right)^{1/3} \cdot |E_{vert}|^{2/3} \quad (3.3)$$

Der erste Faktor ergibt sich aus der Schrödinger-Gleichung, der zweite wird experimentell ermittelt. Die vergrößerte Bandlücke hat ein Absinken der Intrinsic-Dichte an der Silizium-Grenzschicht zur Folge:

$$n_{i,qm} = n_i \cdot \exp\left(-\frac{\Delta E_{g,qm}}{2kT}\right) \quad (3.4)$$

Das räumliche Abklingen der quantenmechanischen Beeinflussung der Ladungsträger wird durch eine Verschleifungsfunktion (siehe Anhang D) be-

schrieben.

$$\text{VF}(a) = \frac{2 \exp(-a^2)}{1 + \exp(-2a^2)} \quad \text{mit} \quad a = \frac{d}{d_{\text{ref}}} \quad (3.5)$$

Die reduzierte Ladungsträgerdichte an der Oxid-Grenzfläche wird oftmals auch durch eine Vergrößerung der elektrisch effektiven Oxiddicke interpretiert. Sie hat eine verringerte Einsatzspannung U_{th} zur Folge.

Simulationen mit obigem Modell zeigen eine Reduktion des Drainstromes um bis zu 8 % (Abbildung 3.2).

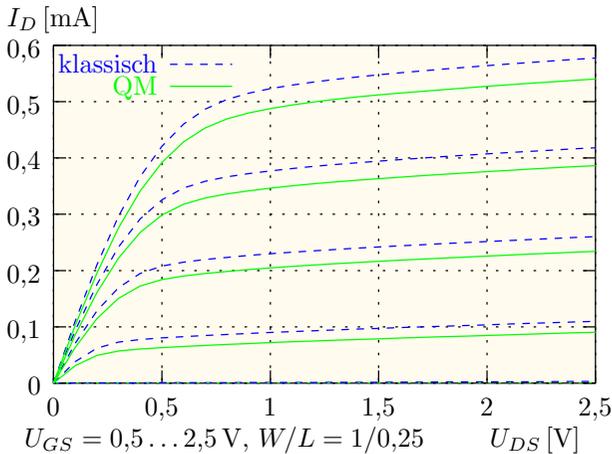


Abbildung 3.2: Vergleich des Drainstroms in klassischer und quantenmechanischer MEDICI™-Simulation

Dies belegt, daß für Bauelementesimulationen von Viertel-Mikron-Transistoren mit Oxiddicken d_{ox} von etwa 6 nm der klassische Ansatz nicht mehr akzeptabel ist.

Diejenigen Eingabedaten, die bei der Parameterextraktion die besten Übereinstimmungen mit den Messungen zeitigen, sind in Tabelle 3.2 zusammengestellt.

Abbildung 3.3 vergleicht die bei hoher Drain-Source-Spannung aus der Parameteroptimierung gewonnene Transferkennlinie eines typischen Hochfrequenz-Transistors mit der entsprechenden Messung.

Statement	Parameter	Value
MODELS	HPMOB	true
	ANALYTIC	true
	CONSRH	true
	AUGER	true
	BGN	true
	QM.PHILI	true
	QM.NORP	-1
MOBILITY SILICON	NRFN.HP	1e19
	MUN0.HP	634
	ECN.HP	5.2e5
	VSN.HP	7.736e6
	VCN.HP	4e6
	ECN.MU	7.79e4
	VSATN	1.242e7
INTERFACE MATERIAL=(silicon,oxide)	QF	-2.5e11
CONTACT NAME=gate	WORKFUNC	4.35

Tabelle 3.2: Übersicht über die optimierten MEDICI™-Parameter

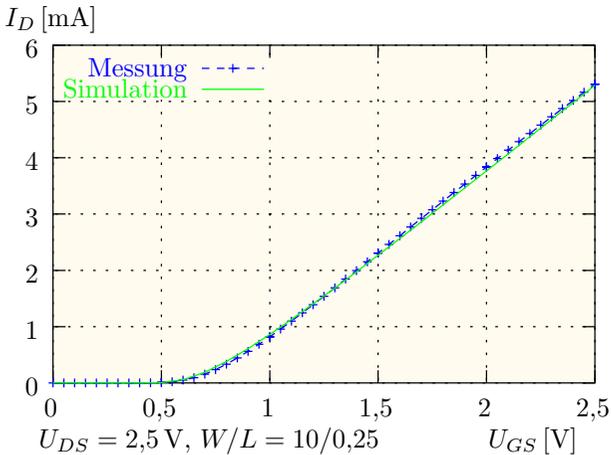


Abbildung 3.3: Vergleich der gemessenen Eingangskennlinie mit der parameteroptimierten MEDICI™-Simulation

3.1.4 Gleichstromsimulation

Inversionsschicht

Mit zunehmender Gate-Bulk-Spannung steigt das Oberflächenpotential ϕ_s an der Grenzfläche zwischen dem Kanalbereich und dem Oxid, wodurch die Löcher im Substrat von der Halbleiteroberfläche verdrängt werden. Die zurückbleibenden Akzeptorrümpfe N_A bilden eine Raumladungszone, deren Ausdehnung entsprechend

$$y_{dep} = \sqrt{2 \frac{\epsilon_0 \epsilon_{si}}{q} \frac{1}{N_A} \phi_s} \quad (3.6)$$

beschrieben werden kann.

Mit zunehmender Gatespannung steigt das Oberflächenpotential ϕ_s an der Grenze zwischen Halbleiter und Oxid. Erreicht dieses die Fermispannung ϕ_F , so spricht man von *schwacher Inversion*; oberhalb von $2\phi_F$ von *starker Inversion*. Bei letzterer ist der Kanal vollständig aufgebaut — der in Hochfrequenzschaltungen benutzte Betriebsmodus des Transistors. Abbildung 3.4 stellt diese Zusammenhänge für einen vertikalen Schnitt im Kanal dar.

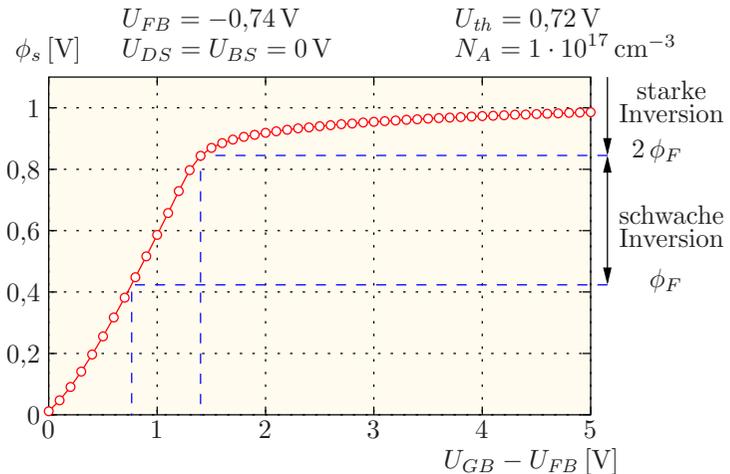


Abbildung 3.4: Oberflächenpotential in der Mitte des Kanals in Abhängigkeit von der Gate-Bulk-Spannung (MEDICI™-Simulation)

Die Elektronen bilden infolge der elektrostatischen Anziehung des Gates an

der Halbleiteroberfläche eine dünne Schicht aus. Sie lösen dort also Löcher in ihrer Rolle als Majoritätsträger ab. Daher nennt man diesen Zustand *Inversion*. Die Inversionsschicht ist jedoch derart dünn (≈ 5 nm), daß man den Spannungsabfall darüber vernachlässigen kann. Abbildung 3.5 bestätigt diese auf Seite 8 aufgestellte *charge sheet*-Näherung.

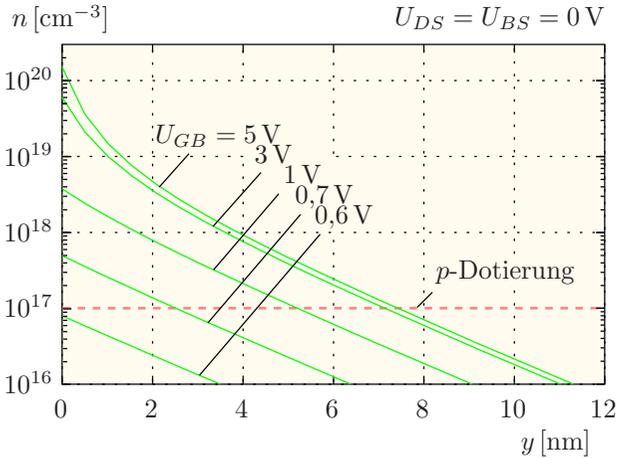


Abbildung 3.5: Lokale Verteilung der Inversionsschichtladung in der Mitte des Kanals für verschiedene Gate-Substrat-Spannungen

Zusätzliche Ladungen auf dem Gate werden überwiegend durch zusätzliche Ladungen in der Inversionsschicht kompensiert. Die Bulkladungsdichte Q'_B der Raumladungszone bleibt nahezu unverändert und wird durch Multiplikation der Ionenladungsdichte mit der Tiefe der Raumladungszone (3.6) bestimmt (*depletion*-Näherung):

$$Q'_B = -qN_A \cdot \sqrt{2 \frac{\varepsilon_0 \varepsilon_{si}}{q} \frac{1}{N_A} \cdot \phi_s} = -\sqrt{2 \varepsilon_0 \varepsilon_{si} q N_A \cdot \phi_s} \quad (3.7)$$

Somit läßt sich die Größe der Inversionsschichtladung herleiten:

$$Q'_{Inv} = -Q'_G - Q'_B = -C'_{ox}(U_{GB} - U_{FB} - \phi_s) + \sqrt{2 \varepsilon_0 \varepsilon_{si} q N_A \phi_s} \quad (3.8)$$

Die Größe U_{FB} ist die Flachbandspannung. Legt man ferner eine Spannung zwischen Source und Bulk, so erhöht sich das zur (starken) Inversion benötigte Potential $\phi_s = 2 \phi_F - U_{BS}$ entsprechend. Mit der Einsatzspannung U_{th}

(2.40) und dem Substratsteuerfaktor γ (2.41) lässt sich schreiben:

$$\begin{aligned}
 Q'_{Inv} &= -C'_{ox} (U_{GB} - U_{FB} - (2\phi_F - U_{BS})) + \sqrt{2\varepsilon_0\varepsilon_{si}qN_A \cdot (2\phi_F - U_{BS})} \\
 &= -C'_{ox} \left(U_{GB} - U_{FB} - (2\phi_F - U_{BS}) - \gamma \cdot \sqrt{2\phi_F - U_{BS}} \right) \\
 &= -C'_{ox} (U_{GS} - U_{th})
 \end{aligned} \tag{3.9}$$

Bei nicht verschwindender Drain-Source-Spannung ist das Oberflächenpotential und damit auch die Kanalspannung Φ_K ortsabhängig (Abbildung 3.6).

$$\Phi_K(x) = \phi_s(x) - (2\phi_F - U_{BS}) \tag{3.10}$$

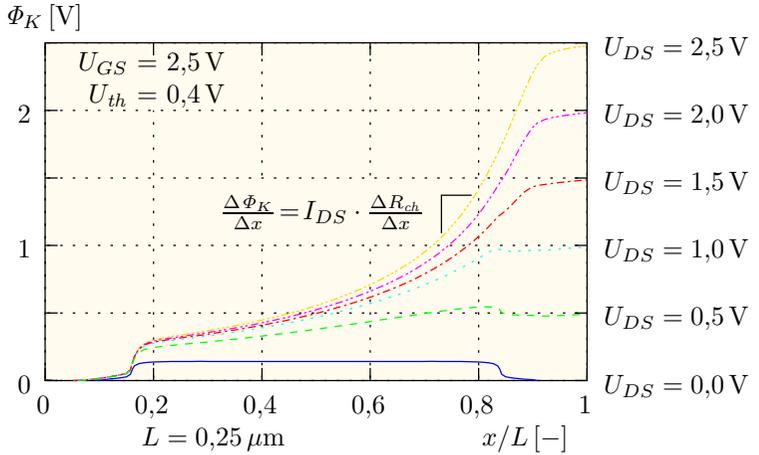


Abbildung 3.6: Verlauf der Kanalspannung über dem Ort

Der wannenförmige Verlauf bei $U_{DS} = 0$ V liegt in der Diffusionsspannung der Ladungsträger am metallurgischen Übergang begründet. Dieser liegt symmetrisch etwa bei $40 \text{ nm}/250 \text{ nm} = 20\%$ der Transistorlänge. Ihr analytischer Verlauf lässt sich über die Beziehung

$$I_{DS} = \mu C'_{ox} \frac{W}{x} \cdot \left[(U_{GS} - U_{th}) \Phi_K - \frac{\Phi_K^2}{2} \right] \tag{3.11}$$

herleiten [37]:

$$\Phi_K(x) = U_{GS} - U_{th} - \sqrt{(U_{GS} - U_{th})^2 - 2 \left[(U_{GS} - U_{th}) U_{DS} - \frac{U_{DS}^2}{2} \right] \cdot \frac{x}{L}} \tag{3.12}$$

Für kleine Drainspannungen verläuft sie linear, da sich der Kanalwiderstand über dem Ort nicht ändert. Bei größeren Spannungen steigt der differentielle Kanalwiderstand.

Einsatzspannung

Im vorigen Abschnitt kam die Einsatzspannung U_{th} zur Verwendung, welche sich analytisch durch Gleichung (2.40) berechnen läßt. In der Praxis wird sie aus Messungen und Simulationen extrahiert. Ein mögliches Verfahren ist das sog. *Zielstromverfahren*: Dabei wird die Einsatzspannung aus derjenigen Gatespannung bestimmt, bei der der normierte Drainstrom einen gewissen Wert I_Z übersteigt.

$$U_{th} = U_{GS} (I_{DS} = I_Z \cdot w/L) \quad (3.13)$$

Abbildung 3.7 stellt die Abhängigkeit der Einsatzspannung von der Gatelänge für jeweils zwei verschiedene Zielströme und Drainspannungen dar.

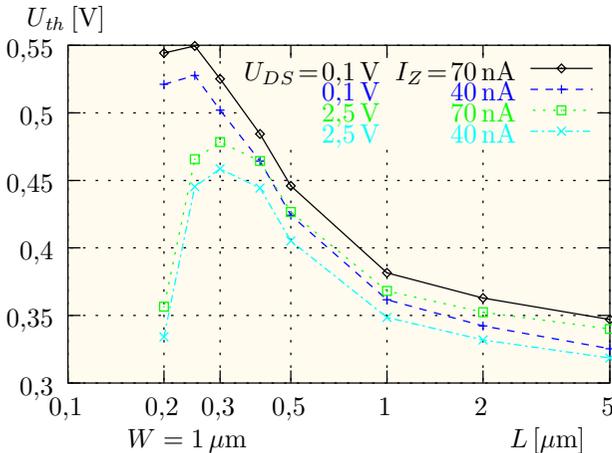


Abbildung 3.7: Nach dem Zielstromverfahren extrahierte Einsatzspannung

Abschnürpunkt

Die Sättigung ist der herausragende Betriebsbereich in Hochfrequenz-Schaltungen. Hier wirkt die Kanallänge L_{ch} verkürzt, da die Ladungsträgerdichte jenseits des *pinchoff point* vernachlässigbar klein ist.³ Die Lage dieses Abschnürpunktes kann man aus der Umkehr der vertikalen Feldkomponente ermitteln. Dies ist in Abbildung 3.8 dargestellt. Knapp oberhalb der Ein-

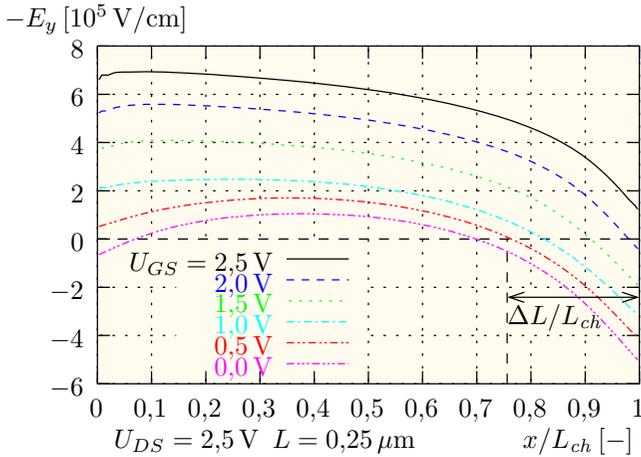


Abbildung 3.8: Verkürzung der Kanallänge bei zunehmender Sättigung

satzspannung ist der Kanal auf etwa $3/4$ des metallurgischen Abstands verkürzt. Das Hineinwandern des Punktes, an dem $E_y = 0$ ist, beginnt nicht exakt bei $U_{GD} = U_{GS} - U_{DS} = 0 \text{ V}$, da zum einen der metallurgische Übergang einen Feldbeitrag liefert und zum anderen das dortige Potential um den Spannungsabfall im Draingebiet reduziert ist.

³siehe Abbildung 3.22 auf Seite 52

3.2 Kleinsignalsimulation

3.2.1 Methodik

Übliche Ansätze über eine Ladungsaufteilung haben zwei Nachteile: Zum einen führen sie nur an Knoten mit dielektrischer Isolierung, die einen reinen Verschiebestrom aufweisen, zu korrekten Kapazitätsbelägen. Zum anderen sind die so gewonnenen Kapazitäten stets quasistatische Niederfrequenzwerte.

Im Gegensatz hierzu arbeitet MEDICITM mit einem nichtquasistatischen Ansatz nach [54], bei dem neben den Spannungen auch die Potentiale und Ladungsträgerdichten sinusförmig variiert werden:

$$U = U_0 + \tilde{U} \cdot e^{j\omega t} \quad (3.14)$$

$$\psi = \psi_0 + \tilde{\psi} \cdot e^{j\omega t} \quad (3.15)$$

$$n = n_0 + \tilde{n} \cdot e^{j\omega t} \quad (3.16)$$

$$p = p_0 + \tilde{p} \cdot e^{j\omega t} \quad (3.17)$$

Dadurch wird die Größe der Lösungsmatrix verdoppelt, was den hohen Rechenaufwand erklärt (siehe Kapitel 3.4).

3.2.2 Transitfrequenz

Aus dem Kleinsignalersatzschaltbild läßt sich die Transitfrequenz folgendermaßen berechnen:

$$f_t = \frac{g_m}{2\pi C_{GG}} \quad (3.18)$$

Sie ist unabhängig von der Transistorweite, da sowohl g_m wie auch C_{GG} mit der Weite skalieren,

$$g_m \propto W/L \quad \text{und} \quad C_{GG} \propto WL \quad (3.19)$$

und sinkt quadratisch mit zunehmender Länge.

Oberhalb der Einsatzspannung ist die Gatekapazität⁴ annähernd spannungsunabhängig. Der Verlauf der Transitfrequenz über den Arbeitspunkten besitzt daher eine der Gatesteilheit g_m ähnliche Charakteristik. Abbildung 3.9 zeigt dies anhand eines Transistors mit $W/L = 1\ \mu\text{m}/0,25\ \mu\text{m}$.

⁴Eine gemessene Kapazitätscharakteristik befindet sich auf Seite 90.

⁵Im Unterschwellenstrombereich fällt die Transitfrequenz auf einen Wert von etwa 1 MHz.

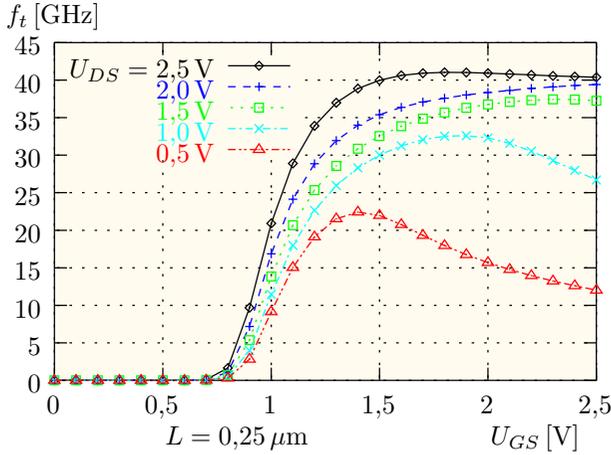


Abbildung 3.9: Transitfrequenz in Abhängigkeit vom Arbeitspunkt⁵

Der Vollständigkeit halber sei auch die Formel für die maximale Oszillationsfrequenz (Gleichung (B.20)) aufgeführt:

$$f_{max} = \sqrt{\frac{f_t}{8\pi R_{in} C_{DG}}} \quad (3.20)$$

Wegen

$$R_{in} \propto \frac{1}{W} \quad \text{und} \quad C_{DG} \propto W \quad (3.21)$$

ist auch diese näherungsweise weitenunabhängig.

3.2.3 Eingangswiderstand

Ein Schwerpunkt der in Kapitel 4 zu entwickelnden Kleinsignalbeschreibung liegt in der Modellierung des Eingangswiderstands.

Dieser errechnet sich als Realteil des Verhältnisses aus den am Gate auftretenden Spannungen und Strömen unter der Nebenbedingung, daß an allen anderen Knoten keine Kleinsignalspannungen anliegen:

$$R_{in} \equiv \Re \left(\frac{u_{gs}}{i_g} \right) \Big|_{u_{ds}=u_{bs}=0} \quad (3.22)$$

Abbildung 3.10 verdeutlicht, daß das klassische Kleinsignalersatzschaltbild von Seite 20 den *in realiter* auftretenden Eingangswiderstand nicht zu erklären vermag.

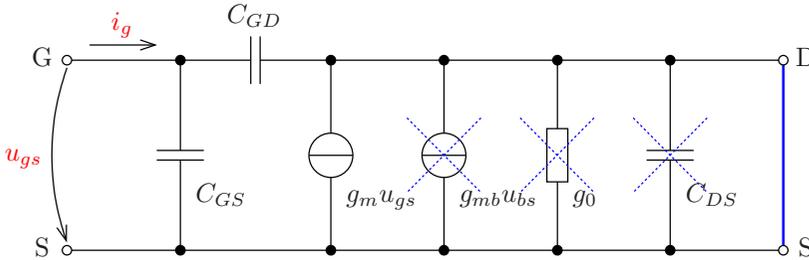


Abbildung 3.10: Klassisches Kleinsignalersatzschaltbild unter der Nebenbedingung $u_{ds} = u_{bs} = 0 \text{ V}$

Die Nebenbedingung des kleinsignalmäßigen Kurzschlusses besagt, daß der Eingangswiderstand aus der Admittanz gewonnen werden muß und nicht als Eingangsimpedanz verstanden werden darf, bei dem die Ströme verschwinden.

$$\begin{aligned}
 R_{in} &\equiv \Re \left(\frac{u_{gs}}{i_g} \right) \Big|_{u_{ds}=u_{bs}=0} = \Re \left(\frac{1}{Y_{GG}} \right) \\
 &\stackrel{!}{\neq} \Re \left(\frac{u_{gs}}{i_g} \right) \Big|_{i_d=i_b=0} = \Re (Z_{GG})
 \end{aligned} \tag{3.23}$$

Der Eingangswiderstand ist im betrachteten Bereich unabhängig von der Frequenz.

$$R_{in} \neq R_{in}(f) \tag{3.24}$$

Abbildung 3.11 zeigt dies für alle Arbeitsbereiche.

Er sinkt jedoch — ähnlich dem Kanalwiderstand — mit steigender Gate-Spannung. Dies ist aus Abbildung 3.12 ersichtlich, deren Daten an einem Transistor mit $W/L = 1/1$ simuliert wurden. Die Einsatzspannung für diesen Transistor ist aus Abbildung 3.7 auf Seite 36 zu $U_{th} = 0,38 \text{ V}$ ablesbar.⁶ Befindet sich der Transistor in Sättigung ($U_{GS} - U_{th} < U_{DS}$), so ist der Eingangswiderstand unabhängig von der Drainspannung. Dies wird deutlicher, wenn man ihn über U_{DS} aufträgt wie in Abbildung 3.13.

⁶Als Randbedingung dieser Extraktion fungieren $I_Z = 70 \text{ nA}$ bei $U_{DS} = 0,1 \text{ V}$.

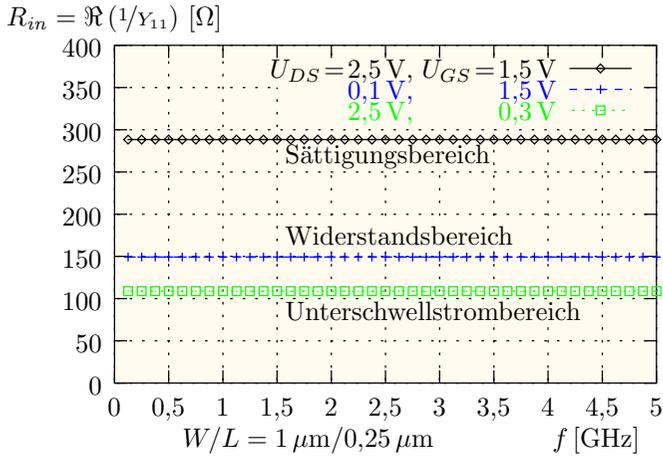


Abbildung 3.11: Frequenzunabhängigkeit des Eingangswiderstands

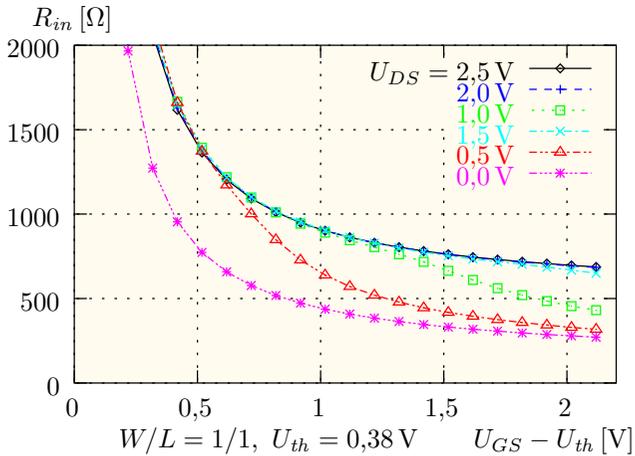


Abbildung 3.12: Gatespannungsabhängigkeit des Eingangswiderstands

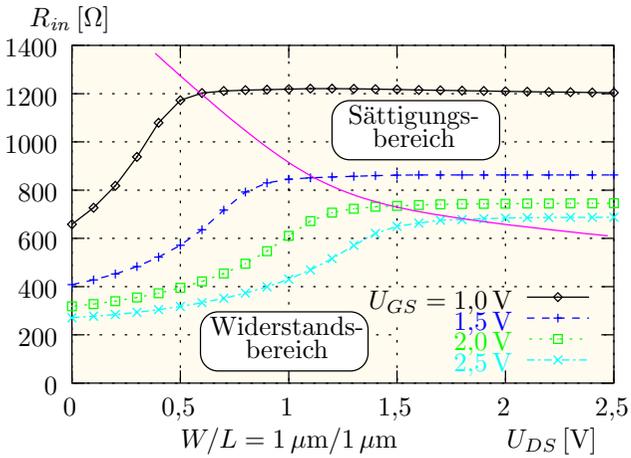


Abbildung 3.13: Drainspannungsabhängigkeit des Eingangswiderstands

3.3 Transiente Simulation

Dieses Kapitel stellt die Ergebnisse umfangreicher zeit-transienter Simulationen vor.

Sie dienen dem tieferen Verständnis der hochfrequenten Vorgänge im Transistor sowie der Verifikation der aus der AC-Simulation gewonnenen Erkenntnisse.

3.3.1 Methodik

Da MEDICITM keine sinusförmigen Transienten kennt, müssen diese durch sehr kleine lineare Spannungsvariationen genähert werden. Für jede zu simulierende Frequenz wird also die Sinuskurve der anliegenden Spannung in viele kleine lineare Spannungsänderungen aufgeteilt. Es zeigt sich, daß die Ergebnisse erst ab 256 Zeitschritten pro Sinuswelle stützstellenunabhängig werden (Abbildung 3.14).

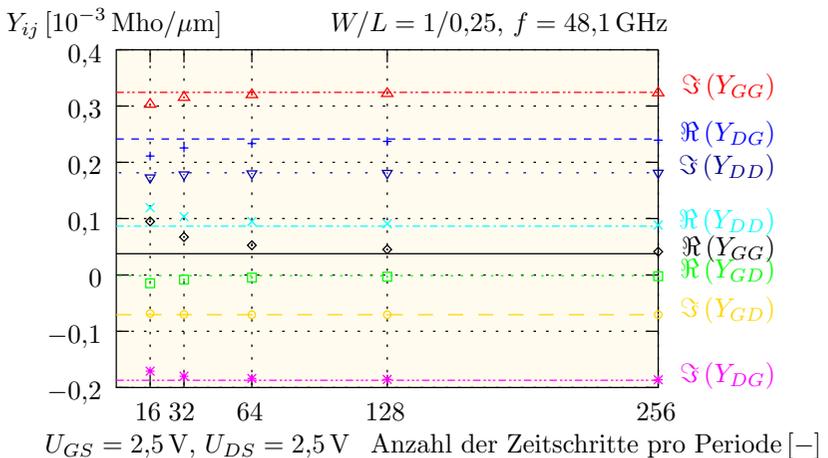


Abbildung 3.14: Abhängigkeit der extrahierten Admittanzen von der Anzahl der bei der transienten Simulation verwendeten Stützstellen im Vergleich zum Ergebnis der AC-Simulation

Für den Einschwingprozeß sind in der Regel zwei Perioden ausreichend. Abbildung 3.15 illustriert die Vorgehensweise anhand eines $W/L = 1/0,25$ -Transistors, bei dem die Gatespannung ausgehend von $U_{GS} = 2,5 \text{ V}$ mit einer Frequenz von $48,1 \text{ GHz}$ periodisch um 10 mV ausgelenkt wird.

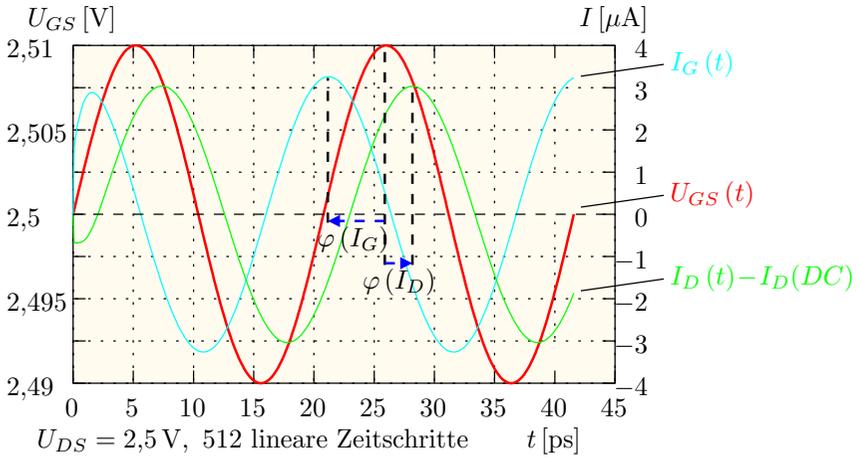


Abbildung 3.15: Transienter Verlauf der simulierten Spannungen und Ströme

Der Gatestrom läuft der Gatespannung in erster Näherung um 90° voraus:⁷

$$I_G(t) = C_{GG} \cdot \frac{dU_{GS}(t)}{dt} = C_{GG} \cdot \frac{du_{gs} \sin(\omega t)}{dt} \quad (3.25)$$

$$= \omega C_{GG} \cdot u_{gs} \cos(\omega t) = \omega C_{GG} \cdot u_{gs} \sin(\omega t + \pi/2) \quad (3.26)$$

Aus den simulierten Transienten lassen sich Amplitude und Phasengang der Ströme ermitteln und somit die Leitwerte und Kapazitäten berechnen. Die genaue Vorgehensweise ist in Kapitel 6.3.2 ausführlich beschrieben.

3.3.2 Stromverhalten

Für den wichtigsten AC-Fall, nämlich das Anlegen eines Hochfrequenzsignals an das Gate, werden umfangreiche Bauelementesimulationen durchgeführt. Sie dienen zur Erfassung nichtquasistatischer Effekte unter Miteinbeziehung aller parasitärer Einflüsse. Diese Ansteuerung des Transistors entspricht dem auf Seite 40 gezeigten klassischen Kleinsignalersatzschaltbild.

Auf die spezielle Methodik und die Probleme bei der Extraktion der Ergebnisse wird in Kapitel 6.3.1 eigens eingegangen.

⁷Der prinzipielle Verlauf des Gatestromes über der Gatespannung ist in Form eines „Dau-
menkinos“ in der rechten unteren Ecke dieser Arbeit angedeutet.

Gatestrom

Durch die kapazitive Kopplung erhält man — im Gegensatz zum Gleichspannungsbetrieb — einen Strom über das Gate (Abbildung 3.16).

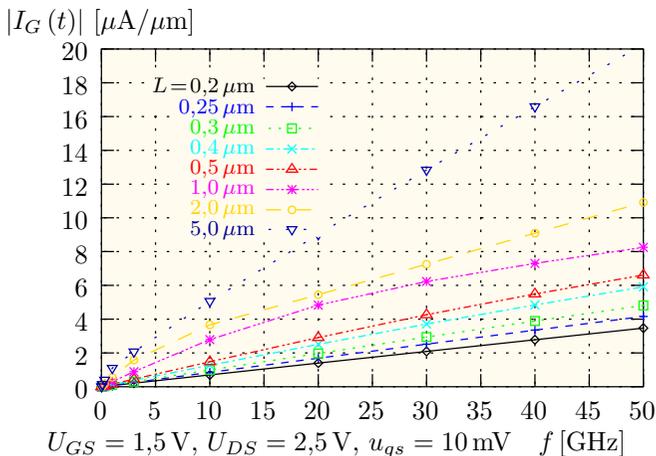


Abbildung 3.16: Amplitude des transient simulierten Gatestroms über der angelegten Frequenz

Dieser steigt, entsprechend

$$i_g = 2 \pi C'_{ox} \cdot WL \cdot f \cdot u_{gs} \quad (3.27)$$

proportional zur Gatelänge und der Frequenz an. Für extrem hohe Frequenzen und lange Transistoren läßt sich ein Abbiegen der Kurven feststellen.

Dies kann derart interpretiert werden, daß die elektrisch wirksame Kanalfläche bei Einsetzen der Nichtquasistatik verkürzt wird, die effektive Kapazität somit bei steigender Frequenz abnimmt.⁸

Abbildung 3.17 zeigt die Phasenverschiebung φ des Gatestroms über der Frequenz. Diese bezieht sich — wie auch in den folgenden Darstellungen — auf die angelegte Gatespannung.

Die von 90° abweichende Phase bewirkt einen Realanteil im Gatestrom. Dies wiederum hat einen nicht verschwindenden Eingangswiderstand zur Folge.

Daß die Phase für kleine Frequenzen nicht genau 90° ergibt, hat zwei Gründe: Die kleinste simulierte Frequenz beträgt 10 MHz, ein Verschwinden der

⁸siehe auch Abbildung 6.1 auf Seite 132

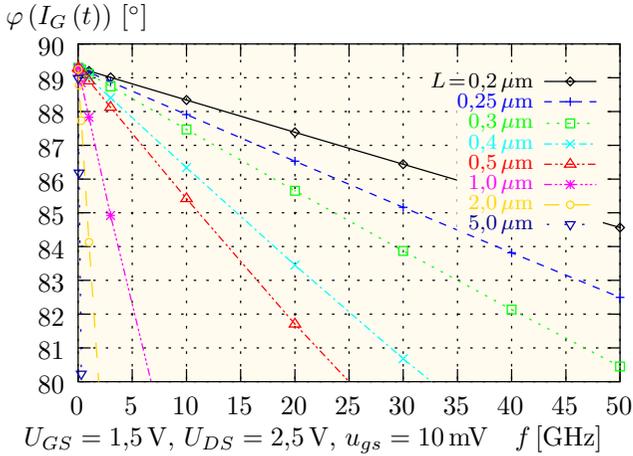


Abbildung 3.17: Phase des transient simulierten Gatestroms zur Gate-spannung über der angelegten Frequenz

Phase tritt strenggenommen erst bei $f \rightarrow 0$ ein. Zum anderen sind die Ströme (siehe Abbildung 3.16) in diesem Bereich extrem klein, was die Extraktion der Phase äußerst erschwert.

Sourcestrom

Für den Sourcestrom ergibt sich ein zunächst schwer verständliches Verhalten (Abbildung 3.18).

Für kleine Frequenzen verhält sich der Sourcestrom wie in der DC-Beschreibung. Aus den Gleichungen (2.37) und (2.38) folgt, daß der Strom steigt, je kleiner der Transistor ist.

$$\begin{aligned}
 -i_s(f \rightarrow 0) &= i_d(f \rightarrow 0) = g_m \cdot u_{gs} & (3.28) \\
 &= \beta(U_{GS} - U_{th})(1 + \lambda U_{DS}) \cdot u_{gs} \\
 &= (U_{GS} - U_{th})[(1 + \lambda U_{DS}) \cdot u_{gs}] \cdot \mu C'_{ox} \cdot \frac{W}{L}
 \end{aligned}$$

Im betrachteten Fall kann man $u_{ds} = 0$ setzen.

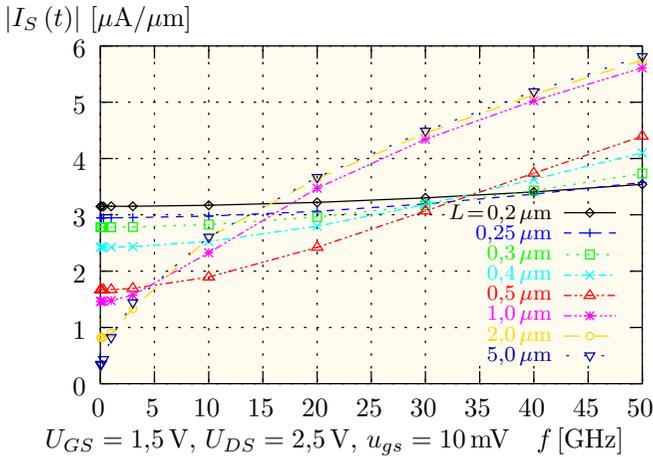


Abbildung 3.18: Amplitude des transient simulierten Sourcestroms über der angelegten Frequenz

Beim Übergang zu höheren Frequenzen kommt die Source-Gate-Kapazität C_{SG} zum Tragen:

$$\begin{aligned}
 |i_s| &= |(g_m + j\omega \cdot C_{SG}) \cdot u_{gs}| & (3.29) \\
 &= \sqrt{g_m^2 + (\omega C_{SG})^2} \cdot u_{gs} = \omega C_{SG} \cdot \sqrt{1 + \frac{g_m^2}{\omega^2 C_{SG}^2}} \cdot u_{gs}
 \end{aligned}$$

Sie repräsentiert denjenigen Anteil der Inversionsladung, der der Source zugerechnet werden kann, wächst also mit steigender Gatelänge.

$$C_{SG} \propto L \quad (3.30)$$

Dies erklärt, warum bei höheren Frequenzen die Langkanaltransistoren mehr Strom liefern. Steigert man die Frequenz weiter, so verringert sich — in Analogie zu dem beim Gatestrom gesagten — die elektrisch wirksame Kanallänge auf ein durch die Trägheit der Ladungsträger bestimmtes Maß und die effektive Source-Gate-Kapazität sinkt.

Neben der Amplitude ist die Phasenverschiebung die zweite wichtige Größe. Sie steigt zunächst proportional zur Frequenz. Ihr Verlauf ist in Abbildung 3.19 über der Frequenz dargestellt.

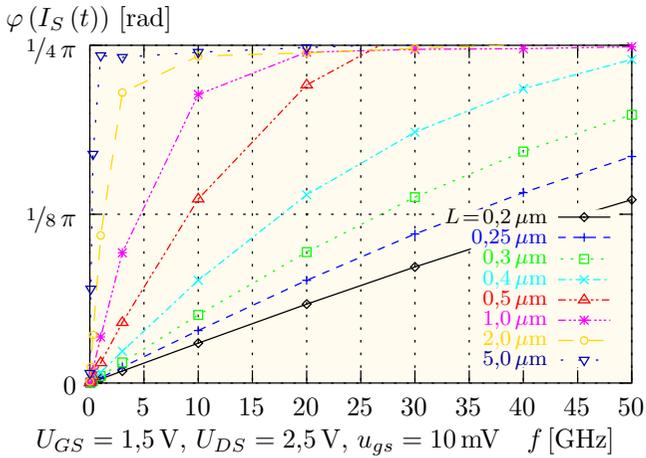


Abbildung 3.19: Phase des transient simulierten Sourcestroms über der angelegten Frequenz

Drainstrom

Der Drainstrom verhält sich im Niederfrequenzbereich analog zum Sourcestrom (Abbildung 3.20).

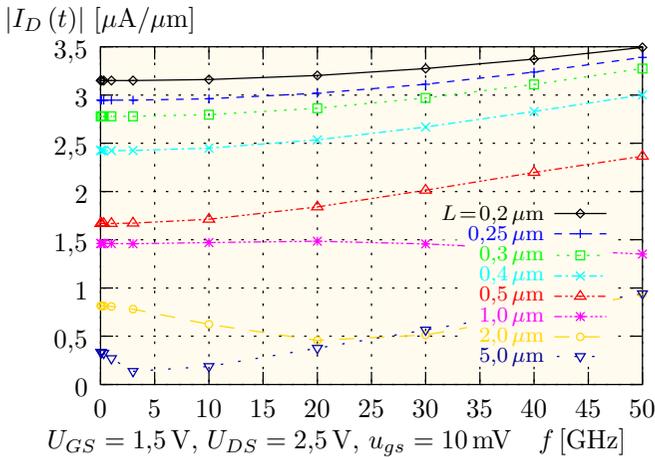


Abbildung 3.20: Amplitude des transient simulierten Drainstroms über der angelegten Frequenz

Für höhere Frequenzen zeigen sich jedoch Unterschiede: Hier ist der Drainstrom der Langkanaltransistoren stets niedriger als derjenige der Kurzkanäle. Dies weist darauf hin, daß die Drain-Gate-Kapazität einen geringeren Beitrag verursacht als die Source-Gate-Kapazität.

Die Steigungen der Kurven sind für alle Gatelängen in etwa gleich; die Drain-Gate-Kapazität ist somit keine Funktion der Länge.

$$C_{DG} \neq C_{DG}(L) \quad (3.31)$$

Bemerkenswert ist das Absinken des Strombetrages bei niedrigen Frequenzen für Transistoren mit über $1 \mu\text{m}$ Gatelänge. Diese Langkanäle befinden sich schon jenseits ihrer Transitfrequenz ($|I_D(t)| < |I_G(t)|$), was durch Vergleich mit Abbildung 3.16 ersichtlich ist.

Die Transitfrequenz der Transistoren ließe sich aus dem Schnittpunkt der Kurven in den Abbildungen 3.16 und 3.20 ermitteln.

Abbildung 3.21 zeigt die Phasenverschiebung des Drainstroms über der angelegten Frequenz.

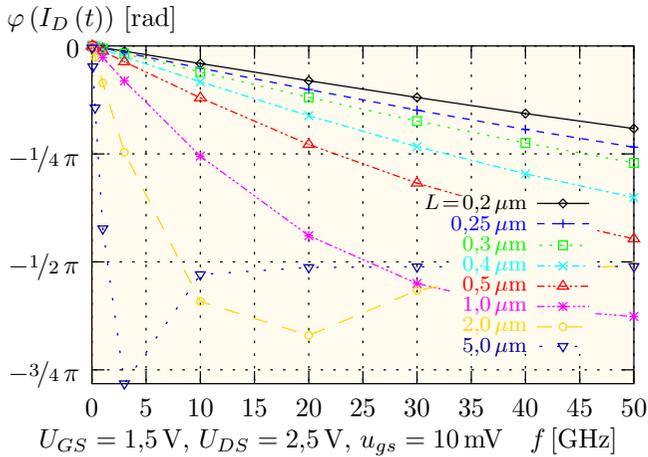


Abbildung 3.21: Phase des transient simulierten Drainstroms über der angelegten Frequenz

Die Phase wächst zunächst proportional zur Frequenz, bevor sie sich dem Wert $-\pi/2 = -90^\circ$ asymptotisch annähert, d.h. im Hochfrequenzbereich wirkt der Transistor wie ein kapazitiver Kurzschluß.

Hier ergibt sich ein weiterer Unterschied zum Sourcestrom: Bei diesem näherte sich die Phasenverschiebung in den Simulationsergebnissen nicht $\pi/2$, sondern nur $\pi/4 = 45^\circ$ (vgl. Abb. 3.19 und 3.21).

Auf die Einzelheiten dieser Gegenkopplung wird bei der Beschreibung des „inneren Miller-Effekts“ (Kapitel 4.2.2) näher eingegangen.

In den vorangegangenen Abbildungen fällt auf, daß die Summe der dargestellten Ströme nicht Null ist.

Dies ist auch korrekt, da zu einem beliebigen Zeitpunkt zwar die Erhaltung der Ströme gilt, nicht jedoch deren Beträge:

$$I_G(t) + I_D(t) + I_S(t) = 0 \quad (3.32)$$

$$\begin{aligned} \text{aber: } |I_G(t)| + |I_D(t)| + |I_S(t)| &= \\ \sqrt{I_G(t)^2} + \sqrt{I_D(t)^2} + \sqrt{I_S(t)^2} &\neq 0 \end{aligned} \quad (3.33)$$

3.3.3 Verhalten der Inversionsschicht

Das mit der Zeit variierende Verhalten der Inversionsschicht ist der AC-Analyse nicht zugänglich. Nur eine transiente Simulation nach der obig beschriebenen Methode gibt hierüber Aufschluß.

Widerstandsbereich

Der Widerstandsbereich wird in der Kleinsignalbetrachtung oftmals vernachlässigt. Dabei existieren durchaus Schaltungen, wie z.B. Mischer-Schaltungen, die auch diesen Betriebsmodus durchfahren.

Im linearen Bereich (kleine Drain-Source-Spannung) verläuft die Kanal inversion annähernd symmetrisch über dem Ort. Legt man eine kleine Störung

$$U_{GS}(t) = U_{GS} + u_{gs} \cdot \sin(\omega t) \quad (3.34)$$

an das Gate, so variiert die Ladungsträgerkonzentration nach (3.9) in etwa proportional zu den Spannungsverhältnissen der DC- und AC-Ansteuerung:

$$n(t) - n \approx \frac{u_{gs}}{U_{GS}} \cdot n = \frac{10 \text{ mV}}{1,5 \text{ V}} \cdot n \approx 7\% \cdot n \quad (3.35)$$

Abbildung 3.22 zeigt, daß der Kanal über seine gesamte Länge

$$L_{ch} = L - 2 L_{ov} = 270 \text{ nm} - 2 \cdot 43 \text{ nm} = 184 \text{ nm} \quad (3.36)$$

hinweg sinusförmig auf- und abgebaut wird.⁹

Sättigungsbereich

Im Sättigungsbereich fällt die Ladungsträgerdichte zur Drain hin stark ab. Doch auch die *Änderung* der Ladungsverteilung bei Kleinsignalansteuerung vollzieht sich vornehmlich auf der Sourceseite, wie Abbildung 3.23 zeigt. Wie schon im vorigen Bild wird für einen Transistor mit einem W/L von $1 \mu\text{m}/0,27 \mu\text{m}$ eine Frequenz von 40 GHz transient emuliert.

⁹Aus Gründen der Übersichtlichkeit wurde nicht jeder Punkt gezeichnet. Die simulierte Auflösung lag um den Faktor Vier höher.

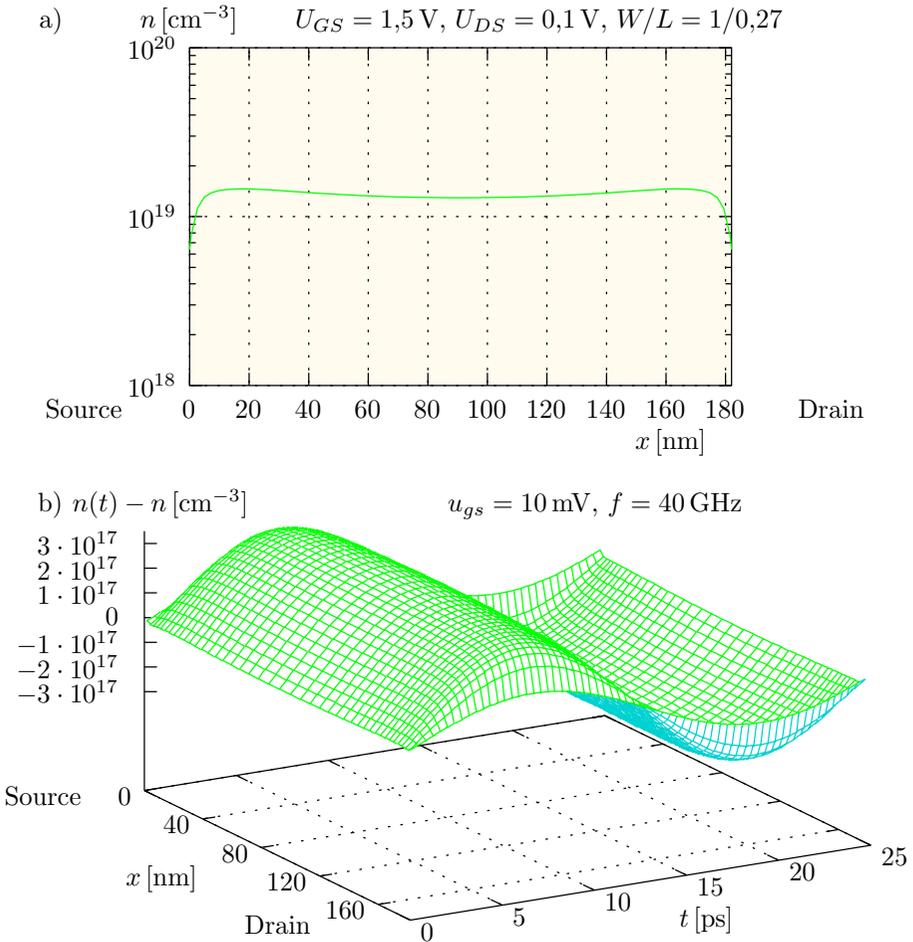


Abbildung 3.22: Verlauf der lateralen Elektronenkonzentration an der Halbleiterschicht im Widerstandsbereich (MEDICI™):

- a) Inversion bei Gleichspannung
- b) Ladungsänderung bei Anlegen eines AC-Signals

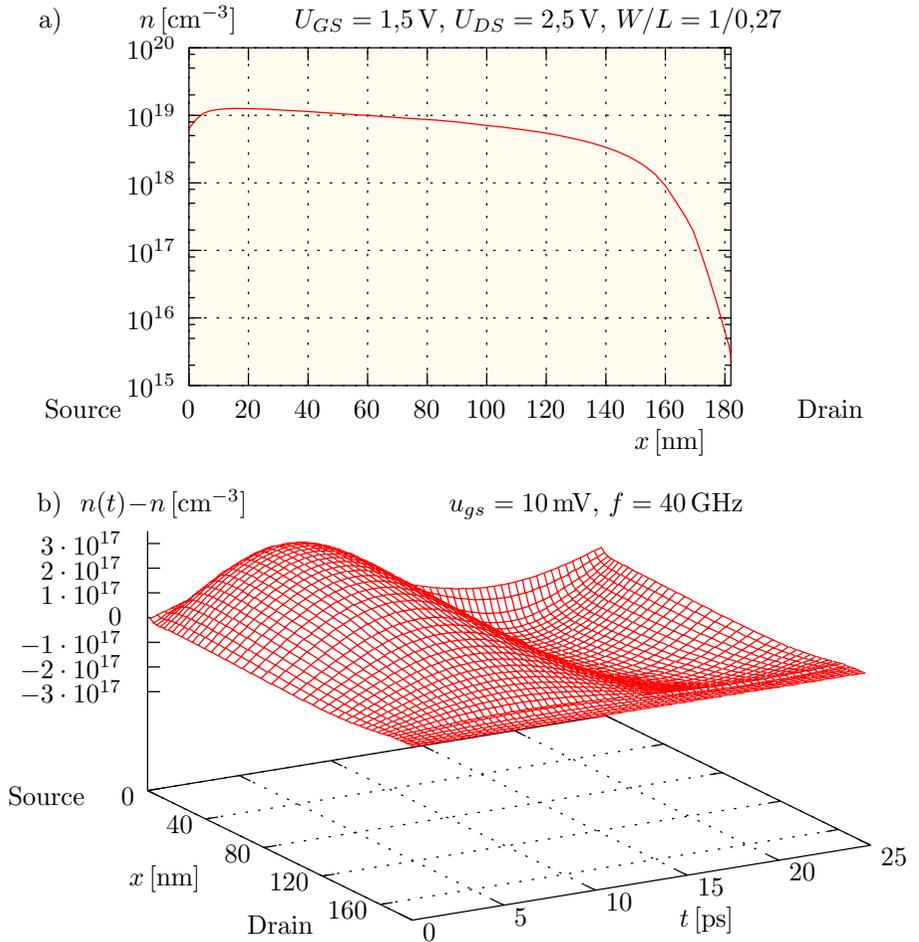


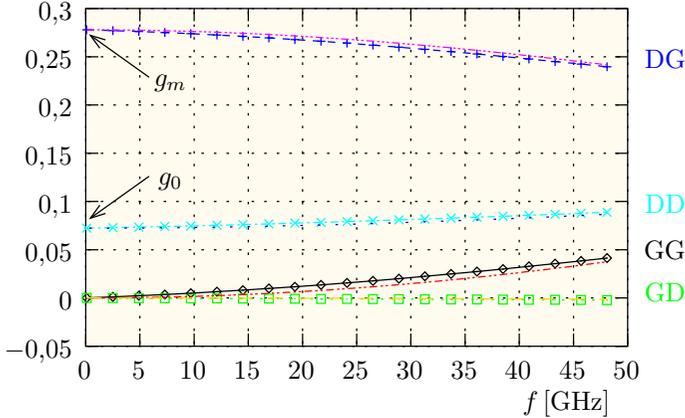
Abbildung 3.23: Verlauf der lateralen Elektronenkonzentration an der Halbleitergrenzschicht im Sättigungsbereich (MEDICI™):

- a) Inversion bei Gleichspannung
- b) Ladungsänderung bei Anlegen eines AC-Signals

3.4 Vergleich der Analysearten

Abschließend sollen die in MEDICI™ für eine Auslenkung der Gate- resp. der Drainspannung von jeweils 10 mV aus der transienten Simulation gewonnenen Ergebnisse mit denen aus der Kleinsignalsimulation verglichen werden (Abbildung 3.24).

$G = \Re(Y_{ij}) [10^{-3} \text{ Mho}/\mu\text{m}]$ mit Symbol: transient, ohne Symbol: AC



$B = \Im(Y_{ij}) [10^{-3} \text{ Mho}/\mu\text{m}]$ mit Symbol: transient, ohne Symbol: AC

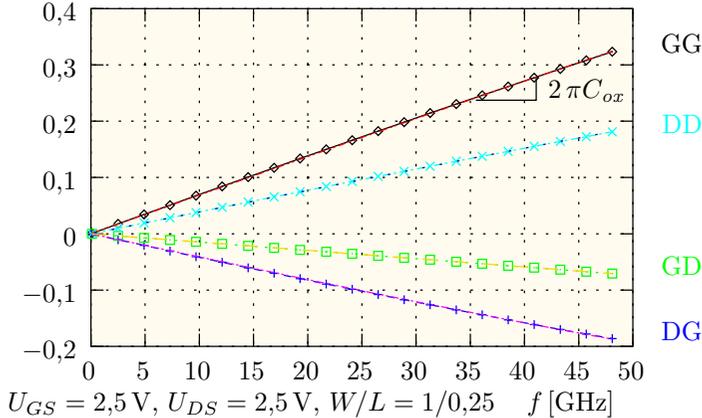


Abbildung 3.24: Vergleich der aus der transienten Simulation extrahierten Konduktanzen und Suszeptanzen zum Ergebnis der AC-Simulation

Dabei sei nochmal herausgestellt, daß es sich bei den zwei vorgestellten Ansätzen um grundsätzlich verschiedene Methodiken (3.2.1 und 3.3.1) handelt! Die Real- und Imaginärteile der Admittanzen werden hierbei getrennt betrachtet.

Während die Deckungsgleichheit der Suszeptanzen

$$B = \Im(Y) = \omega C \quad (3.37)$$

frappierend ist, zeigen sich leichte, aber unwesentliche Differenzen in den Konduktanzen.

$$G = \Re(Y) \quad (3.38)$$

Die Ergebnisse belegen die hohe Güte der Kleinsignalsimulationsmethodik in MEDICITM. Da diese jedoch nur an den Terminals evaluierbar ist, macht sie die transiente Betrachtung insbesondere für das Verständnis der Inversionsladung nicht obsolet.

Rechenzeit

Tabelle 3.3 vergleicht die relativen Rechenzeiten der verschiedenen Simulationsarten zur Ermittlung des AC-Verhaltens.

Art der Simulation	Programm	CPU-Zeit
Schaltungssimulation	SABER TM AC	1
Bauelementesimulation	MEDICI TM AC	≈ 700
Bauelementesimulation	MEDICI TM transient	≈ 6000

Tabelle 3.3: Relative Rechenzeit einer AC-Analyse für verschiedene Simulationsarten ($1 \hat{=} 0,028$ Sekunden pro Arbeits- und Frequenzpunkt)

Sie sind jedoch nur als Anhaltspunkt zu verstehen, da sie von der Anzahl der Knoten und der verwendeten Modelle bei der Bauelementesimulation sowie von der verlangten Genauigkeit bei der Schaltungssimulation abhängen. Der Absolutwert hängt natürlich primär von der verwendeten Rechenplattform¹⁰ ab.

Der angeführte Vergleich bestätigt die Erfordernis von AC-Kompaktmodellen für Schaltungssimulatoren.

¹⁰Zur Evaluierung der Rechenzeiten wurde eine SUN Sparc Ultra II mit 300 MHz unter Solaris 2.6 verwendet.

Da Hochfrequenzschaltungen jedoch nur aus einigen wenigen Bauteilen bestehen, kann für eine AC-Analyse hoher Genauigkeit eine Bauelementesimulation (z.B. mit MEDICITM) in Erwägung gezogene werden.

4 Nichtquasistatisches Kleinsignalmodell

Die Modellierung von Bauelementen für den Gleichstromfall unterscheidet sich grundsätzlich von deren Wechselstrommodellierung: Während erstere auf die Absolutwerte der Ströme und Ladungen in Abhängigkeit von den angelegten Spannungen abzielt, hebt die AC-Modellierung auf deren infinitesimale Veränderung über der Zeit resp. im Frequenzraum ab. Konkrete Aufgabe ist es daher, die im Bauelement vorkommenden Leitwerte und Kapazitäten zu erfassen.

4.1 Beschreibung der Widerstände

Für die Leistungsanpassung des MOS-Transistors ist der Eingangswiderstand R_{in} eine maßgebliche Größe. Er setzt sich aus den Widerständen des Gates, des Kanals und des externen Transistors zusammen.

Das erste Kapitel widmet sich der Frage, wie man aus den im Arbeitspunkt berechneten die für die Kleinsignalanalyse relevanten Widerstände erhält. Die elektrisch wirksamen Kleinsignalwiderstände ergeben sich aus der Analyse eines verteilten Widerstandsnetzwerks.

4.1.1 Gatewiderstand

In diesem Abschnitt soll der Einfluß des Gates untersucht werden. Wie aus der Abbildung 4.1 ersichtlich ist, wird der Gatestrom senkrecht zum Kanal zugeführt. Man muß daher in diesem Kapitel erstmals den Transistor dreidimensional betrachten.

Da mit dem Widerstand auch das gateinduzierte Rauschen ansteigt, ist man bestrebt, den Gatewiderstand möglichst gering zu halten.

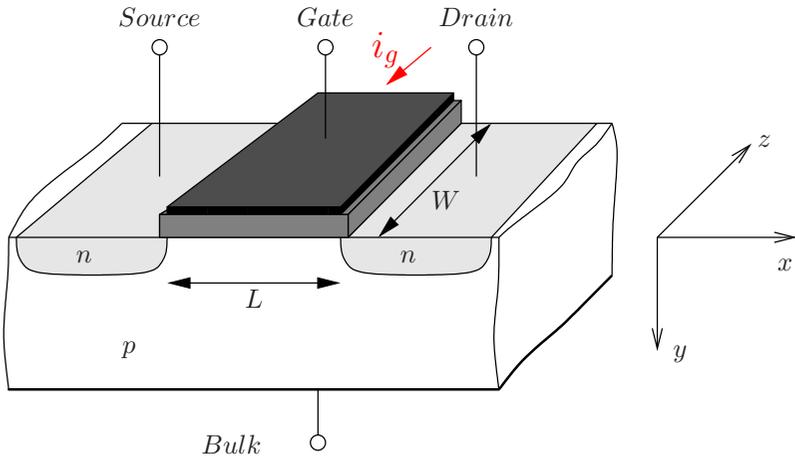


Abbildung 4.1: MOS-Feldeffekt-Transistor

Das Gate wird aus Gründen der Niedrohmmigkeit aus zumeist silizidiertem Polysilizium oder metallischen Materialien gefertigt. Aufgrund der homogenen Beschaffenheit läßt sich sein Gleichstromwiderstand wie der einer Leiterbahn berechnen:

$$R = \rho \cdot \frac{\Delta z}{\Delta x \cdot \Delta y} = \rho \cdot \frac{W}{L \cdot \Delta y} = \frac{\rho}{\Delta y} \cdot \square = R_{\square} \cdot \square \quad (4.1)$$

$$\text{mit } \rho = \frac{1}{nq\mu_n} \quad [\rho] = \Omega\text{m} \quad (4.2)$$

Mit ρ wird hierbei der spezifische Widerstand und mit Δy die Schichtdicke des Gatematerials bezeichnet, \square ist Anzahl der Leiterbahnquadrate. Letztere berechnet sich in Richtung des Stromflusses aus W/L .

Mit [26] läßt sich eine typische Größenordnung für ein 1000 nm dickes Gate aus Polysilizium mit $\square = 10 \mu\text{m}/0,25 \mu\text{m}$ abschätzen:

$$R_G = R_{\square} \cdot \square \approx \frac{760 \mu\Omega \text{ cm}}{1000 \text{ nm}} \cdot 40 = 7,6 \Omega/\square \cdot 40 \approx 300 \Omega \quad (4.3)$$

Da im DC-Fall im Gate kein Strom fließt, existiert kein Spannungsabfall über das Gate. Dies ist der Grund, warum in der Modellierung das Gate nur für transiente oder AC-Anwendungen von Bedeutung ist.

Transmission line

Das Gate entfaltet seine Wirkung auf den Kanal durch ein verteiltes Netzwerk aus Widerständen und Kapazitäten (Abbildung 4.2).

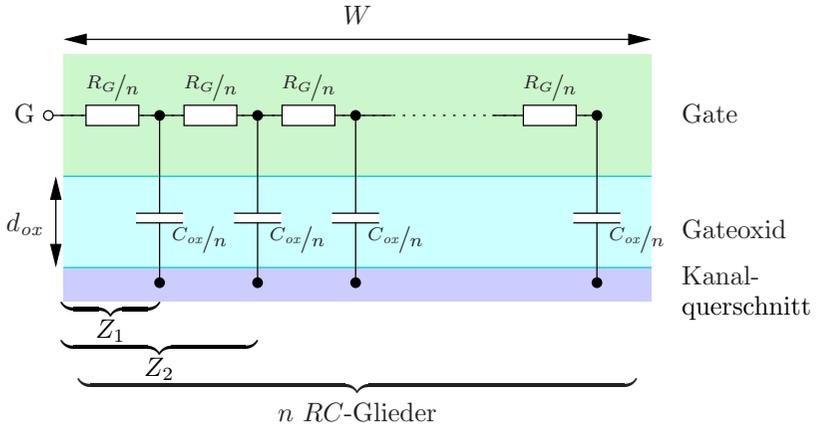


Abbildung 4.2: Interpretation des Gates als *transmission line*

Sein Gesamtwiderstand läßt sich in Kettenbruchdarstellung schreiben und iterativ berechnen:

$$\begin{aligned}
 Z_1 &= R_G/n + \frac{1}{j\omega C_{ox}/n} \\
 Z_2 &= R_G/n + \left(\frac{1}{j\omega C_{ox}/n} \parallel Z_1 \right) \\
 &= R_G/n + \frac{1}{j\omega C_{ox}/n + \frac{1}{R_G/n + \frac{1}{j\omega C_{ox}/n}}} \\
 &\vdots \\
 Z_n &
 \end{aligned} \tag{4.4}$$

Die analytische Lösung wird schon ab einigen wenigen Gliedern sehr komplex. Wertet man jeweils den Realteil aus und vernachlässigt dabei unter der Annahme

$$\omega C_{ox} R_G \ll 1 \tag{4.5}$$

Terme höherer Ordnung, so zeigt sich die Darstellbarkeit in einer Reihe:

$$\Re(Z_n) = \frac{1}{n^3} \sum_{i=1}^n i^2 \cdot R_G \quad (4.6)$$

Diese ist für $n \rightarrow \infty$ konvergent [10] und führt zu folgendem Resultat:

$$\lim_{n \rightarrow \infty} Z_n = 1/3 R_G + \frac{1}{j\omega C_{ox}} \quad (4.7)$$

Eine numerische Auswertung bestätigt das Ergebnis.

Die Gültigkeit der getroffenen Einschränkung $\omega C_{ox} R_G \ll 1$ läßt sich durch Vergleich von (4.3) mit einer Abschätzung der Imaginärkomponente unter denselben Geometrieverhältnissen ($d_{ox} = 6 \text{ nm}$) belegen:

$$\frac{1}{\omega C_{ox}} = \frac{1}{\omega C'_{ox} WL} \approx \frac{1}{2\pi \cdot 1 \text{ GHz} \cdot 5,8 \text{ fF}/\mu\text{m}^2 \cdot 10 \mu\text{m} \cdot 0,25 \mu\text{m}} \approx 10 \text{ k}\Omega$$

Simuliert man die *transmission line* aus Abbildung 4.2 in einem Schaltungssimulator und variiert dabei die Anzahl der miteinander verbundenen inneren Knoten, so bestätigt sich obige Beobachtung (Abbildung 4.3): Der wirksame Gatewi-

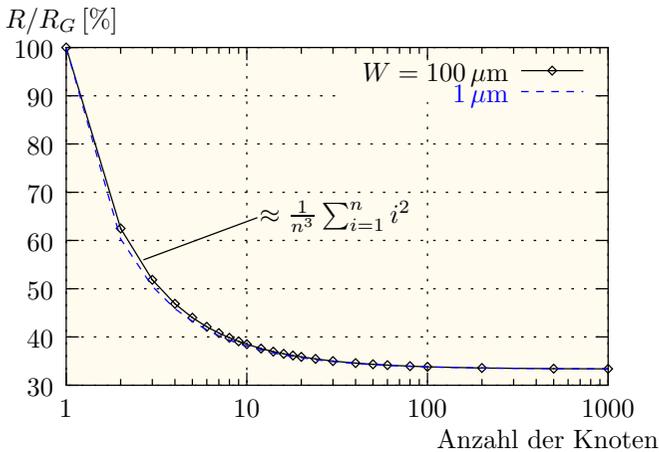


Abbildung 4.3: Schaltungssimulierter Gatewiderstand R_G in Abhängigkeit von der Anzahl der RC -Glieder im Gate

derstand sinkt mit zunehmender Knotenanzahl asymptotisch auf 33 % seines Wertes.

Verringert man die Weite des Transistors, so wird sowohl der Gatewiderstand als auch die Oxidkapazität zu gleichen Teilen kleiner. Dennoch fällt die Kurve mit annähernd gleicher Charakteristik ab.

Das Ergebnis läßt sich aber auch umgekehrt interpretieren: Möchte man beispielsweise einen verteilten Widerstand mit einer Genauigkeit von 20 % simulieren, so sind acht innere Knoten hierfür ausreichend.

Fingerstruktur

Abbildung 4.4 zeigt schematisch ein Layout für einen Transistor mit Fingerstruktur. Dabei werden die Bahnen von Gate, Source und Drain kammförmig ineinander verzahnt. Man erhält so zu gegebener Weite mehrere, aber dafür kürzere Bahnen. Dabei bezeichnet n_F die Anzahl der Finger.

Widerstandsberechnung Um zu klären, wie sich die Aufteilung des Gates in mehrere Finger auf die Modellierung auswirkt, ist in Abbildung 4.5 dessen Ersatzschaltbild über dem aktiven Teil des Transistors aufgezeigt.¹

Die Teilung eines langen Gates in mehrere kürzere Stücke entspricht einer Parallelschaltung von n_F Transistoren gleicher Länge, aber mit einer auf W/n_F verkürzten Weite.

Dabei bleibt die Gesamtkapazität erhalten:

$$C_{ges} = n_F \cdot \frac{W}{n_F} L \cdot C_{ox} = C \sim W \cdot L \neq f(n_F) \quad (4.8)$$

Es ändert sich jedoch der Widerstand:

$$R_{ges} = \frac{1}{\underbrace{\frac{1}{R/n_F} + \frac{1}{R/n_F} + \dots + \frac{1}{R/n_F}}_{n_F \text{ Transistoren mit } R/n_F}} = \frac{R/n_F}{n_F} = \frac{R}{n_F^2} \sim \frac{W}{L} \cdot \frac{1}{n_F^2} \quad (4.9)$$

Technologisch üblich sind bis zu zehn Finger; der Gatewiderstand läßt sich somit durch die Finger auf bis zu $1/10^2 = 1\%$ drücken.

Besonders betont werden muß, daß der Kanalwiderstand — wie auch die Source- und Drainwiderstände — *nicht* von n_F abhängen!

¹Die Linie A-A' aus Abbildung 4.4 wird dabei zunächst als Äquipotentiallinie angesehen.

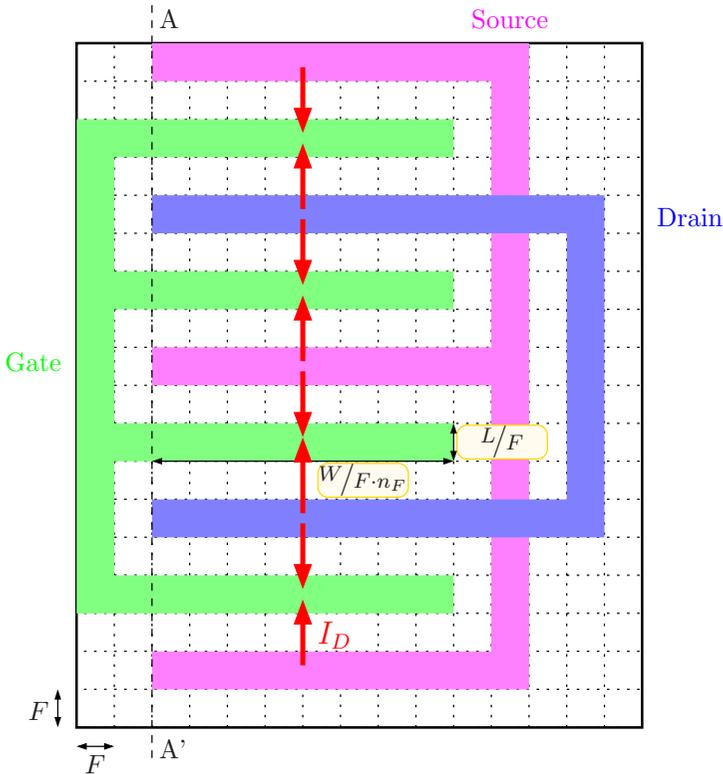


Abbildung 4.4: Schematische Darstellung eines Layouts mit $W/L = 32$, $L = L_{min} = F$ und vier einseitig angeschlossenen Gatefingern

Parasitärer Gatewiderstand

Der parasitäre Gatewiderstand vom Anschluß des Gates bis zum aktiven Transistorgebiet über dem Kanal² liegt in Serie zum bisher behandelten Widerstand. Er kann wie eine Leiterbahn behandelt werden, da sein Widerstand im Gegensatz zum aktiven Gatematerial nicht kapazitiv verteilt ist.

$$R_G = R_{\square} \cdot \frac{1}{3 n_F^2} \cdot \frac{W}{L} + R_{par} \quad (4.10)$$

Bei den Fingerstrukturen verlaufen die Polybahnen kammförmig. Zur Be-

²Diese Abgrenzung ist in Abbildung 4.4 von Seite 62 durch die Linie A-A' markiert.

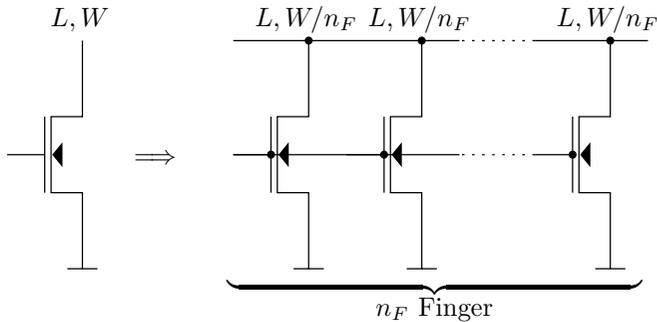


Abbildung 4.5: Ersatzschaltbild eines Transistors mit Gatefingern

rechnung des Widerstands einer solchen Struktur muß Gleichung (4.2) um einen Korrekturterm k erweitert werden.

$$R_{par} = R_{\square} \cdot (\square_{par} + k) \quad (4.11)$$

Die Herleitung sowie Beispiele solcher Korrekturterme werden im Anhang E ausführlich erläutert.

Abbildung 4.6 zeigt das bisher entwickelte Kleinsignalersatzschaltbild des MOS-Transistors unter Hinzufügung des Gatewiderstands. Außerdem beinhaltet diese Darstellung auch die im weiteren Verlauf benötigten Überlappkapazitäten ($C_{GD,ov}$, $C_{GS,ov}$) sowie die Sperrschichtkapazitäten $C_{DB} = C_{jD}$ und $C_{BS} = C_{jS}$.³

Beidseitiger Gateanschluß

Eine Variante des bisher behandelten Layouts liegt vor, wenn das Gate beidseitig angeschlossen wird.

Aus Symmetriegründen liegen die parasitären Gatewiderstände parallel. Ihr Anteil am Gatewiderstand halbiert sich somit.

Analog läßt sich der Widerstand über dem Oxid als Parallelschaltung auffassen. Dann ist jedem Gatefinger jedoch nur die halbe Länge $1/2 \cdot W/n_F$ zuzurechnen. Der aktive Gatewiderstand reduziert sich somit auf ein Viertel des für einseitige Kontaktierung berechneten Wertes.

³Die Spannungsabhängigkeit einer Sperrschichtkapazität läßt sich mit der Diffusionsspannung ϕ_i und einem Kapazitätskoeffizienten M zwischen $1/2$ und $1/3$ durch $C_j/C_j(U=0\text{ V}) = (1 - U/\phi_i)^{-M}$ berechnen.

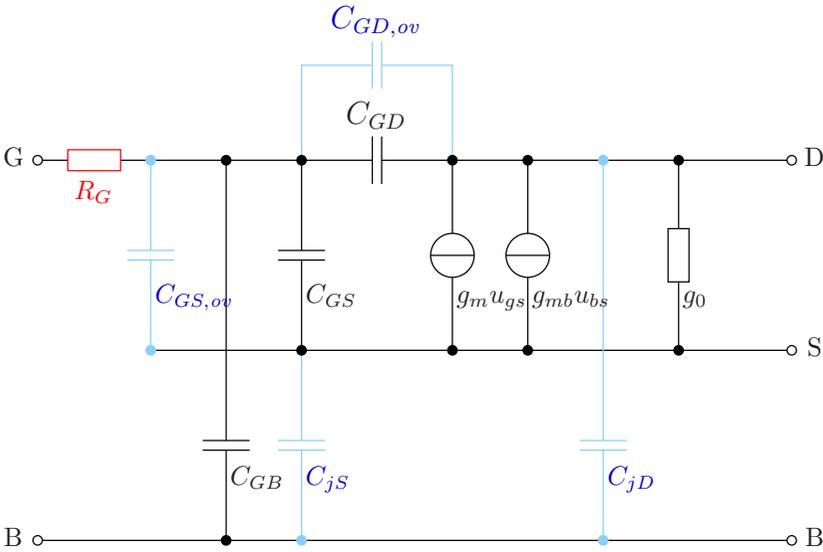


Abbildung 4.6: Kleinsignalersatzschaltbild des MOS-Transistors mit Gatewiderstand

4.1.2 Kanalwiderstand

Neben dem Gatewiderstand trägt der Kanal zum Eingangswiderstand bei.

Diskretisierung des Kanals

Die Inversionsschicht und mithin den Kanalwiderstand kann man sich als verteiltes Widerstandsnetzwerk vorstellen. Abbildung 4.7 zeigt diese Diskretisierung. Für kleine Drainspannungen ist die Inversionsschicht unabhängig vom lateralen Ort und die einzelnen Widerstandsglieder haben gleiche Größe. Aus Symmetriegründen ist die Anzahl m der Widerstände immer um Eins größer als die der Kapazitäten. Die Anzahl der Knoten im Kanal wird mit n bezeichnet.

$$m = n + 1 \tag{4.12}$$

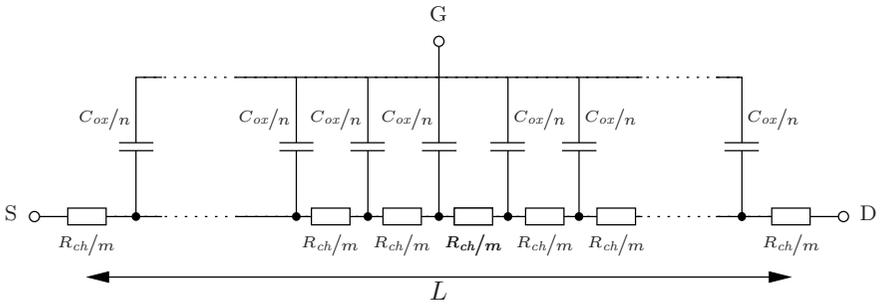


Abbildung 4.7: Diskretisierung des Kanals durch mehrere RC -Glieder

Transmission line

Das schon bei der Berechnung des Gatewiderstands verfolgte Prinzip der *transmission line* läßt sich auch auf den Kanalbereich anwenden. Es bestehen jedoch zwei wesentliche Unterschiede:

- Der Kanalbereich muß im Gegensatz zum Gatewiderstand als Dreipol mit den Knoten Gate, Drain und Source angesehen werden.
- Im Unterschied zum Gatewiderstand, der eine Materialeigenschaft ist, ist der Kanalwiderstand spannungsabhängig.

Gatekapazität und Kanalwiderstand wirken daher wie ein frequenz- und arbeitspunktabhängiger *Spannungsteiler*.

Simuliert man das Netzwerk aus Abbildung 4.7 für ein typisches R_{ch} und C_{ox} im Schaltungssimulator und variiert dabei die Größe der Netzliste, so ergibt sich der in Abbildung 4.8 gezeigte Verlauf.

Der Wert für $n = 1$ entspricht dabei einem T-Glied aus einer Kapazität C_{ox} und zwei Widerständen mit $R_{ch}/2$.

Legt man zur Modellierung gedanklich Drain und Source auf dasselbe Potential, schließt sie also kurz, so kann man sich die *transmission line* in der Mitte gefaltet vorstellen. Die beiden Widerstände liegen dann parallel und ergeben einen wirksamen Widerstand von $R_{ch}/4$. Verfährt man analog für mehrere Knoten, so erhält man eine *transmission line* wie in Kapitel 4.1.1, die sich für $n \rightarrow \infty$ einem Effektivwert von $1/3$ nähert.

Der für den Eingangswiderstand R_{in} wirksame Kanalwiderstand läßt sich somit folgendermaßen angeben:

$$R_{in} = \frac{1}{3} \cdot \frac{1}{4} \cdot R_{ch} = \frac{1}{12} \cdot R_{ch} \quad (4.13)$$

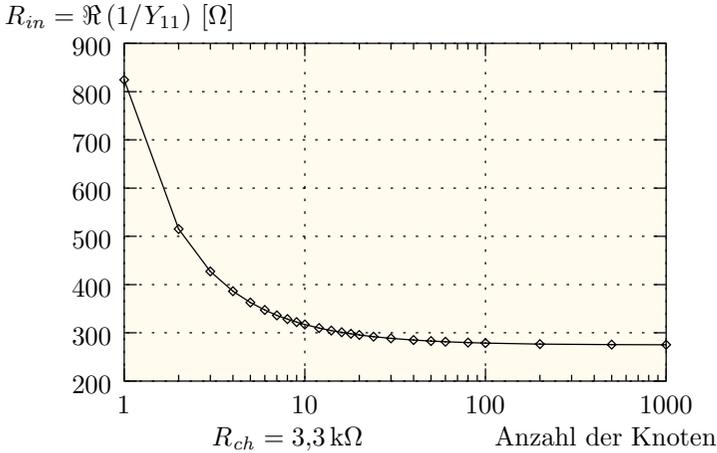


Abbildung 4.8: Eingangswiderstand R_{in} in Abhängigkeit von der Knotenanzahl n im Kanal

R_{in} steigt mit wachsender Gatelänge L . Der Kanalanteil des Eingangswiderstands ist dominant gegenüber dem Anteil der Gateelektrode, der nach Gleichung (4.9) mit L sinkt.

Widerstandsbereich

Teilt man den wirksamen Kanalwiderstand in einen zur Drain und einen zur Source zugehörigen Anteil auf, so ergibt sich das in Abbildung 4.9 gezeigte Kleinsignalersatzschaltbild des MOS-Transistors durch Hinzufügung dieser intrinsischen Widerstandskomponenten R_{GD} und R_{GS} .

Partitionierung Für kleine Drainspannungen kann man eine symmetrische Aufteilung annehmen:

$$R_{GD} = R_{GS} = 1/6 \cdot R_{ch} \quad (4.14)$$

Mit zunehmender Drainspannung U_{DS} verringert sich die Ladungsträgerdichte in Richtung Drain. Demzufolge divergiert R_{GD} . Es ist daher zweckmäßiger, sich die *transmission line* dann nicht mehr als Widerstands-, sondern als Leitwertkette vorzustellen, wobei die Leitwerte der Glieder drainseitig auf Null absinken.

$$1/R_{GD} = 6/R_{ch} \cdot (1 - U_{DS}/U_{DS \text{ sat}}) \quad \text{für } U_{DS} \leq U_{DS \text{ sat}} \quad (4.15)$$

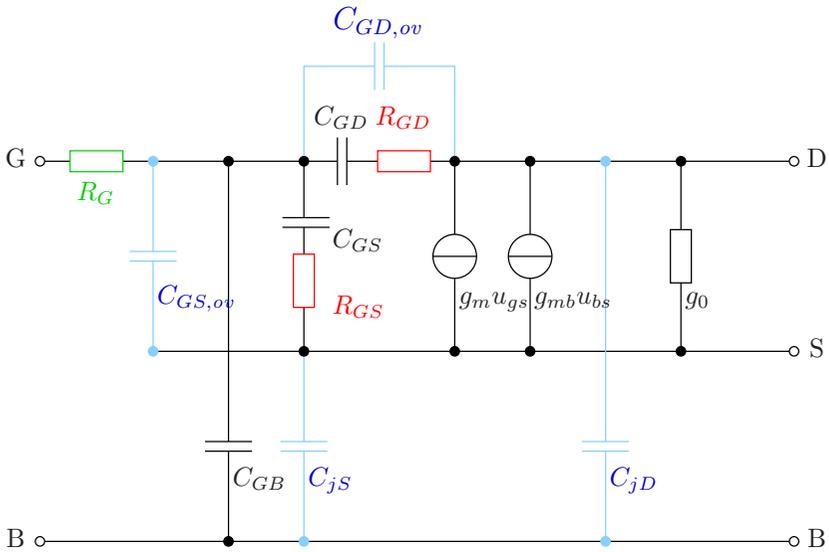


Abbildung 4.9: Kleinsignalersatzschaltbild des MOS-Transistors mit Gatewiderstand und intrinsischen Source- und Drainwiderständen

Die Zunahme des differentiellen Kanalwiderstands zur Drain hin war bereits aus den Abbildungen ab Seite 35 ersichtlich.

Um jedoch den Kleinsignalstrom in der Inversionsschicht zu erhalten, steigt dementsprechend der sourceseitige Leitwert.

$$1/R_{GS} = 6/R_{ch} \cdot (1 + U_{DS}/U_{DS\,sat}) \quad \text{für } U_{DS} \leq U_{DS\,sat} \quad (4.16)$$

Diese Partitionierung dient lediglich der kontinuierlichen Beschreibung des Sättigungsübergangs. Für den Eingangswiderstand relevant ist deren Summe, welche aber über den gesamten Widerstandsbereich in einem konstanten Verhältnis zum Kanalwiderstand

$$R_{ch} \approx R_{tot} = U_{DS}/I_{DS} \quad (4.17)$$

steht. Dies zeigt Abbildung 4.10⁴.

⁴Für $U_{DS} = 0\text{V}$ läßt sich kein $R_{tot} = U_{DS}/I_{DS}$ ermitteln.

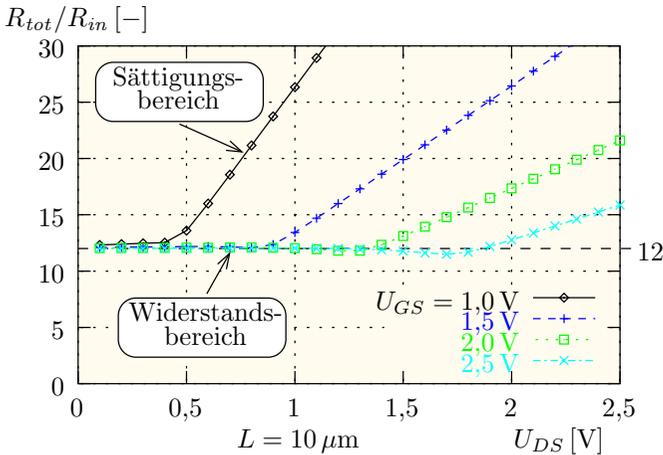


Abbildung 4.10: Verhältnis von Transistorwiderstand und Eingangswiderstand eines Langkanälers über alle Arbeitsbereiche (MEDICI™)

Sättigungsbereich

In Sättigung ($U_{GS} - U_{th} < U_{DS}$) schnürt der Kanal in Drainnähe ab und der Strom wird drainspannungsunabhängig. Dies erklärt den linearen Anstieg von R_{tot}/R_{in} im letzten Bild. Die Kleinsignaländerung der Ladungsträgerdichte jenseits des *pinchoff point* wird — wie in Abbildung 3.23 auf Seite 53 gezeigt — vernachlässigbar klein. Folglich reißt dort die Kanalkopplung ab

$$R_{GD} \rightarrow \infty \quad C_{GD} \rightarrow 0 \quad (4.18)$$

und der Eingangswiderstand wird lediglich durch R_{GS} bestimmt.

Die Spannung am *pinchoff point* verharrt jedoch auf ihrem Wert $U_{GS} - U_{th}$, da die Raumladungszone die weitere Erhöhung der Drainspannung aufnimmt.

Für die Berechnung des Kanalwiderstands darf daher nicht mehr die außen anliegende Drain-Source-Spannung verwendet werden, sondern ihr Sättigungswert:

$$U_{DS\,sat} = U_{GS} - U_{th} \quad (4.19)$$

Damit wird der Eingangswiderstand in Sättigung unabhängig von der Drainspannung:

$$R_{in}(U_{DS}) = \text{const} \quad \text{für } U_{DS} > U_{DS\,sat} \quad (4.20)$$

Abbildung 4.11 zeigt die gute Übereinstimmung zwischen dem bis hierher entwickelten Modell und der Bauelementesimulation anhand eines Langkanaltransistors.

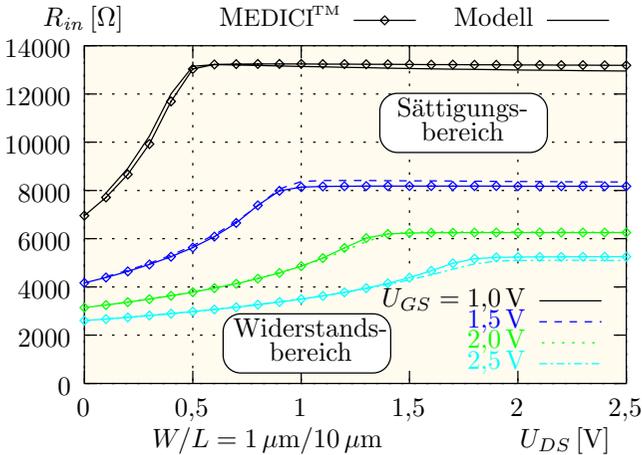


Abbildung 4.11: Eingangswiderstand vs. Drainspannung eines Langkanal-Transistors

Kurzkanaleffekte

Bei Transistoren kurzer Abmessung treten Wechselwirkungen zwischen dem Kanal, dessen Raumladungszone und den angrenzenden Source- und Drain-gebieten auf.

Dies hat unmittelbare Auswirkungen auf den Eingangswiderstand. Abbildung 4.12 zeigt dessen Verlauf über alle Arbeitsbereiche für den Minimaltransistor mit $L = 0,25 \mu\text{m}$.

Im Vergleich zum Langkanaltransistor (Abbildung 4.11) fällt folgendes auf:

- Auch bei kurzen Kanallängen ist der Eingangswiderstand in Sättigung annähernd drainspannungsunabhängig.
- Der Übergang in den Sättigungsbereich erfolgt schon bei kleineren Drainspannungen als $U_{DS\text{ sat}} = U_{GS} - U_{th}$.
- Im Widerstandsbereich sinkt der Eingangswiderstand bei steigender Gatespannung in geringerem Maße.

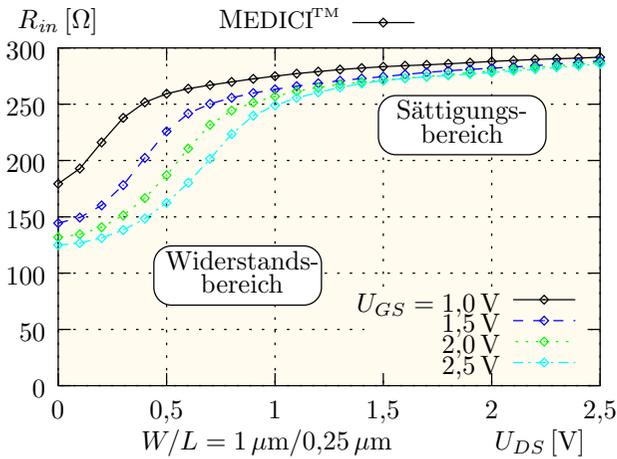


Abbildung 4.12: Eingangswiderstand vs. Drainspannung eines Kurzkanal-Transistors

Widerstandsbereich Dies führt dazu, daß der Eingangswiderstand selbst bei sehr kleinen Drainspannungen nicht mehr proportional zum Transistorwiderstand ist, wie Abbildung 4.13 zeigt. Der Eingangswiderstand sinkt mit

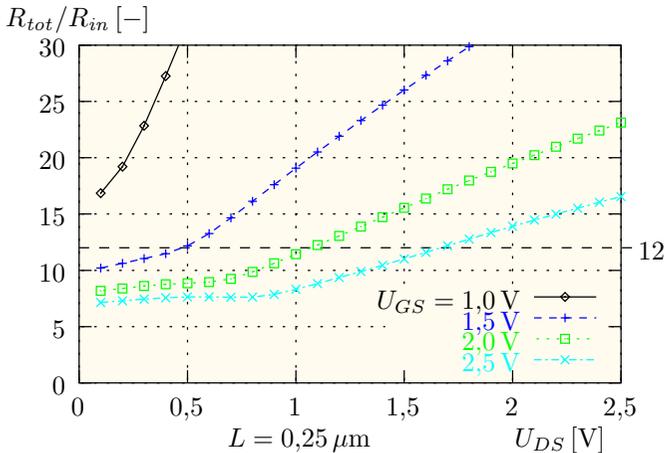


Abbildung 4.13: Verhältnis von Transistorwiderstand und Eingangswiderstand eines Kurzkanals über alle Arbeitsbereiche (MEDICI™)

der Gatespannung in geringerem Maße als der Transistorwiderstand.

Dies hat zwei Gründe:

1. Die Raumladungszonen der Drain- und Sourcegebiete reduzieren diejenige Ladung des *inneren* Transistors, die vom Gate gesteuert wird.
2. Je kürzer der Kanal wird, umso mehr gewinnen die parasitären Widerstände des *äußeren* Transistors an Bedeutung.

Die Modellierung des Eingangswiderstands von Kurzkanaltransistoren stellt somit schon bei sehr kleinen Drainspannungen — sprich: homogener Ladungsverteilung im Kanal — die eigentliche Herausforderung dar.

Trapezmodell Die reduzierte Gatesteuerung des Kanals soll anhand des einfachen Trapezmodells (Abbildung 4.14) verdeutlicht werden, wie es z.B. auch zur Erklärung der Einsatzspannungsminderung bei kurzen Kanälen verwendet wird [37].

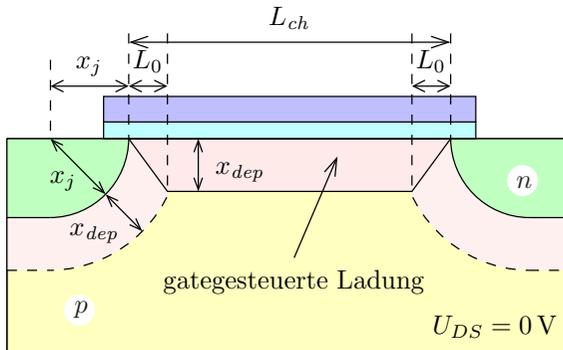


Abbildung 4.14: Trapezmodell zur Beschreibung des Kanallängeneffekts

Der vom Gate beeinflusste Anteil der Ladung reduziert sich in erster Näherung um:

$$\frac{L_{ch} - 2 L_0/2}{L_{ch}} = 1 - \frac{L_0}{L_{ch}} \quad (4.21)$$

Die Länge L_0 läßt sich aus der abgebildeten Geometrie über die Dopingtiefe x_j und die Weite x_{dep} der Raumladungszone bestimmen:

$$L_0 = \sqrt{(x_j + x_{dep})^2 - x_{dep}^2} - x_j = x_j \cdot \left(\sqrt{1 + 2 \frac{x_{dep}}{x_j}} - 1 \right) \quad (4.22)$$

Entsprechend der Reduktion der vom Gate gesteuerten Ladung erhöht sich der vom Gate aus sichtbare Kanalanteil am Widerstand.

Somit ergibt sich mit den Gleichungen (4.15) und (4.16):

$$R_{GS} = \frac{1}{6} \cdot \frac{R_{ch}}{1 + \frac{U_{DS}}{U_{DS\,sat}}} \cdot \frac{1}{1 - \frac{L_0}{L_{ch}}} \stackrel{U_{DS} \rightarrow 0\text{V}}{=} \frac{1}{6} R_{ch} \cdot \frac{1}{1 - \frac{L_0}{L_{ch}}} \quad (4.23)$$

$$R_{GD} = \frac{1}{6} \cdot \frac{R_{ch}}{1 - \frac{U_{DS}}{U_{DS\,sat}}} \cdot \frac{1}{1 - \frac{L_0}{L_{ch}}} \stackrel{U_{DS} \rightarrow 0\text{V}}{=} \frac{1}{6} R_{ch} \cdot \frac{1}{1 - \frac{L_0}{L_{ch}}} \quad (4.24)$$

Parasitäre Source- und Drainwiderstände Verkleinert man gedanklich den Transistor immer weiter, so verliert der innere Transistor seinen Einfluß auf den Eingangswiderstand. Gleichzeitig gewinnen die parasitären Source- und Drainwiderstände R_S und R_D immer mehr an Bedeutung, da diese technologiespezifisch sind und somit nicht von der Gatelänge abhängen. Dies wird aus dem Kleinsignalersatzschaltbild in Abbildung 4.15 deutlich.

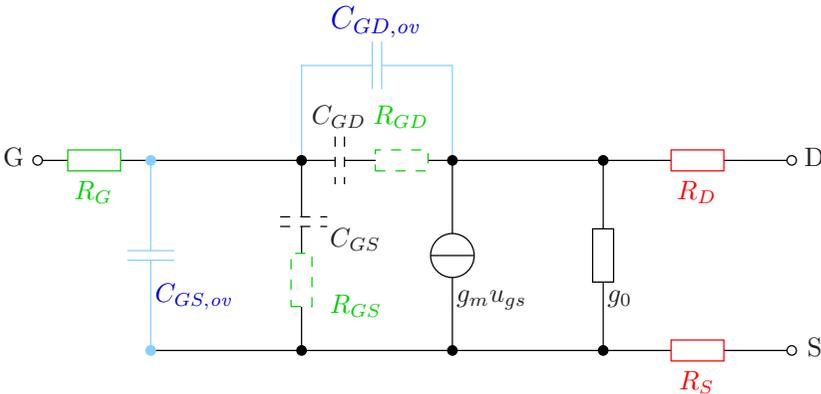


Abbildung 4.15: Kleinsignalersatzschaltbild zur Erklärung des wachsenden Einflusses der parasitären Widerstände auf den Eingangswiderstand bei Verkürzung der Kanallänge

Damit nimmt der Eingangswiderstand eine der parasitären Widerstände ähnliche Charakteristik an. Abbildung 4.16 zeigt dies. Hier wurde bei einem annähernd symmetrischen Kanal ($U_{DS} = 0,1\text{V}$) in der MEDICI™-Simulation das Potential an den metallurgischen Übergängen abgegriffen. Zusammen mit dem Drainstrom lassen sich so R_S und R_D ermitteln. Da R_D von der

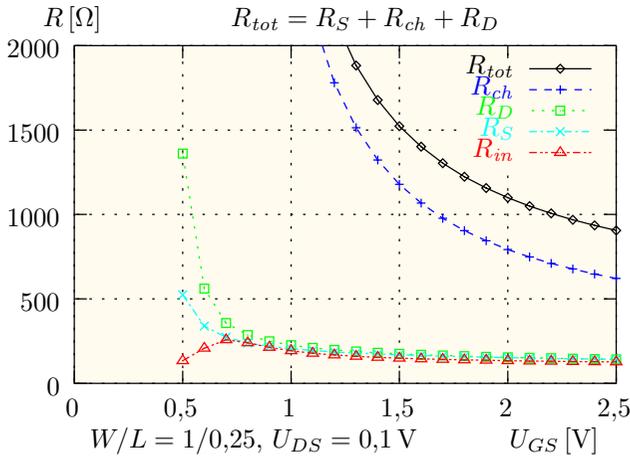


Abbildung 4.16: Gatespannungsabhängigkeit der Widerstandskomponenten

Gate-Drain-Spannung U_{GD} abhängt, ist dessen Verlauf um U_{DS} zu R_S verschoben. Während der Kanalwiderstand R_{ch} bei sinkender Gatespannung stark ansteigt, weisen die parasitären Widerstände aufgrund ihrer leitenden n -Dotierung eine weit geringere Spannungsabhängigkeit auf.

Handrechnung Das zuletzt gezeigte Kleinsignalersatzschaltbild läßt sich überschlägig berechnen, wenn man den Transistor symmetrisch bei kleiner Drainspannung betrachtet. Dann besitzen die drain- und die sourceseitigen Kleinsignalkomponenten die gleiche Größenordnung.

$$\begin{aligned}
 \text{innerer Transistor :} & \quad R_{GS} \approx R_{GD} \\
 & \quad C_{GS} \approx C_{GD} \\
 \text{äußerer Transistor :} & \quad R_S \approx R_D \\
 & \quad C_{GS,ov} \approx C_{GD,ov}
 \end{aligned} \tag{4.25}$$

Steuert man den Transistor vom Gate aus an, ergibt die Auswertung nach der Knoten- und Maschenregel den Eingangswiderstand⁵:

$$R_{in} = \Re(Z) = \Re \left(R_G + \frac{1}{2} \cdot \left[\frac{1}{j\omega C_{GS,ov}} \parallel \left(R_{GS} + \frac{1}{j\omega C_{GS}} \right) + R_S \right] \right)$$

⁵Wegen der Betrachtung als Zweipol kann ohne Beschränkung der Allgemeinheit im Impedanzraum gerechnet werden.

$$\begin{aligned}
&= \Re \left(R_G + \frac{1}{2} \cdot \left[\frac{\frac{1}{j\omega C_{GS,ov}} \cdot \left(R_{GS} + \frac{1}{j\omega C_{GS}} \right)}{\frac{1}{j\omega C_{GS,ov}} + \left(R_{GS} + \frac{1}{j\omega C_{GS}} \right)} + R_S \right] \right) \\
&= R_G + \frac{1}{2} \cdot \frac{R_{GS}}{\left(1 + \frac{C_{GS,ov}}{C_{GS}} \right)^2 + (\omega C_{GS,ov} R_{GS})^2} + R_S/2 \quad (4.26)
\end{aligned}$$

Zwei Grenzwerte sind von Bedeutung:

1. Für $U_{GS} \gg U_{th}$ (starke Inversion) ergibt sich wegen

$$\begin{aligned}
C_{GS,ov} \ll C_{GS} \quad \text{und} \quad \omega C_{GS,ov} R_{GS} \approx 10^9 \text{ Hz} \cdot 10^{-15} \text{ F} \cdot 1000 \Omega \ll 1 \\
R_{in} = R_G + R_{GS}/2 + R_S/2. \quad (4.27)
\end{aligned}$$

2. Für $U_{GS} \approx U_{th}$ (schwache Inversion) verschwindet die Inversionsschichtladung und es resultiert wegen

$$\begin{aligned}
C_{GS} \rightarrow 0 \quad \text{und} \quad R_{GS} \rightarrow \infty \\
R_{in} = R_G + R_S/2. \quad (4.28)
\end{aligned}$$

Außerdem zeigt sich abermals die schon in Abbildung 3.11 auf Seite 41 gezeigte Frequenzunabhängigkeit des Eingangswiderstands.

Sättigungsbereich Der Übergang in den annähernd spannungsunabhängigen Sättigungsbereich wurde für Langkanäle durch die Sättigungsspannung $U_{DS sat} = U_{GS} - U_{th}$ (4.19) wiedergegeben.

Für kurze Kanallängen reduziert sich dieser Term, für den aus Kompatibilitätsgründen dieselbe Formulierung gewählt wird, die auch BSIM3v3.1 verwendet:

$$U_{DS sat} = \frac{E_{sat} (L - 2 L_{ov}) \cdot (U_{GS} - U_{th})}{E_{sat} (L - 2 L_{ov}) + (U_{GS} - U_{th})} \quad (4.29)$$

$$\text{mit } E_{sat} = \frac{2 v_{sat}}{\mu} \quad (4.30)$$

Zur Verschleifung mit dem Widerstandsbereich dient die im Anhang auf Seite 172 entsprechend angeführte Funktion:

$$\begin{aligned}
U_{DS eff} = U_{DS sat} - 1/2 \cdot \\
\cdot \left(U_{DS sat} - U_{DS} - \epsilon + \sqrt{(U_{DS sat} - U_{DS} - \epsilon)^2 + 4 \epsilon U_{DS sat}} \right) \quad (4.31)
\end{aligned}$$

Abbildung 4.17 stellt die effektive Drainspannung — und damit den Übergang in Sättigung — eines Lang- und eines Kurzkanalers gegenüber.

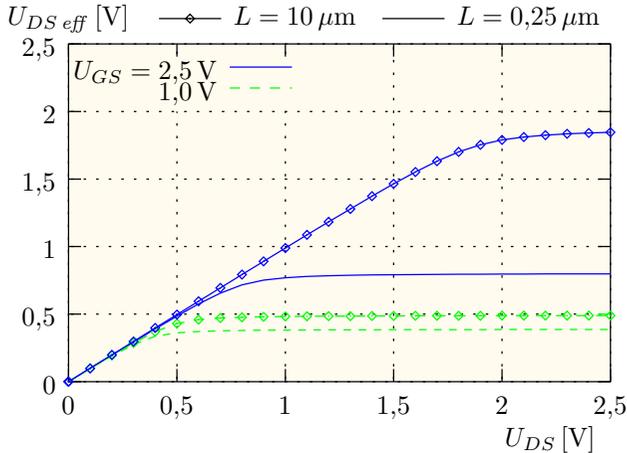


Abbildung 4.17: Variation der Sättigungsspannung mit der Kanallänge

Des weiteren wird, wie schon bei der Erläuterung des Trapezmodells erwähnt, die Einsatzspannung U_{th} wie auch die Beweglichkeit μ längen- und spannungsabhängig [61].

$$U_{th} = U_{th}(U_{DS}, U_{BS}, L) \quad (4.32)$$

$$\mu = \mu(U_{GS}, U_{BS}) \quad (4.33)$$

BSIM3v3.1 stellt die obigen Effektivgrößen als Ergebnis der DC-Analyse zur Verfügung. Sie können somit ohne weiteres zur Berechnung der AC-Größen verwendet werden.

Abbildung 4.18 vergleicht das neue Modell inklusive der noch zu zeigenden Beschreibung der Source- und Drainwiderstände mit der Bauelementesimulation für den Minimaltransistor ($L = 0,25\ \mu\text{m}$). Die Abweichung liegt über den gesamten Arbeitsbereich betrachtet innerhalb von 20%. Im Widerstandsbereich weist das Modell eine zu geringe Spannungsabhängigkeit auf, was darauf zurückzuführen ist, daß bei der geringen Kanallänge von $L_{ch} = 180\ \text{nm}$ der Grundansatz einer homogenen *transmission line* seine Gültigkeit einbüßt.

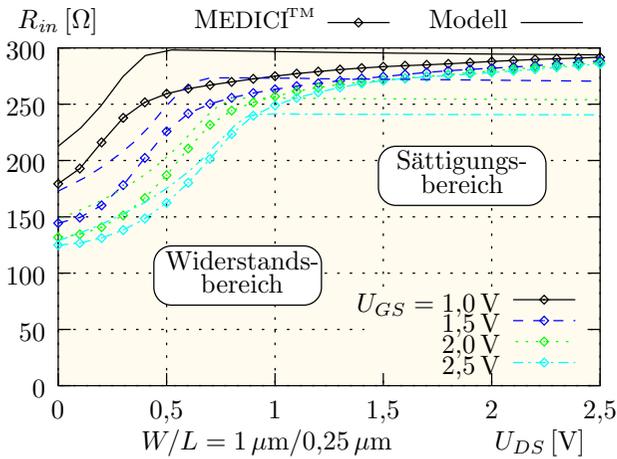


Abbildung 4.18: Eingangswiderstand vs. Drainspannung

4.1.3 Fazit

Abschließend soll noch einmal die Grundstrategie zur Modellierung des Eingangswiderstands schlaglichtartig zusammengefasst werden:

1. Reduktion des Transistors auf den *inneren* Transistor durch
 - a) Beschreibung des parasitären Gatewiderstands
 - b) Beschreibung der parasitären Source- und Drainwiderstände
2. Beschreibung des vom Gate aus wirksamen Anteils des Kanalwiderstands durch die Analyse der *transmission line*
3. Partitionierung des Gate-Kanal-Widerstands auf seinen Source- und Drainanteil
4. Modifikation dieser Partitionierung zur Berücksichtigung der Asymmetrie des Kanals bei nicht vernachlässigbarer Drainspannung
5. Reduktion des in Sättigung wirksamen Kanalwiderstands auf den Bereich zwischen Source und Abschnürpunkt
6. Zusammenführung aller Komponenten im Kleinsignalersatzschaltbild und Berechnung des Eingangswiderstands

Modellvergleich

Um das neue Modell zu bewerten, sollen zwei alternative Beschreibungen des Eingangswiderstands wiedergegeben werden.

Inversionsschichtladung Die erste beruht auf der differentiellen Betrachtung der Inversionsschichtladung und ist in ähnlicher Form in [84] zu finden: Schreibt man die Flächenladungsdichten von Gate und Bulk in ihrer zeitabhängigen Form

$$Q'_G(x, t) = C'_{ox} (U_{GS}(t) - U_{FB} - 2\phi_F - \Phi_K(x, t)) \quad (4.34)$$

$$Q'_B(x, t) = -C'_{ox}\gamma \left(\sqrt{2\phi_F - U_{BS}(t)} + \frac{\Phi_K(x, t)}{2\sqrt{2\phi_F - U_{BS}(t)}} \right) \quad (4.35)$$

und trennt die DC-Anteile der Spannungen und Ladungen entsprechend (2.22) und (2.24) ab, so ergibt sich:

$$Q'_G(x, t) = C'_{ox} (U_{GS} - U_{FB} - 2\phi_F - \Phi_K(x)) + \quad (4.36)$$

$$C'_{ox} (u_{gs}(t) - \phi_k(x, t)) \quad (4.37)$$

$$Q'_B(x, t) \approx -C'_{ox} \left(\gamma\sqrt{2\phi_F - U_{BS}} + F_B\Phi_K(x) \right) + \quad (4.38)$$

$$C'_{ox}F_B(u_{bs}(t) - \phi_k(x, t)) \quad (4.39)$$

$$\text{mit } F_B = \frac{\gamma}{2\sqrt{2\phi_F - U_{BS}}} \quad (4.40)$$

Die Kleinsignalströme i lassen sich dann mit (2.23) durch Integration über den Kanal ermitteln.

$$i(t) = I(t) - I = \frac{d(Q + q(t))}{dt} = \frac{dq(t)}{dt} = W \cdot \frac{d}{dt} \int_0^L q'(x, t) dx \quad (4.41)$$

Dies ist für die Knoten Source und Drain nicht möglich, deren zeitlich variable Ströme aus den Randbedingungen

$$I_D(t) = I_{Inv}(x=L, t) \quad \text{und} \quad I_S(t) = I_{Inv}(x=0, t) \quad (4.42)$$

des Stroms I_{Inv} der Inversionsschicht hervorgehen.

Dessen Spannung U_{Inv} ist über die Oxidkapazität mit der Ladung verbunden:

$$Q'_{Inv}(x, t) = -C'_{ox} U_{Inv}(x, t) \quad \text{mit} \quad (4.43)$$

$$U_{Inv}(x, t) = U_{GS}(t) - U_{FB} - 2\phi_F - \gamma\sqrt{2\phi_F - U_{BS}(t)} - (1 + F_B)\Phi_K(x, t)$$

Mithilfe der Transportgleichung (2.6)

$$I_{Inv}(x, t) = -\mu W Q'_{Inv}(x, t) \frac{\partial \Phi_K(x, t)}{\partial x} \quad (4.44)$$

$$= \frac{\mu W}{1 + F_B} Q'_{Inv}(x, t) \frac{\partial U_{Inv}(x, t)}{\partial x} \quad (4.45)$$

und der Kontinuitätsgleichung (2.1) ergeben sich aus (4.43) zwei gekoppelte, partielle Differentialgleichungen:

$$I_{Inv}(x, t) = -\frac{\mu W}{1 + F_B} C'_{ox} U_{Inv}(x, t) \frac{\partial U_{Inv}(x, t)}{\partial x} \quad (4.46)$$

$$\frac{\partial I_{Inv}(x, t)}{\partial x} = -C'_{ox} W \frac{\partial U_{Inv}(x, t)}{\partial t} \quad (4.47)$$

Zwar lassen sich die zeitlichen Ableitungen durch den Übergang in den Frequenzraum noch eliminieren, die Lösung des Systems in Form von Besselfunktionen ist jedoch für die Schaltungssimulation ungeeignet. Durch vereinfachende Annahmen ergibt sich als Formel für den Eingangswiderstand:

$$R_{in} = \frac{1}{5 \cdot g_m} \quad (4.48)$$

Leider erweist sich der Faktor 5 — wie in der folgenden Abbildung gezeigt wird — als recht ungenau. Bessere Ergebnisse erzielt man mit einem Proportionalitätsfaktor von etwa 14.

Berkeley-Modelle Das BSIM3v3.1-Modell [61] berücksichtigt, wie bereits mehrfach erwähnt, keinen Eingangswiderstand.

In der Folgeversion BSIM4, die allerdings noch nicht dieselbe industrielle Verbreitung besitzt, wird der Widerstand folgendermaßen beschrieben [60]:

$$\frac{1}{R_{in}} = \gamma \cdot (G_1 + G_2) \quad (4.49)$$

$$\begin{aligned}
 \text{mit } G_1 &= I_D/U_{DS} && \text{Widerstandsbereich} \\
 &= I_D/U_{DS\text{ sat}} && \text{Sättigungsbereich} \\
 \text{und } G_2 &= \eta \cdot \mu C'_{ox} \cdot kT/q \cdot W/L
 \end{aligned} \tag{4.50}$$

Der zweite Term ist spannungsunabhängig und entspricht einem zum Kanalwiderstand parallelgeschalteten konstanten Widerstand.

Abbildung 4.19 vergleicht die verschiedenen Modelle aus der Literatur⁶.

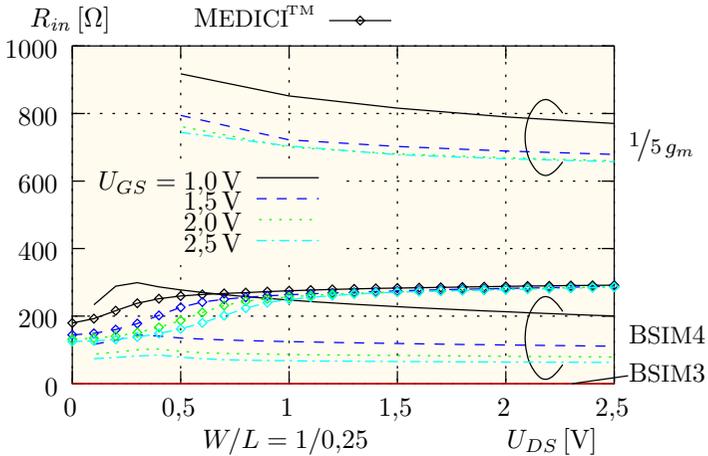


Abbildung 4.19: Vergleich verschiedener Literaturmodelle des Eingangswiderstands mit Bauelementesimulationen

Der annähernd konstante Verlauf⁷ von $1/5 g_m$ ist wenig verwunderlich, da sich bei Kurzkanaltransistoren in Sättigung der Wert g_m sowohl mit der Gate- als auch mit der Drainspannung nur unwesentlich ändert. Dies wird durch Abbildung 4.20 deutlich. Der Drainstrom verläuft also nicht mehr quadratisch mit der Gatespannung (2.34), sondern annähernd proportional zu ihr,

$$I_{DS} \propto U_{GS} - U_{th} \tag{4.51}$$

was sich durch die verminderte Ladungsträgerbeweglichkeit erklären läßt.

⁶Beim BSIM4-Modell wurde für eine Beweglichkeit $\mu = 160 \text{ cm}^2/\text{Vs}$ den Werten in [60] entsprechend $\gamma = 14$ und $\eta = 1$ gewählt.

⁷Für $R_{in} = 1/5 \cdot g_m$ ist nur der Bereich oberhalb von $U_{DS} = 0,5 \text{ V}$ gezeigt, da dieses Modell im Bereich außerhalb der Sättigung keinen Anspruch auf Gültigkeit erhebt.

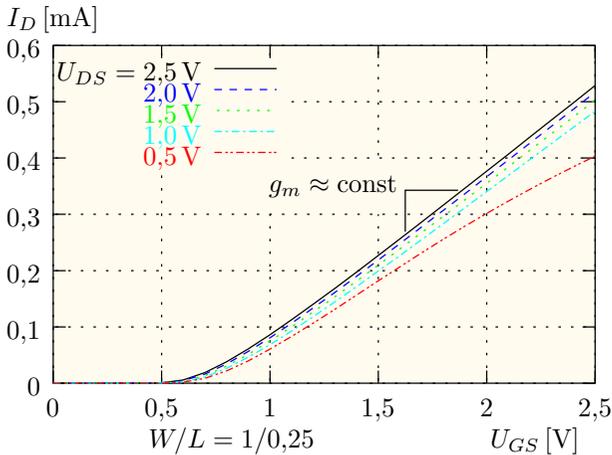


Abbildung 4.20: Unabhängigkeit der Gatesteilheit von der Gate- und Drainspannung bei Kurzkanaltransistoren in Sättigung

4.1.4 Source- und Drainwiderstände

Die parasitären Source- und Drainwiderstände besitzen im Überlappgebiet eine deutliche Spannungsabhängigkeit: Sie nehmen mit steigender Gatespannung rapide ab. Da Transistoren i.a. symmetrisch⁸ bezüglich Source und Drain aufgebaut sind, genügt es, das Verhalten der Source zu beschreiben. Eine Untersuchung dieses Transistorbereiches soll Inhalt der folgenden Abschnitte sein. Aufbauend auf den Ergebnissen aus [24] wird insbesondere die Beschreibung des Spreading-Widerstands verbessert sowie die Implementierung und Auswirkungen auf das Schaltungsverhalten analysiert.

Effektive vs. geometrische Kanallänge

In Kapitel 2.2.3 wurde bereits eines der grundlegenden Probleme des Berkeley-Modells aufgezeigt, die inkonsistente Beschreibung der Kanallänge L_{ch} im DC- und AC-Fall. Diese erstreckt sich korrekterweise vom sourceseitigen zum drainseitigen pn -Übergang, wie Abbildung 4.21 zeigt.

In BSIM3v3.1 werden die Widerstände R_S und R_D durch eine sehr einfache, linear von der Gatespannung abhängigen Form beschrieben, die keine

⁸Eine Ausnahme hiervon stellen Hochvolttransistoren dar, die drainseitig mit einer verlängerten Driftstrecke für die erhöhte Spannungsfestigkeit versehen werden.

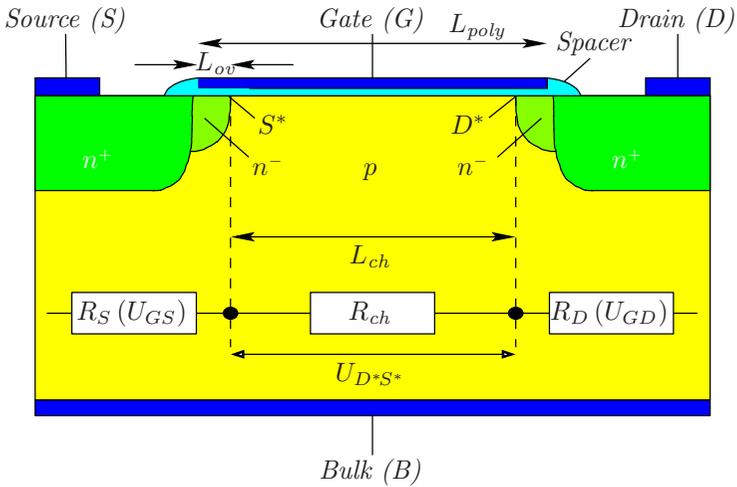


Abbildung 4.21: Differenzierung zwischen innerem und äußerem Transistor

Abhängigkeit von der Drainspannung kennt [61]:

$$R_S + R_D = \frac{1}{W} \cdot \text{rdsw} \left[1 + \text{prwg} \cdot U_{GS} + \text{prwb} \left(\sqrt{\phi_s - U_{BS}} - \sqrt{\phi_s} \right) \right] \quad (4.52)$$

Dies hat zur Folge, daß die Funktion zweimal verschliffen werden muß: einmal im Unterschwellstrombereich und einmal — zur Vermeidung von negativen Widerständen — für hohe Gatespannungen. Die Faktoren **rdsw**, **prwg** und **prwb** sind konstant und müssen durch Parameterextraktion an Messungen angepaßt werden. Als problematisch erweist sich die Parameterwahl: Der annähernd hyperbolische Verlauf des Widerstands mit der Spannung (siehe Abbildung 4.25 auf Seite 87) wird im Zustand starker Inversion, also bei hohen Spannungen, linearisiert und auf **rdsw** extrapoliert; der Faktor **prwg** ist somit negativ.

In realiter ist die Spannungsabhängigkeit jedoch komplexer. Dies hat zur Folge, daß BSIM3v3.1 statt mit der *geometrischen* mit einer *effektiven* Kanallänge L_{eff} rechnet. Das Verlassen der geometrischen Maße ist jedoch insbesondere deshalb unbefriedigend, da somit die Skalierbarkeit des Modells nicht mehr gewährleistet werden kann. Überdies wird die Kanallänge für den DC- und den AC-Fall unterschiedlich berechnet und muß als Fitgröße angesehen werden.

Stromverlauf

Abbildung 4.22 zeigt den typischen mit MEDICITM simulierten Verlauf der Strompfade im Sourcebereich.

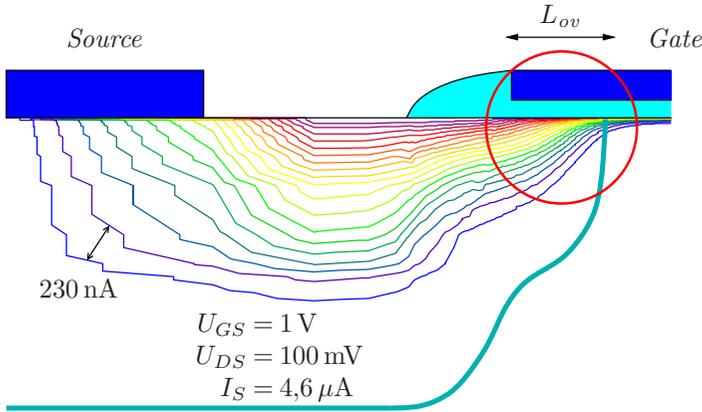


Abbildung 4.22: Strompfade im Sourcegebiet⁹

Die Elektronen treten senkrecht zum äquipotentialen Sourcekontakt in den Halbleiter ein und durchlaufen diesen bogenförmig in Richtung Drain. Im Überlappgebiet verzüngt sich der sog. *spreading*-Strom trichterförmig bis zum Eintritt in den Kanal auf wenige Nanometer. Ein Großteil der Ladungsträger fließt jedoch aufgrund der elektrostatischen Anziehung des Gates in einer Akkumulationsschicht (*accumulation layer*) an der Halbleiteroberfläche. Diese weist eine starke Spannungsabhängigkeit auf. Durch die Raumladungszone (*depletion region*) am sourceseitigen metallurgischen Übergang fließen die Elektronen in die Inversionsschicht des inneren Transistors.

Abbildung 4.23 illustriert den neuen Modellansatz für das soeben beschriebene Verhalten des Stroms im Sourcegebiet.

Insgesamt bietet sich somit folgende Widerstandsverteilung an:

$$R_S = R_{ext} + \left(\frac{1}{R_{acc} + R_{spr}} \right)^{-1} + R_{dep} \quad (4.53)$$

⁹Zwischen zwei benachbarten Linien fließt jeweils ein Strom von 230 nA.

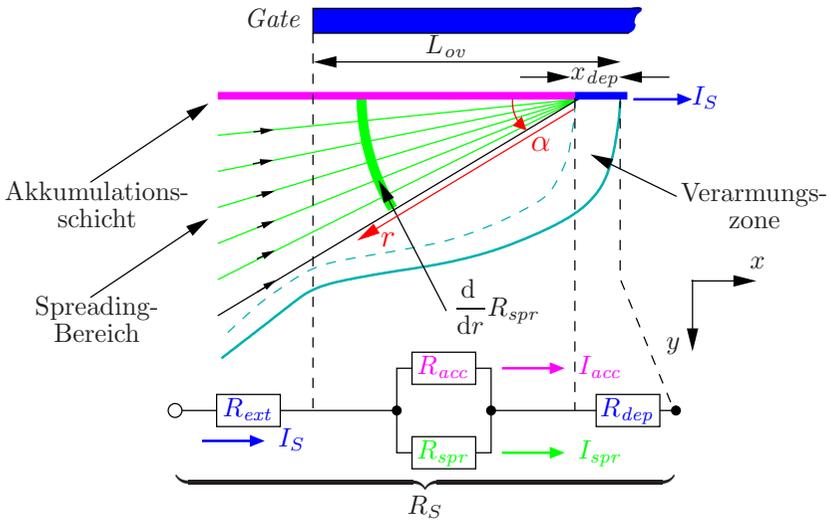


Abbildung 4.23: Schema des neuen Widerstandsmodells

Im folgenden sollen die einzelnen Komponenten beleuchtet werden, deren besonderes Merkmal die Parallelschaltung des Akkumulations- und des Spreading-Widerstands im Überlappgebiet ist.

Externer Widerstand

Der Widerstand R_{ext} vom Kontaktloch bis zur Gatekante ist zum einen spannungsunabhängig [24] und zum anderen aufgrund der hohen Dotierung dieses Bereiches sehr niederohmig. Er lässt sich daher entweder vernachlässigen oder durch einen kleinen konstanten Term mit einbeziehen. Dessen maßgeblicher Beitrag, der Widerstand R_{con} des Stroms beim Austritt aus dem Kontaktloch, lässt sich nach [68] folgendermaßen beschreiben:

$$R_{con} = \frac{1}{W} \cdot \sqrt{\frac{\rho_{con}}{q\mu N_D^+ \Delta y}} \cdot \coth \left(\frac{L_{con}}{\sqrt{\rho_{con} q\mu N_D^+ \Delta y}} \right) \quad (4.54)$$

Dabei bezeichnet L_{con} die laterale Länge des Kontaktlochs, ρ_{con} dessen spezifischen Widerstand (in Ωm^2) und Δy die Eindringtiefe des Stroms in den Halbleiter.

Überlappwiderstand

Nun soll ein neues Modell für diese Überlappgebiete entwickelt werden.

Mit zunehmender Gate-Source-Spannung erhöht sich der Anteil des Stromes, der in der Akkumulationsschicht fließt, gegenüber dem Spreadinganteil. Die Aufteilung der beiden Komponenten bzgl. der angelegten Spannung gibt Abbildung 4.24 wieder.

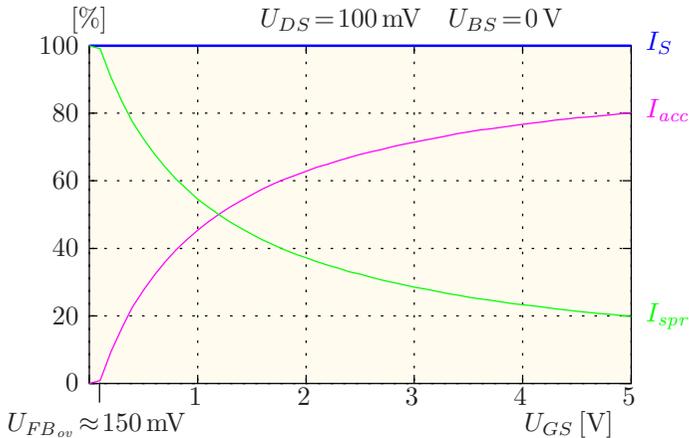


Abbildung 4.24: Aufteilung des Sourcestromes in seine Akkumulations- und Spreading-Komponente

Hierfür wird in einem ersten Schritt die aus der MEDICITM-Simulation extrahierte Stromdichte J in ihren Akkumulations- und Spreadinganteil zerlegt. In einem zweiten Schritt wird diese über die Weite W und die Tiefe y integriert und die so erhaltenen Stromanteile auf den Gesamtstrom normiert. Knapp oberhalb der Einsatzspannung haben beide Stromkomponenten, und damit auch beide Widerstände, in etwa die gleiche Größe.

Akkumulationswiderstand Mit zunehmender Gate-Source-Spannung sammeln sich immer mehr Elektronen an der Halbleiteroberfläche und bilden die Akkumulationsschichtladung Q_{acc} . Mit ihr läßt sich nach Integration der

Überschußdichte n' der Akkumulationswiderstand R_{acc} ermitteln:

$$R_{acc} = \int_{x=0}^{x=L_{ov}-x_{dep}} \frac{1}{W\mu q \int_{y=0}^{y \rightarrow \infty} n' dy} dx = -\frac{L_{ov}}{W\mu Q'_{acc}} \quad (4.55)$$

Im zweiten Schritt wird impliziert, daß die Ladung der Akkumulationsschicht unabhängig vom Ort ist ($Q_{acc} \neq Q_{acc}(x)$). Dies wird in Abbildung 4.34 aus Kapitel 4.2.1 noch belegt. Die Ladung läßt sich durch

$$Q'_{acc} = -C'_{ox} (U_{GS} - U_{FB_{ov}}) \quad (4.56)$$

bestimmen, wobei die Flachbandspannung des Überlappgebietes $U_{FB_{ov}}$ über die Dichte der Grenzflächenzustände im Oxid Q'_0 und dem Verhältnis aus Gate- und Überlappdotierung bestimmt ist:

$$U_{FB_{ov}} = \phi_t \ln \frac{N_G}{N_D} - \frac{Q'_0}{C'_{ox}} \quad (4.57)$$

Spreading-Widerstand Komplizierter gestaltet sich hingegen die Modellierung des Spreading-Widerstandes, da es sich um ein zweidimensionales Problem handelt. Während die Leitfähigkeit der Akkumulationsschicht durch den gateinduzierten Elektronenüberschuß bestimmt wird, beruht die Leitfähigkeit nun auf den durch Ionisation freigesetzten Elektronen der Donatoratome.

$$n(x, y) \approx N_D(x, y) \quad (4.58)$$

Voraussetzung für ein Auffächern des Stromes sind gekrümmte Äquipotentiallinien. Damit ergibt sich die Notwendigkeit, die Berechnung des Spreading-Widerstands in Polarkoordinaten durchzuführen:

$$R_{spr} = \int_{r=0}^{r=L_{ov}-x_{dep}} \frac{1}{W\mu q \int_{\vartheta=0}^{\vartheta=\alpha} N_D d\vartheta} dr \quad (4.59)$$

Der Winkel, unter dem der Strom streut, wird mit α bezeichnet.

Diese Formel weist eine Polstelle bei $r = 0$ auf. Sie läßt sich jedoch eliminieren, wenn man R_{acc} und R_{spr} in einer Parallelschaltung zusammenfügt.

Dies führt zu folgendem Ergebnis [27, 28, 31]:

$$R(R_{acc} \| R_{spr}) = \frac{1}{W\mu q N_D \alpha} \cdot \ln \left(1 + \frac{q N_D \alpha (L_{ov} - x_{dep})}{C'_{ox} (U_{GS} - U_{FB_{ov}})} \right) \quad (4.60)$$

Bemerkenswert ist die Tatsache, daß der Widerstand nicht proportional zur Länge L_{ov} skaliert.

Widerstand der Raumladungszone Der Widerstand der Raumladungszone läßt sich unter Vernachlässigung der lateralen Feldkomponente analog zu dem der Akkumulationsschicht berechnen.

$$R_{dep}(U_{GS}, U_{BS}) = \frac{x_{dep}(U_{BS})}{W\mu C'_{ox}(U_{GS} - U_{FB_{ov}})} \quad (4.61)$$

Die Weite x_{dep} der Raumladungszone ist durch die Dotierungen und die anliegende Substratspannung bestimmt.

$$x_{dep}(U_{BS}) = \sqrt{\frac{2\varepsilon_0\varepsilon_{si}}{qN_D \left(1 + \frac{N_D}{N_A}\right)} \left(\phi_t \ln \frac{N_A N_D}{n_i^2} - U_{BS} \right)} \quad (4.62)$$

Übertragung auf den Drainbereich Auf der Drainseite muß man beachten, daß die effektive Gatespannung $U_{GD} = U_{GS} - U_{DS}$ kleiner ist als sourceseitig und somit weniger Ladungsakkumulation verursacht. Außerdem besitzt die Raumladungszone des metallurgischen Übergangs eine größere Ausdehnung ($x_{dep} = x_{dep}(U_{DB})$). Als Konsequenz startet die Aufweitung des Drainstroms weiter entfernt von der *junction*.

Bewertung

Um das neue Widerstandsmodell zu bewerten, wird das entwickelte Gleichungssystem in BSIM3v3.1 implementiert¹⁰. Als Testumgebung dient der Schaltungssimulator SABERTM.

Zur Erhöhung der Konvergenzsicherheit werden die neuen Modellgleichungen im Unterschwellstrombereich verschliffen (siehe Anhang D).

Abbildung 4.25 zeigt die exzellente Übereinstimmung des neuen Modells mit Daten aus der MEDICITM-Simulation.

¹⁰Für die Implementierung *en détail* sei auf Kapitel 4.3 und Anhang D verwiesen.

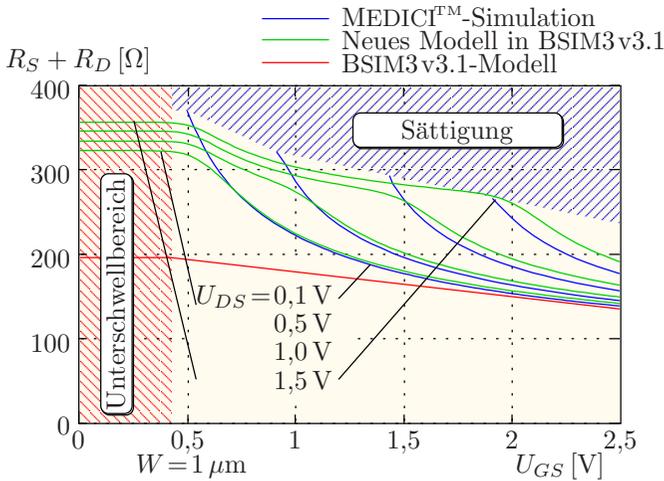


Abbildung 4.25: Verlauf der Serienwiderstände $R_S + R_D$ über die verschiedenen Arbeitsbereiche des Transistors

Demgegenüber vermag das BSIM3v3.1-Modell mit seiner linearen Beschreibung die Spannungsabhängigkeit nur unzulänglich wiederzugeben, da es den Widerstand speziell im Bereich kleiner Gatespannungen unterbewertet.

Die neu implementierte Funktionalität bedarf lediglich eines zweiprozentigen Anstiegs in der Rechenzeit.

Zunehmende Bedeutung für zukünftige Technologien

Während die Geschwindigkeit von Bauelementen ungefähr mit $1/L_{ch}^2$ ansteigt, nimmt die Geschwindigkeit einer Schaltung lediglich mit rund $1/L_{ch}^{1,4}$ zu [48]. Dies liegt in der wachsenden Bedeutung der parasitären Widerstände und Kapazitäten begründet.

Abbildung 4.26 verdeutlicht die zunehmende Bedeutung des Überlappbereiches für moderne Technologien. Während dieser bei älteren Technologien in gleichem Maße wie der Transistor selbst skaliert werden konnte, ist dies bei neueren Technologien nicht mehr möglich. Dies belegt, daß das neu entwickelte Modell zukünftig noch mehr an Bedeutung gewinnen wird.

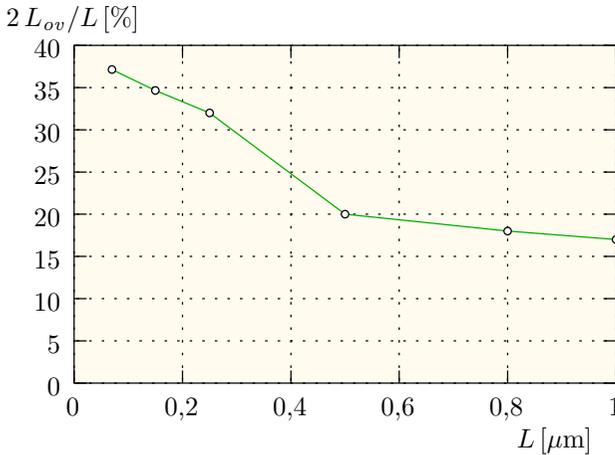


Abbildung 4.26: Zunehmende Bedeutung des Überlappbereiches für moderne Technologien

4.1.5 Parameterextraktion

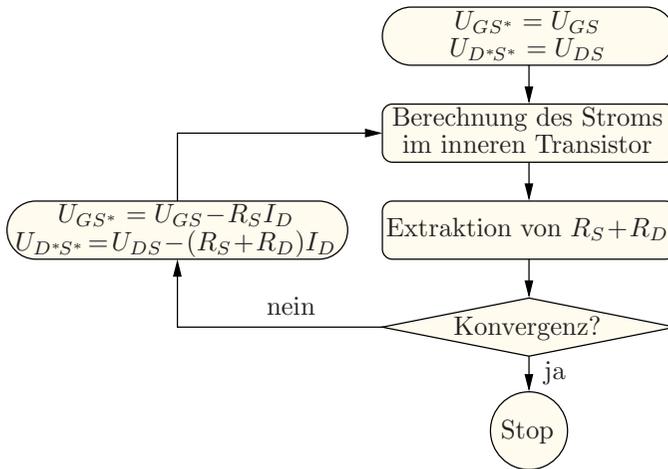
Extraktion durch Iterationsverfahren Da sich die parasitären Widerstände R_S und R_D einer direkten Messung entziehen, sollen verschiedene Möglichkeiten der Extraktion diskutiert werden.

Ausgangspunkt für ein iteratives Verfahren ist die vereinfachte und auf die inneren Spannungsknoten bezogene Gleichung:

$$I_D = \frac{W}{L} \mu C_{ox} [(U_{GS^*} - U_{th}) U_{D^*S^*} - 1/2 U_{D^*S^*}^2] \quad (4.63)$$

Anfangs werden die inneren Spannungen gleich den äußeren gesetzt. Mit dem Spannungsabfall über die Widerstände $R_S + R_D$ korrigiert man die inneren Potentiale und bestimmt erneut die Widerstände. Abbildung 4.27 zeigt das Flußdiagramm für diesen Extraktionsalgorithmus [42].

Extraktion durch Parameteranpassung Üblicherweise werden für die Parameterextraktion spezielle Programme wie z.B. IC-CAPTM verwendet. Deren Algorithmen variieren die zur Verfügung stehenden Parameter des Modells so lange, bis das mittlere Fehlerquadrat zwischen Simulation und Messung ein Minimum erreicht. Dieses Verfahren wurde für das Eingangswiderstandsmodell angewandt.

Abbildung 4.27: Flußdiagramm zur Extraktion von $R_S + R_D$

Eine Grundlage hierfür stellt die *Sensitivitätsanalyse* dar, bei welcher der prozentuale Einfluß eines jeden Parameters bezüglich der Ausgangsgröße ermittelt wird. Abbildung 4.28 stellt dies für die Parameter des zuletzt vorgestellten Modells dar.

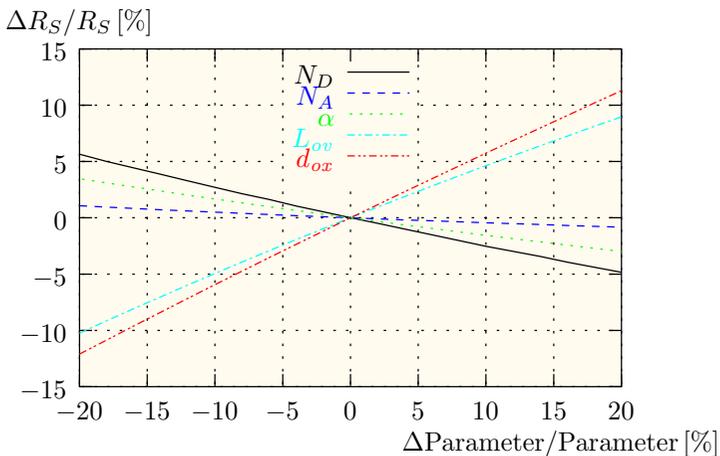


Abbildung 4.28: Sensitivitätsanalyse der Parameter des neuen Widerstandsmodells

Der Widerstand wird hierfür auf den simulierten Wert $R_S = 156,5 \Omega$ bei $N_D = 10^{18} \text{ cm}^{-3}$, $N_A = 10^{17} \text{ cm}^{-3}$, $W = 1 \mu\text{m}$, $C'_{ox} = 5,8 \text{ fF}/\mu\text{m}^2$, $U_{FB_{ov}} = 0 \text{ V}$, $\alpha = 1$, $L_{ov} = 50 \text{ nm}$ und $R_{ext} = 40 \Omega$ normiert.

Extraktion durch Kapazitätsmessung In der Literatur werden die parasitären Widerstände oftmals als Funktion der effektiven Kanallänge mittels der sog. *Schnittgeradenmethode* extrahiert. Diese ist jedoch nach [40] für neuere Kurzkanaltechnologien nicht mehr anwendbar.

In dieser Arbeit wird daher ein anderer Ansatz verfolgt, der sich auf die korrekten geometrischen Abmessungen stützt [47]:

Zunächst werden Kapazitätsmessungen an einem Transistor mit einem Design-Maß von $L_{des} = 0,25 \mu\text{m}$ durchgeführt (Abbildung 4.29).

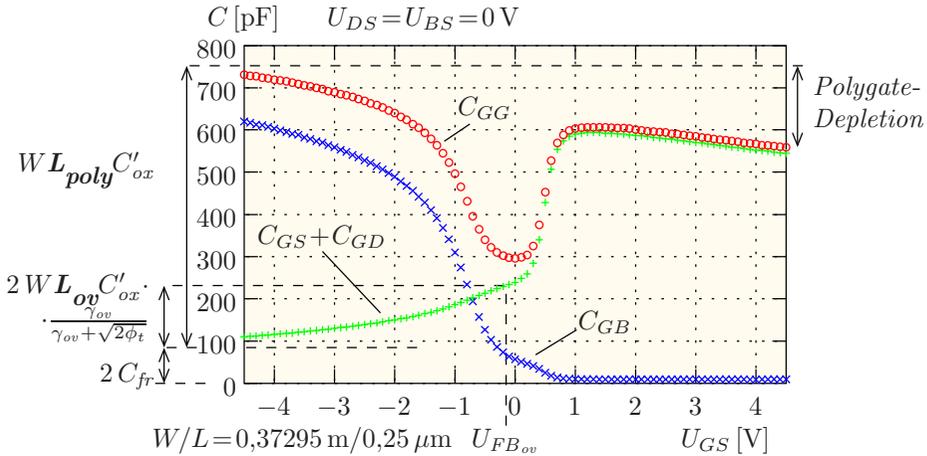


Abbildung 4.29: Extraktion der Überlapplänge L_{ov} aus Kapazitätsmessungen

Um die Meßfehler möglichst gering zu halten, kommen Mäanderstrukturen sehr großer Weite ($372950 \mu\text{m}$) zur Verwendung.

Aus den gemessenen Kapazitätsdifferenzen ergibt sich eine Überlapplänge L_{ov} von $42,5 \text{ nm}$ sowie mit $L_{poly} = 270 \text{ nm}$ die Länge des Polygates.

Messungen am Rasterelektronenmikroskop (SEM)¹¹ bestätigen den extrahierten Wert der Überlapplänge L_{ov} .

¹¹ *Scanning Electron Microscopy*: Diese Messungen wurden bei INFINEON durchgeführt.

Desweiteren lassen sich bei sehr geringen Gatespannungen die *fringing*-Kapazitäten ermitteln und bei sehr großen Gatespannungen der Einfluß des *Polygate-Depletion*-Effekts.

In einem zweiten Schritt werden mit der so hergeleiteten Kanallänge von

$$L_{ch} = L_{poly} - 2L_{ov} = 185 \text{ nm} \quad (4.64)$$

die parasitären Widerstände bei einer geringen Drain-Source-Spannung von $U_{DS} = 50 \text{ mV}$ extrahiert. Abbildung 4.30 verdeutlicht dies.

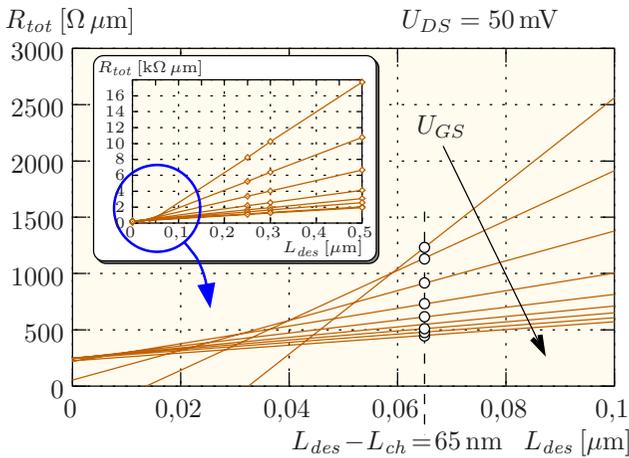


Abbildung 4.30: Extraktion der Serienwiderstände $R_S + R_D$

R_{tot} steht dabei für den Gesamtwiderstand des Transistors:

$$R_{tot} = I_{DS}/U_{DS} = R_S + R_{ch} + R_D \quad (4.65)$$

Der hauptsächliche Vorteil dieser Vorgehensweise ist es, daß man konsistente geometrische Werte sowohl für die DC- als auch für die AC-Beschreibung erhält, mit denen z.B. eine *worst case*-Analyse möglich ist.

Auswirkungen auf das Kleinsignalverhalten

Abbildung 4.31 zeigt das bisher entwickelte Kleinsignalersatzschaltbild des MOS-Transistors unter Hinzufügung der Source- und Drainwiderstände.

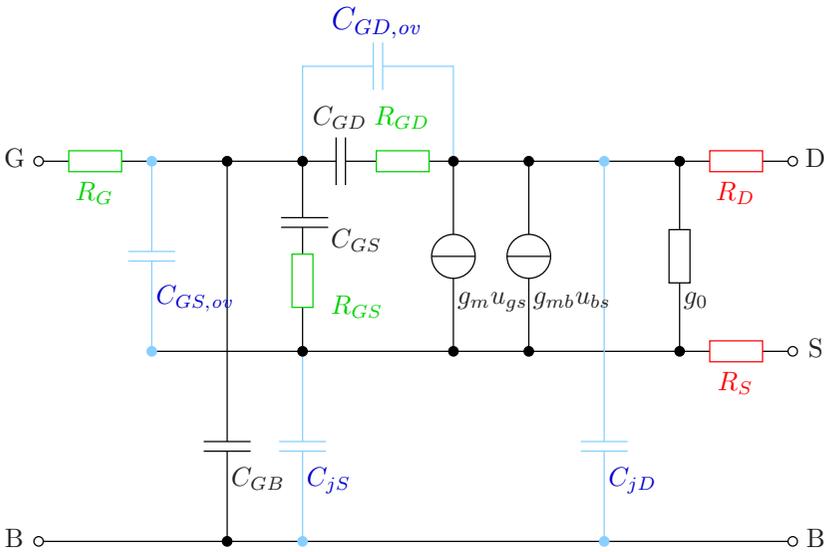


Abbildung 4.31: Kleinsignalersatzschaltbild des MOS-Transistors mit Gate-, Source- und Drainwiderständen und intrinsischen Source- und Drainwiderständen

Das neu entwickelte Widerstandsmodell verbessert signifikant die Beschreibung der Gatesteilheit g_m und des Ausgangsleitwerts g_0 , zweier für die Analsimulation zentraler Größen. Dies ist dadurch erklärbar, daß man nunmehr die für die Steilheiten maßgeblichen inneren Spannungen

$$U_{GS^*} = U_{GS} - R_S I_{DS} \quad (4.66)$$

$$U_{D^*S^*} = U_{DS} - (R_S + R_D) I_{DS} \quad (4.67)$$

zur Verfügung stehen hat.

Damit diese während der Simulation auch zugänglich sind, dürfen die inneren Kanalwiderstände R_{GD} und R_{GS} nicht mit R_D und R_S verschmolzen werden.

Um jedoch die Definition des Ausgangsleitwerts als Ableitung des Drainstroms nach der *äußeren* Drain-Source-Klemmenspannung aufrechtzuerhalten, muß strenggenommen der „Widerstand“ g_0 durch eine Stromquelle mit $g_0 u_{ds}$ ersetzt werden, wie dies in Abbildung 4.32 gezeigt ist.

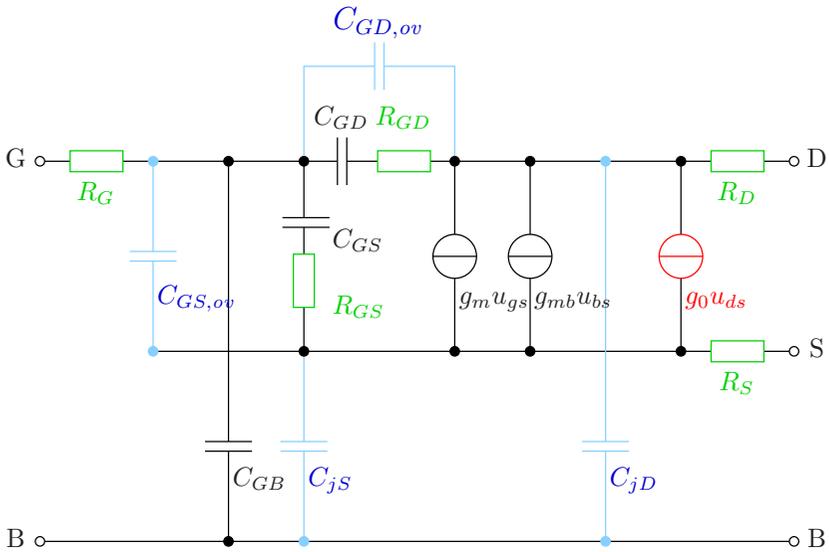


Abbildung 4.32: Ersatz des Kanalwiderstands durch eine Stromquelle zur Aufrechterhaltung der Definition des Ausgangsleitwerts

Fazit

Abschließend sollen noch einmal die wesentlichen Punkte des vorgestellten Modells subsumiert werden:

- Wachsende Bedeutung der parasitären Widerstände
- Neues physikalisch-basiertes Widerstandsmodell
 - Separation der Akkumulations- und Spreading-Komponente
 - Ausschließlich geometrische Parameter, keine Fit-Parameter
- Konsistente AC/DC-Beschreibung für BSIM3v3.x bzw. BSIM4
 - L_{ch} als Kanallänge für DC und AC
 - $R_S + R_D \stackrel{!}{=} f(L_{ov})$
 - $L_{int} \stackrel{!}{=} L_{ov}$
- Korrekte innere Spannung $U_{GS} \rightarrow U_{GS^*} = U_{GS} - I_S \cdot R_S$

Das soeben vorgestellte Modell wurde in leicht vereinfachter Form in den industriellen Standard-Schaltungssimulator BSIM4 aufgenommen [25, 38, 60].

4.2 Beschreibung der Kapazitäten

4.2.1 Überlappkapazitäten

Die im Überlappgebiet akkumulierte Ladung steigt mit zunehmender Gate-Source-Spannung. Abbildung 4.33 zeigt die innerhalb weniger Nanometer auf Dotierungsniveau abfallende Elektronendichte für einen vertikalen Schnitt in der Mitte des Überlappgebiets. Im Unterschied zur Inversionsschicht des

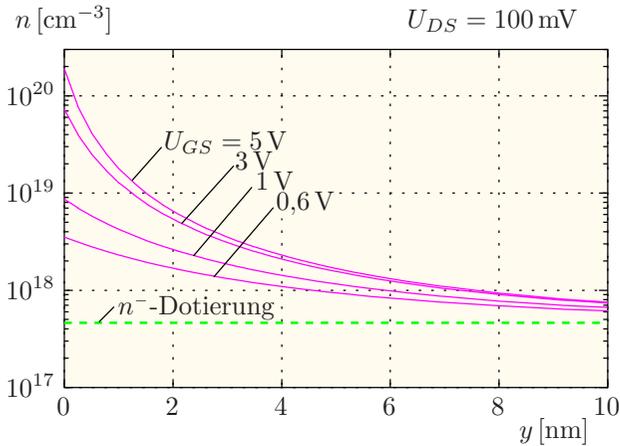


Abbildung 4.33: Elektronenakkumulation für einen vertikalen Schnitt durch das Unterdiffusionsgebiet (MEDICI™-Simulation)

Kanals wird die Elektronenakkumulation im Überlappgebiet nicht durch die sich zum Substrat hin anschließende Raumladungszone begrenzt.

Ihre Ladungsdichte kann man unter Verwendung des *Gaußschen Satzes* [41]

$$Q = \varepsilon_0 \varepsilon_{si} \oint \vec{E} \cdot d\vec{A} \quad (4.68)$$

und der *charge sheet*-Näherung (Seite 8) berechnen [24]:

$$Q'_{acc} = -C'_{ox} (U_{GS} - U_{FBov}) \cdot \frac{1}{1 + \frac{C'_{ox}}{\sqrt{\frac{qN_D \varepsilon_0 \varepsilon_{si}}{\phi_t}}}} \quad (4.69)$$

Hieraus läßt sich die Überlappkapazität $C_{ov,S}$ nähern:

$$C_{ov,S} \approx -C_{ox} \quad (4.70)$$

Dabei wird, wie schon auf Seite 85, vorausgesetzt, daß die Ladung der Akkumulationsschicht unabhängig von ihrem lateralen Ort ist. Abbildung 4.34 zeigt dies für verschiedene vertikale Schnitte durch das Überlappgebiet.

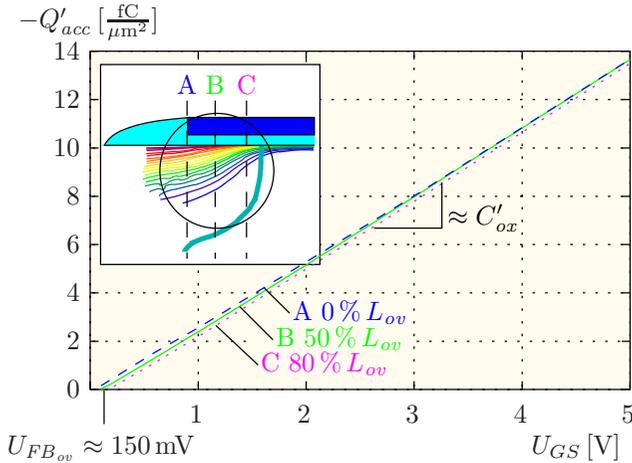


Abbildung 4.34: Integrierte Elektronenakkumulation für einen vertikalen Schnitt durch das Unterdiffusionsgebiet

Da die Dotierung zum Kanal hin abnimmt, folgt daraus, daß die Akkumulationsschicht dotierungsunabhängig ist.

4.2.2 Innerer Miller-Effekt

Dieser Abschnitt widmet sich einer bis dato unbeachteten Auswirkung der Überlappwiderstände, dem „inneren Miller-Effekt“ [30].

Es wird gezeigt, daß der „innere Miller-Effekt“ die Eingangskapazität von MOS-Transistoren kleiner Kanallänge in Sättigung von $2/3 C_{ox}$ auf über C_{ox} ansteigen läßt.

Dieses Verhalten in Abhängigkeit von der Kanallänge wird durch Messungen und Bauelementesimulationen analysiert und ein Modell basierend auf der Kapazität $C_{ov,D}$ und dem Widerstand $R_{ov,D}$ der drainseitigen Überlappgebiete präsentiert.

Eingangskapazität

Die Eingangskapazität C_{in} ist ein Schlüsselparameter im HF-Schaltungsdesign. Daher existiert ein großer Bedarf, diese in MOSFET-Kompaktmodellen akkurat zu beschreiben.

Abbildung 4.35 faßt die beschrittene Vorgehensweise zusammen.

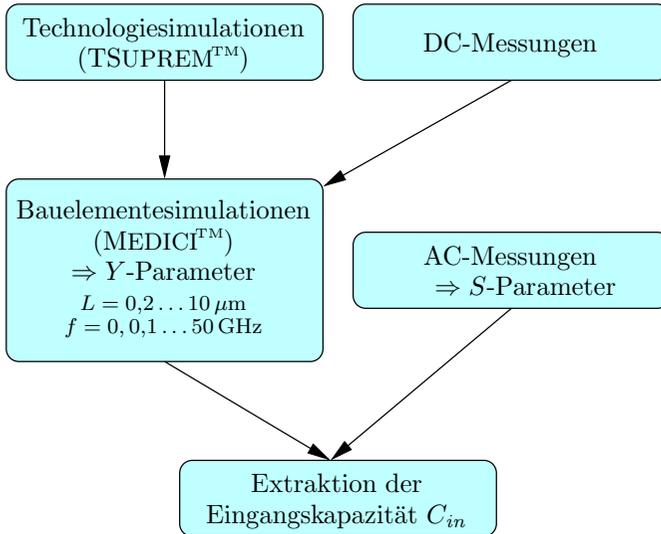


Abbildung 4.35: Vorgehensweise zur Untersuchung der Eingangskapazität

Auch die Modellierung der Eingangskapazität C_{in} erfordert — wie schon bei dem Eingangswiderstand R_{in} — eine gut definierte Separation des inneren Transistors von parasitären Effekten [31].

Abbildung 4.36 stellt die relevanten Kapazitäten als Funktion der Gate-Source-Spannung sowohl für einen Langkanal- als auch einen Kurzkanaltransistor gegenüber. Als Drain-Source-Spannung wird hierbei $U_{DS} = 1$ V gewählt, um alle Betriebsmodi des Transistors zu durchfahren.

Die Indizes der Kapazitäten folgen auch hier der Definition aus [84]:

$$C_{xy} = \frac{\partial Q_x}{\partial U_y} \quad \text{und} \quad (4.71)$$

$$C_{GG} + C_{SG} + C_{DG} + C_{BG} = 0 \quad (4.72)$$

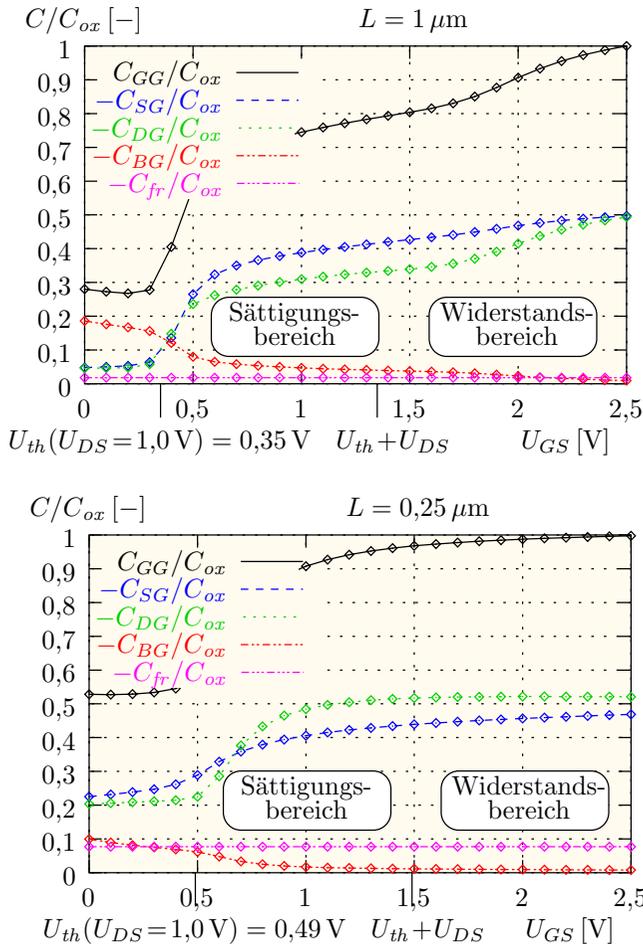


Abbildung 4.36: Kapazitäten vs. Gate-Source-Spannung eines Langkanal- und eines Kurzkanaltransistors bei $U_{DS} = 1 \text{ V}$

Bei hohen Gate-Spannungen (linearer Bereich) verteilt sich die Kanalladung annähernd symmetrisch entlang des Kanals. Daher besitzen die Source-Gate-Kapazität C_{SG} und die Drain-Gate-Kapazität C_{DG} die gleiche Größe:

$$C_{SG} = C_{DG} = \frac{1}{2} C_{ox} \quad (4.73)$$

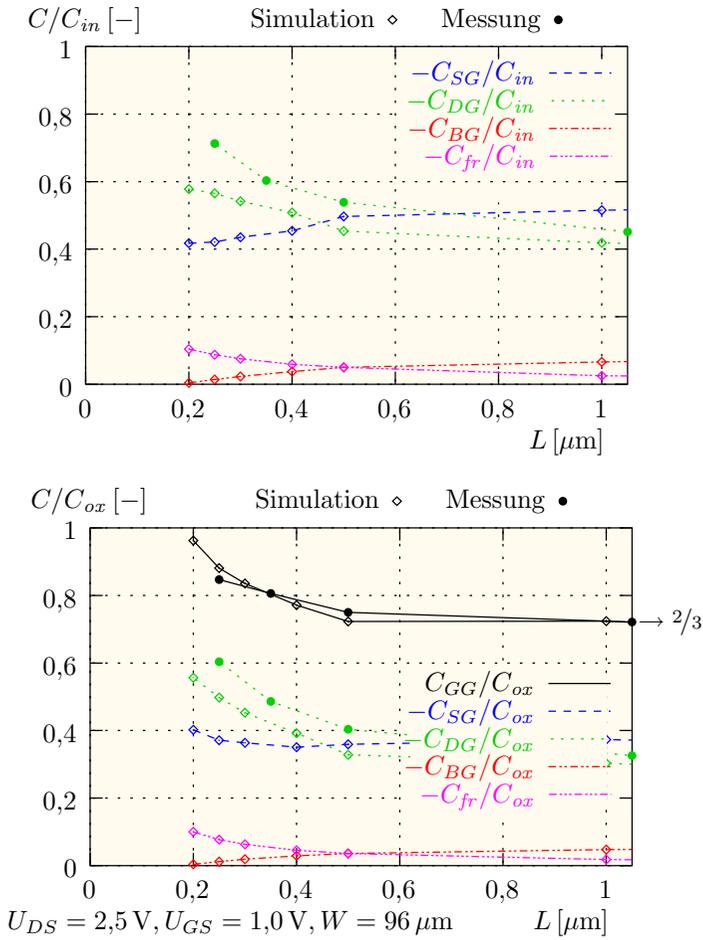


Abbildung 4.38: Normalisierte Kapazitäten vs. Gatelänge

Unter denselben Bedingungen werden ebenfalls die sog. *fringing*-Kapazitäten gewonnen (Abbildung 4.39):

$$C_{fr} = 1/2 (C_{SG} + C_{DG}) \tag{4.75}$$

Zur näheren Erläuterung dieser Vorgehensweise sei auf die Parameterextraktion ab Seite 88 verwiesen.

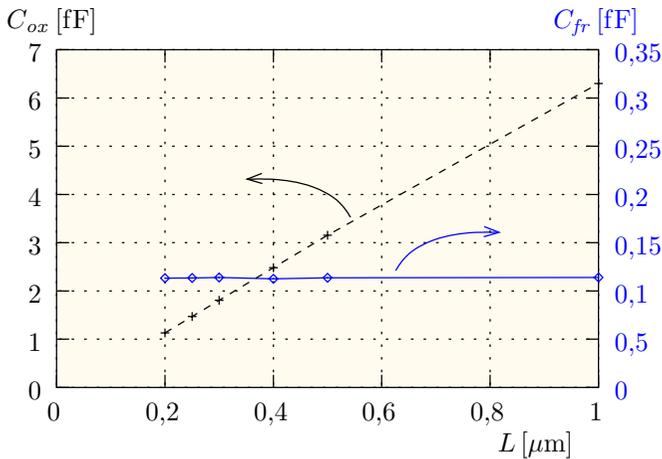


Abbildung 4.39: Extrahierte Oxid- und *fringing*-Kapazitäten

Analytisch kann diese Kapazität nach [47] mit

$$C_{fr} = C_{side} + C_{top} = \varepsilon_0 \varepsilon_{ox} W \cdot \ln \frac{d_{ox} + d_G + \frac{1}{2} L_{poly}}{d_{ox}} \quad (4.76)$$

angesetzt werden, wobei die Höhe d_G der Gatekante eingeführt wird.

Die verschwindend kleinen Variationen von C_{BG} und C_{fr} vermögen nicht die steigende Eingangskapazität zu erklären, da deren Summe annähernd konstant bleibt:

$$|C_{BG} + C_{fr}| \approx \text{const} < 10 \% C_{in} \quad (4.77)$$

Eingangskapazitätsmessungen

Zur näheren Eruierung werden Messungen an CMOS-Transistoren in Viertelmikrometer-Technologie durchgeführt (siehe Kapitel 5).

Die bei einer Frequenz von $f = 100$ MHz extrahierten Kapazitäten

$$C_{GG} = \Im(Y_{11}) / (2\pi f) \quad \text{und} \quad (4.78)$$

$$C_{DG} = \Im(Y_{21}) / (2\pi f) \quad (4.79)$$

bestätigen die zuvor von dem Bauelementesimulator gewonnene Beobachtung. Die Abbildungen 4.37 und 4.38 zeigen die Übereinstimmung.

Eingangskapazitätsmodell

Der Anstieg der Eingangskapazität kann lediglich verstanden werden, wenn man den Drainbereich in sein Widerstands-Kapazitäts-Netzwerk aufteilt, wie dies in Abbildung 4.40 geschieht.

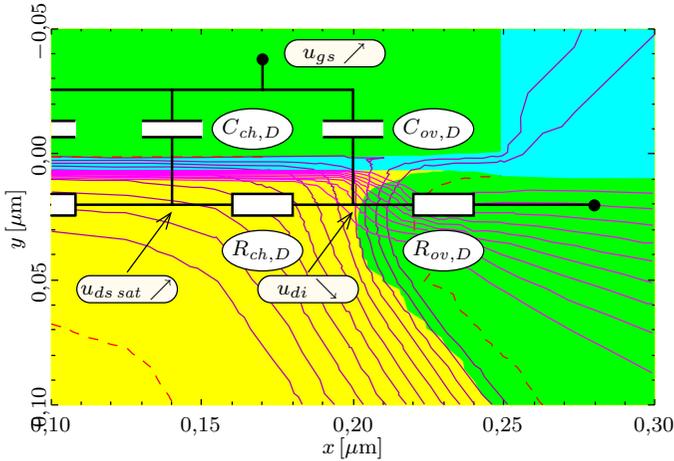


Abbildung 4.40: Drainbereich mit einem verteilten Widerstands-Kapazitäts-Netzwerk

Das Gate koppelt über den Kanal und die Überlappregion auf die Drain. Die Spannung am „pinchoff point“ folgt der Gate-Source-Spannung. Daher kann der kapazitive Beitrag über die Kanalanteile $R_{ch,D}$ - $C_{ch,D}$ vernachlässigt werden.

Im Gegensatz hierzu ist dies für die Anteile über die Überlappgebiete nicht möglich: Die Spannung u_{di} am drainseitigen pn -Übergang nimmt ab, wenn die Gate-Source-Spannung ansteigt. Dies ist eine Folge des höheren Spannungsabfalls über den parasitären Drainwiderstand $R_D \approx R_{ov,D}$ aufgrund des größeren Stroms.

Daher muß die Überlappkapazität $C_{ov,D}$ in Kombination mit dem Überlappwiderstand $R_{ov,D}$ als „innere Miller-Kapazität“ angesehen werden [30].

Abbildung 4.41 zeigt das Kleinsignalersatzschaltbild, das dem obigen Ausschnitt (Abbildung 4.40) entspricht.

Hieraus lassen sich unter Beachtung von

$$Y_{GG} + Y_{DG} + Y_{SG} = 0 \quad (4.80)$$

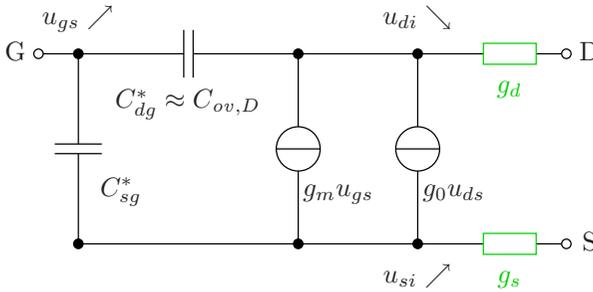


Abbildung 4.41: Kleinsignalersatzschaltbild zur Erklärung des „inneren Miller-Effekts“

die äquivalenten Y -Parameter ermitteln, indem man die Strom-Spannungs-Gleichungen löst:

$$Y_{21} = \frac{g_d}{(\omega C_{dg}^*)^2 + g_d^2} \cdot \left[(\omega C_{dg}^*)^2 - g_m g_d + j\omega C_{dg}^* (g_d + g_m) \right] \quad (4.81)$$

$$Y_{11} = \frac{-g_d}{(\omega C_{dg}^*)^2 + g_d^2} \cdot \left[(\omega C_{dg}^*)^2 - g_m g_d + j\omega C_{dg}^* (g_d + g_m) \right] + \frac{-g_s}{(\omega C_{sg}^*)^2 + g_s^2} \cdot \left[(\omega C_{sg}^*)^2 + g_m g_s + j\omega C_{sg}^* (g_s - g_m) \right] \quad (4.82)$$

$$= -Y_{21} - \frac{g_s}{(\omega C_{sg}^*)^2 + g_s^2} \cdot \left[(\omega C_{sg}^*)^2 + g_m g_s + j\omega C_{sg}^* (g_s - g_m) \right] \\ \text{mit } Y_{21} = Y_{DG} \quad \text{und} \quad Y_{11} = Y_{GG} \quad (4.83)$$

Besondere Beachtung ist hierbei den Termen mit hervorgehobenen Vorzeichen zu schenken, die sich am besten durch den Vergleich mit dem Übergang $g_d, g_d \rightarrow \infty$, also dem Weglassen der parasitären Widerstände, verdeutlichen lassen: Während der Realteil der Transmissionsadmittanz Y_{21} sich

$$\text{von } -g_m \quad \text{auf} \quad \frac{(\omega C_{dg}^*)^2 g_d - g_d^2 \cdot g_m}{(\omega C_{dg}^*)^2 + g_d^2} \quad (4.84)$$

ändert, steigt dessen Imaginärteil

$$\text{von } \omega C_{dg}^* \text{ auf } \frac{\omega C_{dg}^* (g_d + g_m) \cdot g_d}{(\omega C_{dg}^*)^2 + g_d^2}. \quad (4.85)$$

Mit $C_{dg}^* \approx C_{ov,D}$ und durch Vergleich mit Gleichung (4.79) erhält man die verstärkte Drain-Gate-Kapazität:

$$C_{DG} \approx C_{dg}^* \cdot \left(1 + \frac{g_m}{g_d}\right) \approx C_{ov,D} \cdot \left(1 + \frac{g_m}{g_d}\right) \quad (4.86)$$

Außerdem erklärt sich aus den Gleichungen auch die leichte Abnahme der Source-Gate-Kapazität C_{SG} in Abbildung 4.38 durch sourceseitige Degeneration ($u_{gs} \nearrow \rightarrow u_{si} \nearrow$).

In anderen Worten: Der Sourcewiderstand verursacht eine Gegenkopplung; bei Erhöhung der Gatespannung wird der Transistor niederohmiger und somit der Spannungsabfall über R_S größer. Umgekehrt verringert sich das Potential an der Drainseite.

Da das Gate niederohmig ist und in Serie zu den Parasiten liegt, kann sein kapazitiver Beitrag vernachlässigt werden.

Vergleichbar der aus der Schaltungstechnik bekannten Miller-Kapazität wird die Überlappkapazität $C_{ov,D}$ über den Widerstand $R_{ov,D}$ verstärkt.

Der Überlappwiderstand wird als verteilter Widerstand angesehen und daher — in Analogie zur Beschreibung des Gatewiderstandes (Seite 60) — auf einen Effektivwert reduziert:

$$1 + \frac{g_m}{g_d} \approx 1 + 1/3 g_m R_D \approx 1 + 1/3 g_m R_{ov,D} \approx 1/3 g_m R_{ov,D} \quad (4.87)$$

Innerhalb einer ausgewählten Technologie gleichen sich die Überlappregionen aller Transistoren unabhängig von ihrer Gatelänge. Daher variieren $R_{ov,D}$ und $C_{ov,D}$ nur mit der angelegten Spannung und lassen sich ansonsten mittels der Überlapplänge L_{ov} und dem Dotierungsprofil beschreiben.

$$R_{ov,D} \neq R_{ov,D}(L) \quad \text{und} \quad C_{ov,D} \neq C_{ov,D}(L) \quad (4.88)$$

Die drainseitige Überlappregion wird für negative U_{GD} invertiert. Wohingegen die dadurch verursachte Abnahme von $C_{ov,D}$ wohlverstanden ist [60], wird bis dato dem dramatischen Anstieg von $R_{ov,D}$ wenig Bedeutung geschenkt. Dieser ist in Abbildung 4.42 gezeigt.

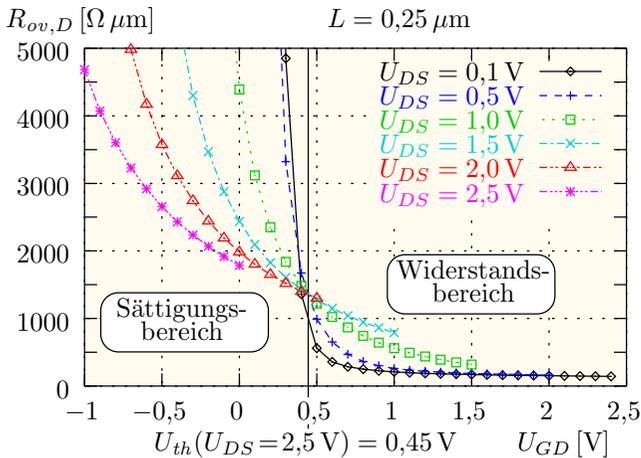


Abbildung 4.42: Drainseitiger Überlappwiderstand vs. Gate-Drain-Spannung

Für DC-Anwendungen kann dieser Effekt vernachlässigt werden, da der Kanalwiderstand in Sättigung dominiert. AC-Modelle *müssen* jedoch ihren Fokus darauf richten.

Abbildung 4.43 vergleicht die aus Messungen und Bauelementesimulationen gewonnene Drain-Gate-Kapazität mit der Miller-verstärkten Überlappkapazität des Modells und belegt so dessen Richtigkeit.

Mithilfe der Implementierung der Überlappwiderstände (Kapitel 4.1.4) in gebräuchliche CMOS-Modelle läßt sich die Drain-Gate-Kapazität leicht an Messungen anpassen.

Fazit

Da die Drain-Gate-Kapazität maßgeblich zur Eingangskapazität

$$\begin{aligned} C_{in} &= C_{GG} = C_{DG} + C_{SG} (+C_{BG}) \\ &= C_{ov,D} \cdot (1 + 1/3 g_m R_D) + C_{SG} (+C_{BG}) \end{aligned} \quad (4.89)$$

beiträgt, verursacht der „innere Miller-Effekt“ einen Anstieg von C_{in} bis auf Werte oberhalb der üblicherweise angenommenen $2/3 C_{ox}$. Durch Extrapolation kann sogar erwartet werden, daß die Eingangskapazität C_{in} ab Gate-längen unterhalb von etwa $0,17 \mu\text{m}$ die Oxidkapazität C_{ox} übersteigt.

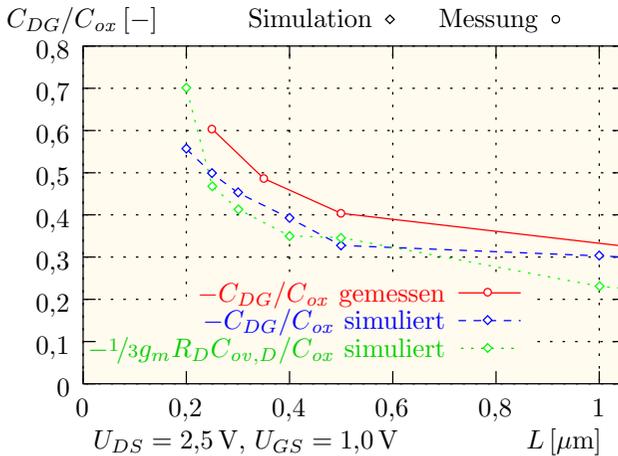


Abbildung 4.43: Normalisierte Drain-Gate-Kapazität im Vergleich zwischen Modell, Bauelementesimulation und Messungen vs. Gatelänge

Als Konsequenz daraus muß die in Schaltungen erforderliche Eingangsleistung erhöht werden. Außerdem wird die Transitfrequenz überschätzt.

Übliche Vier-Knoten-Modelle vermögen nicht, den „inneren Miller-Effekt“ zu beschreiben, da dieser ausschließlich über das $R_{ov,D}C_{ov,D}$ -Netzwerk verstanden werden kann.

4.3 Implementierung in den Schaltungssimulator

Die wesentlichen Anforderungen an eine Modellimplementierung in einen Schaltungssimulator liegen in der *Konvergenzsicherheit* sowie der benötigten *Rechenzeit*. Das nun folgende Kapitel geht auf einige Details ein.

4.3.1 Kapazitäts- vs. Ladungsbeschreibung

Prinzipiell ist eine zur Darstellung des Kleinsignalersatzschaltbildes analoge Implementierung denkbar. Dies entspräche einer Vernetzung der darin vorkommenden Widerstände und Kapazitäten, einem sog. *Kapazitätsmodell*.

Diese Vorgehensweise ist jedoch mit einem gravierenden Mangel belegt:

Wegen

$$Q = \int C dU \quad (4.90)$$

muß die numerisch anspruchsvolle Integration der Kapazitäten durchgeführt werden. Dies kann durch Rundungsfehler zu Abweichungen in der Integrationskonstante und mithin zur scheinbaren Ladungsanhäufung im Bauelement führen.

Daher hat sich in der Modellierung die differentielle Form in sog. *Ladungsmodellen* durchgesetzt. BSIM3v3.1 ist hierfür ein Beispiel. Durch seine weltweite Standardisierung wird es von allen kommerziellen Simulatoren (SABERTM, ELDO, SPICE, HSPICE, SPECTRETM, etc.) unterstützt.

Die neuen internen Knoten werden entweder in BSIM3v3.1 direkt implementiert oder in Form eines *Hut*-Modells eingeführt, um die Kompatibilität mit zukünftigen Versionen sicherzustellen.

Da desweiteren die Anforderung besteht, existierende Kapazitätsparameter weiterverwenden zu können, wird die Gate-Source-Kapazität in die Seriendarstellung $C_{GS}-R_S$ umgerechnet.

4.3.2 Implementierung von BSIM3v3.1 in SABERTM

Um eine Schaltung in SABERTM zu simulieren, muß ein *saber input file* (*.sin) erstellt werden, das sämtliche Elemente der Schaltung in der Form Bauelement.Bezeichnung Knoten Modellparameter enthält.

Zur Simulation eines NMOS-Transistors könnte dies beispielsweise heißen:

```
mbsim3v3_1.tr1 d g s b = model = (type=_n), w=96u, l=0.25u
```

SABERTM verwendet somit das *template* mbsim3v3_1.sin, das die Beschreibung des Transistors beinhaltet. Diese Datei ruft wiederum hierarchisch weitere Dateien auf, wie in Tabelle 4.1 vereinfacht dargestellt ist. Aufgezeigt sind hierbei lediglich die wichtigsten Stufen bis zum Modellkern von BSIM3v3.1; zahlreiche *header*-Dateien, Konstantendeklarationen und kompilierte *object*-Dateien wurden der Übersichtlichkeit halber weggelassen. Dasselbe gilt für Zwischenschritte über das sog. C/Ratfor Interface zur Erzeugung des Standard FORTRAN 77-Codes und zur Berücksichtigung der Tatsache, daß FORTRAN Funktionen *by reference* und C *by value* aufruft.

Somit zeigt sich der gewaltige Unterschied einer Bauelemente-Modellierung auf der Grundlage eines bestehenden Systems, in diesem Fall BSIM3v3.1, und einer autarken, für sich stehenden Beschreibung in der Schnittstellen-Problematik: Während für diese eine Implementierung der Modellgleichung in der

Ebene	Dateiname	Sprache
1	Schaltung.sin	MAST TM
2	mbsim3v3_1.sin	MAST TM
3	mbsim3v3_1.f	FORTTRAN
4	bsim3v3_1.c	C
5	BSIM3v3_1defs.h, b3v3_1chan.h, b3v3_1check.h	C

Tabelle 4.1: Hierarchie der Implementierung von BSIM3v3.1 in SABERTM

Sprache MASTTM auf oberster Ebene ausreicht, müssen für die Modifizierung von BSIM3v3.1 wesentlich tiefgreifendere Veränderungen vorgenommen werden. Außerdem ist es erforderlich, auf den bestehenden Modellparametern — im Falle von BSIM3v3.1 162 — aufzusetzen.¹²

Die in Kapitel 4 beschriebenen Modifikationen am Vier-Knoten-Modell beziehen sich v.a. auf die Kanalbeschreibung der in Tabelle 4.1 dargestellten Datei `b3v3_1chan.h`, während für das Sechs-Knoten-Modell aus Kompatibilitätsgründen ein *Hut*-template in Form einer zusätzlichen Hierarchieebene oberhalb von `mbsim3v3_1.sin` bevorzugt wurde. Die inneren Widerstände aus Abschnitt 4.1.2 wurden direkt in `mbsim3v3_1.sin` verwirklicht.

4.3.3 Subcircuit-Implementierung

Die größte Kompatibilität zu künftigen BSIM-Versionen wird gewährleistet, indem dessen Quellcode bei der Implementierung eines neuen Modells nicht modifiziert wird.

Dann bietet sich eine *Subcircuit*-Implementierung an, welche die neuen Effekte in einem Hut-Modell vereinigt. Während für diese Arbeit ein offener BSIM3v3.1-Quellcode nur für den SABERTM-Simulator zur Verfügung stand, ermöglicht eine *Subcircuit*-Implementierung ein simulatorunabhängiges Modell. Dieses ist in Abbildung 4.44 gezeigt.

Bei diesem Drei-Terminal-Modell sind entsprechend den zur Verfügung stehenden Meßstrukturen Source und Bulk fest verbunden. Die Parameter des Substratnetzwerks nach [49] lassen sich aus den Kleinsignalparametern des ausgeschalteten Transistors ($U_{GS} = 0\text{ V}$) ermitteln. Aufbauend auf einem

¹²Um die geometrische Skalierbarkeit zu erreichen, benötigt BSIM3v3.1 allein zur Beschreibung der Einsatzspannung 16 Parameter; mit BSIM4 steigt die Zahl auf 19.

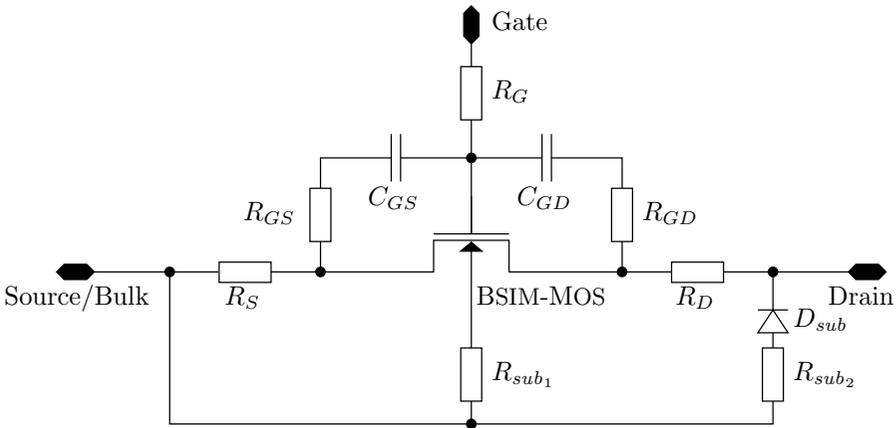


Abbildung 4.44: Subcircuit-Implementierung des neuen Modells

kommerziellen BSIM-Parametersatz der Firma INFINEON wird dieser dahingehend modifiziert, daß die Parameter `rdsw` und `cjswg` gleich Null gesetzt werden. Desweiteren werden die inneren Kapazitäten über den Parameter `d1c` ausgeschaltet; die Überlappkapazitäten bleiben dabei unverändert.

4.4 Unterschiede zu bisherigen Modellen

Tabelle 4.2 stellt die Unterschiede zu bisherigen Modellen zusammenfassend gegenüber.

Kriterium	Standard	BSIM3	Neues Modell
NQS-Verhalten	⊖	⊖	⊕
Eingangsimpedanz	⊖	⊖	⊕
Steilheiten	(⊖)	(⊕)	⊕
Überlappgebiet	⊖	(⊖)	⊕
Skalierbarkeit	(⊖)	⊕	⊕
AC/DC-Kanallänge	⊕	⊖	⊕

Tabelle 4.2: Vergleich verschiedener Modelle hinsichtlich ihrer für die Kleinsignalbeschreibung notwendigen Eigenschaften

5 Messungen

Sinn und Zweck eines Kompaktmodells ist die möglichst realitätsnahe Wiedergabe der elektrischen Eigenschaften des Bauelements im Schaltungssimulator.

Um die Qualität des neu entwickelten Modells zu demonstrieren, werden Hochfrequenzmessungen durchgeführt und mit den Ergebnissen der Schaltungssimulation verglichen.

Als Testumgebung stehen Strukturen mit CMOS-Transistoren in Viertelmikrometer-Technologie der Firma INFINEON TECHNOLOGIES AG zur Verfügung.

5.1 Teststrukturen

Einzeltransistoren auf der Siliziumscheibe (*Wafer*) dienen als Teststrukturen, die mithilfe eines Spitzenmeßplatzes¹ analysiert werden.

Abbildung 5.1 zeigt ein typisches Layout eines Hochfrequenztransistors, der von einem *Guard*-Ring umgeben ist. Deutlich ist links die Aufspaltung des Gates in vier gleich lange Finger zu erkennen. Die Drain wird von rechts zugeführt und ist mit der verdeckten Source abwechselnd den Gatefingern zwischengelagert. Die kleinen dunklen Quadrate sind die Kontaktlöcher.

Da die Skalierbarkeit eine der wesentlichen Anforderungen an ein Modell ist, werden Transistoren verschiedener Länge gemessen. Die Weitenabhängigkeit ist hierbei von untergeordneter Wichtigkeit, da in Hochfrequenzschaltungen bevorzugt Transistoren großer Weite Anwendung finden.

Tabelle 5.1 faßt die Geometriedaten der gemessenen Testtransistoren, Tabelle 5.2 die gemessenen Spannungs- und Frequenzbereiche zusammen.

Die Abbildungen 5.2 und 5.3 zeigen Photographien eines der verwendeten Transistoren in verschiedener Auflösung.

¹KEITHLEY INSTRUMENTS Micro Chamber

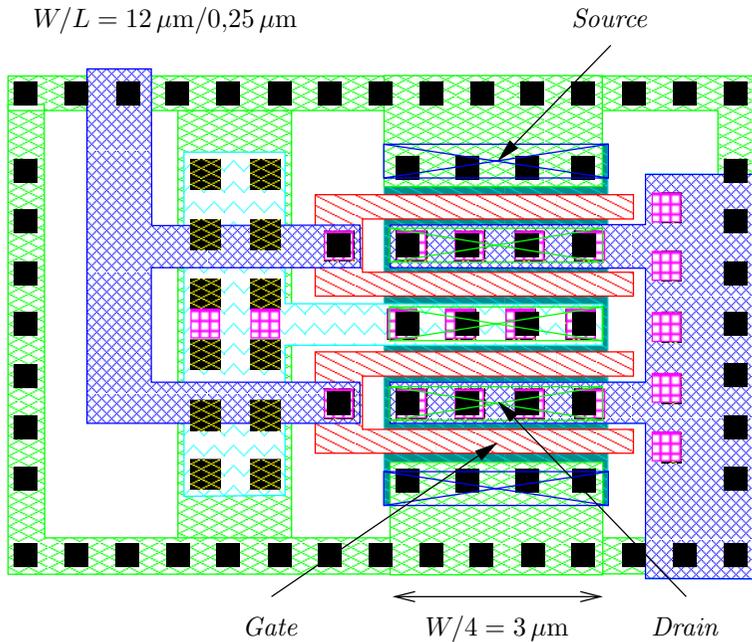


Abbildung 5.1: Layout eines Hochfrequenztransistors mit vier Fingern und einseitiger Gatekontaktierung

Transistor	Weite W	Länge L
1	$96 \mu\text{m}$	$0,25 \mu\text{m}$
2	$96 \mu\text{m}$	$0,35 \mu\text{m}$
3	$96 \mu\text{m}$	$0,50 \mu\text{m}$
4	$96 \mu\text{m}$	$1,05 \mu\text{m}$
5	$144 \mu\text{m}$	$0,25 \mu\text{m}$

Tabelle 5.1: Übersicht über die gemessenen HF-Transistoren

Darin sind deutlich die ab Seite 61 diskutierten Gatefinger erkennbar.

Um den parasitären Einfluß des Meßaufbaus so gering wie möglich zu halten, werden die Messungen direkt auf dem *Wafer* durchgeführt.

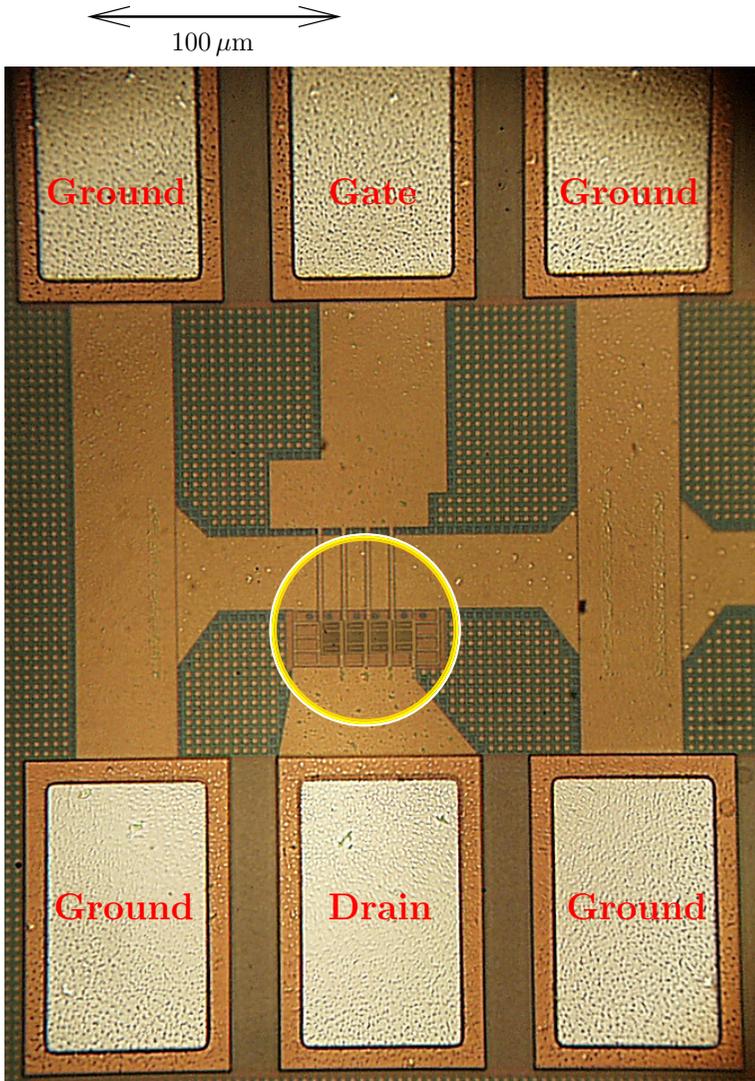


Abbildung 5.2: Photographie eines Hochfrequenztransistors mit acht mal vier Fingern ($W/L = 96\ \mu\text{m}/0,25\ \mu\text{m}$) in 340-facher Vergrößerung. Der umkreiste Bereich entspricht dem aus Abbildung 5.3.

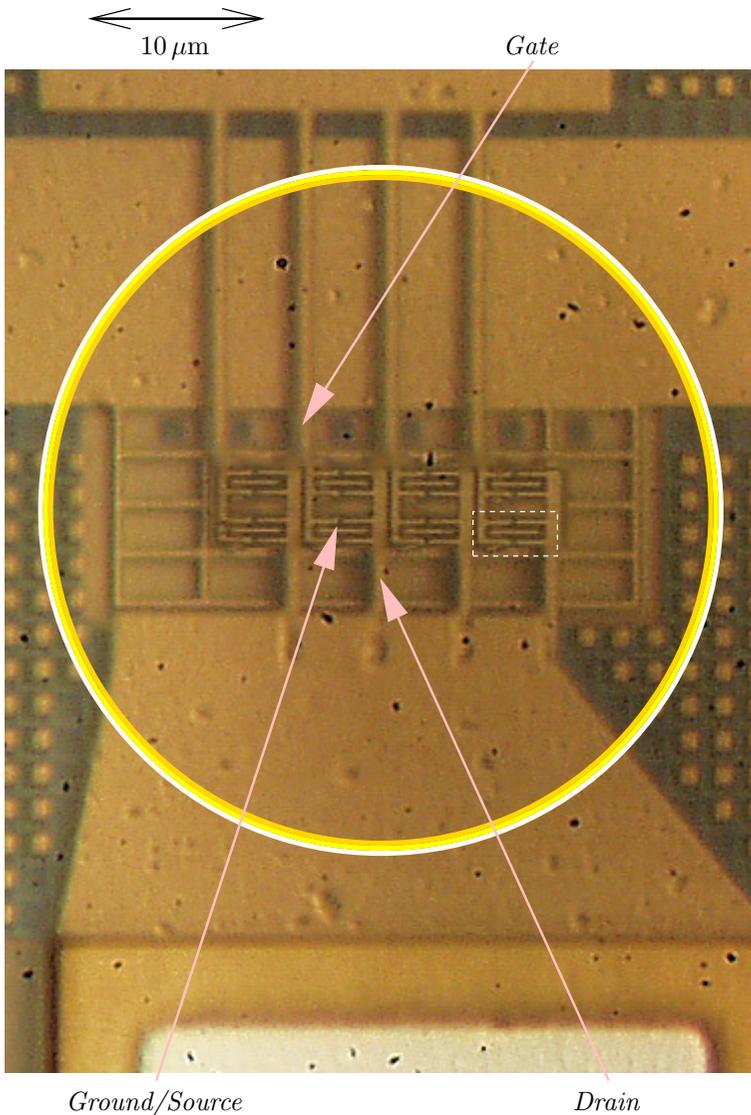


Abbildung 5.3: Photographie eines Hochfrequenztransistors mit acht mal vier Fingern ($W/L = 96\ \mu\text{m}/0,25\ \mu\text{m}$) in 2400-facher Vergrößerung. Der umkreiste Bereich entspricht dem aus Abb. 5.2, der weiß gestrichelte dem Layout-Ausschnitt aus Abb. 5.1.

Meßbereich	
Spannung U_{GS}	0 V, 0,1 V, ... 2,5 V
Spannung U_{DS}	1,5 V, 2,0 V, 2,5 V
Spannung U_{BS}	0 V
Frequenz f	100 MHz, 340 MHz, ... 48,1 GHz

Tabelle 5.2: Übersicht über die Spannungs- und Frequenzmeßbereiche

Als Abschlußwiderstand fungiert der übliche Wert von 50Ω . Dieser ergibt sich als Kompromiß zwischen

- dem maximalen Leistungsvermögen bei 30Ω und
- der minimalen Dämpfung bei 77Ω [55].

5.2 Meßextraktion

Messungen der Kleinsignal-Streuparameter S_{ij} werden zwangsläufig durch parasitäre Elemente wie die Kontaktflächen (*pads*) zum Aufsetzen der Meßnadeln oder die Zuleitungen zum Transistor verfälscht.

Nach der meßgeräteinternen Kalibrierung mittels Widerstands- und Kapazitätsstandards verbleiben die Fehlergrößen des DUT^2 . Um diese nachträglich zu eliminieren, mißt man zusätzlich zum eigentlichen Bauelement offene und kurzgeschlossene Strukturen. Damit werden die Meßergebnisse in einem zweistufigen Verfahren korrigiert.

Die Vorgehensweise in der Korrekturrechnung (*de-embedding*) ist in Abbildung 5.4 illustriert und soll im folgenden kurz erläutert werden [50, 93]:

1. Zunächst werden die Streuparameter in Leitwertparameter umgewandelt (siehe Tabelle A.2 auf Seite 155).

Unter der Annahme, daß die Parasiten der offenen Struktur (*open*) nur aus zum DUT parallelen Elementen bestehen, werden die Leitwerte der offenen Struktur von der kurzgeschlossenen Struktur (*short*) und dem DUT subtrahiert³.

$$\bar{Y}' = \bar{Y}_{DUT} - \bar{Y}_{open} \quad (5.1)$$

$$\bar{Y}'' = \bar{Y}_{short} - \bar{Y}_{open} \quad (5.2)$$

²Device Under Test

³Die Größen \bar{Y} und \bar{Z} stellen die Matrizen der Leitwerte Y_{ij} und Impedanzen Z_{ij} dar.

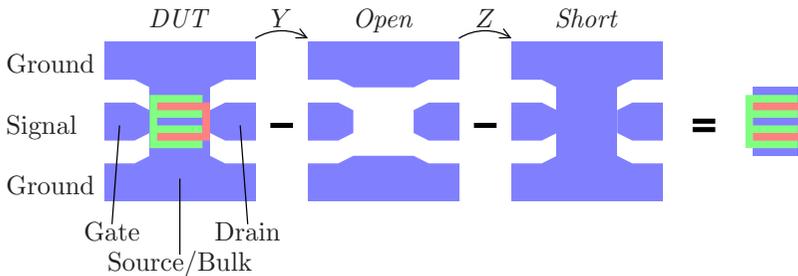


Abbildung 5.4: De-embedding mit *open*- und *short*-Strukturen

2. Unter der Annahme einer reinen Serienschaltung der parasitären Elemente des *short* wird nun die Differenz der Zwischenergebnisse im Impedanzraum (Tabelle A.1, Seite 154) gebildet.

$$\bar{Z} = \bar{Z}' - \bar{Z}'' = \bar{Y}'^{-1} - \bar{Y}''^{-1} \quad (5.3)$$

Mithilfe der Umrechnung nach Tabelle A.3 auf Seite 156 erhält man daraus die korrigierten Streuparameter des Transistors.

5.3 Streuparameter

Die gemessenen Streuparameter eines Transistors mit $W/L = 96/0,25$ bei $U_{DS} = 2,5\text{ V}$ zeigt Abbildung 5.5 im sog. *Smith*-Diagramm (Anhang C).

Neben den fünf verschiedenen Gatespannungen von 0 V bis 5 V sind die angelegten Frequenzen durch Symbole im Abstand von 10 GHz kenntlich gemacht.

Abbildung 5.6 zeigt die gemessenen Transmissions- oder Übertragungsparameter. Für diese wird üblicherweise die Darstellung in Polarkoordinaten gewählt.

Auch hier verläuft der Frequenzmeßbereich von 100 MHz bis 48,1 GHz.

5.4 Admittanzparameter

Die gemessenen Streuparameter lassen sich mithilfe von Tabelle A.2 in Leitwertparameter umwandeln. Die folgenden Abbildungen vergleichen diese für

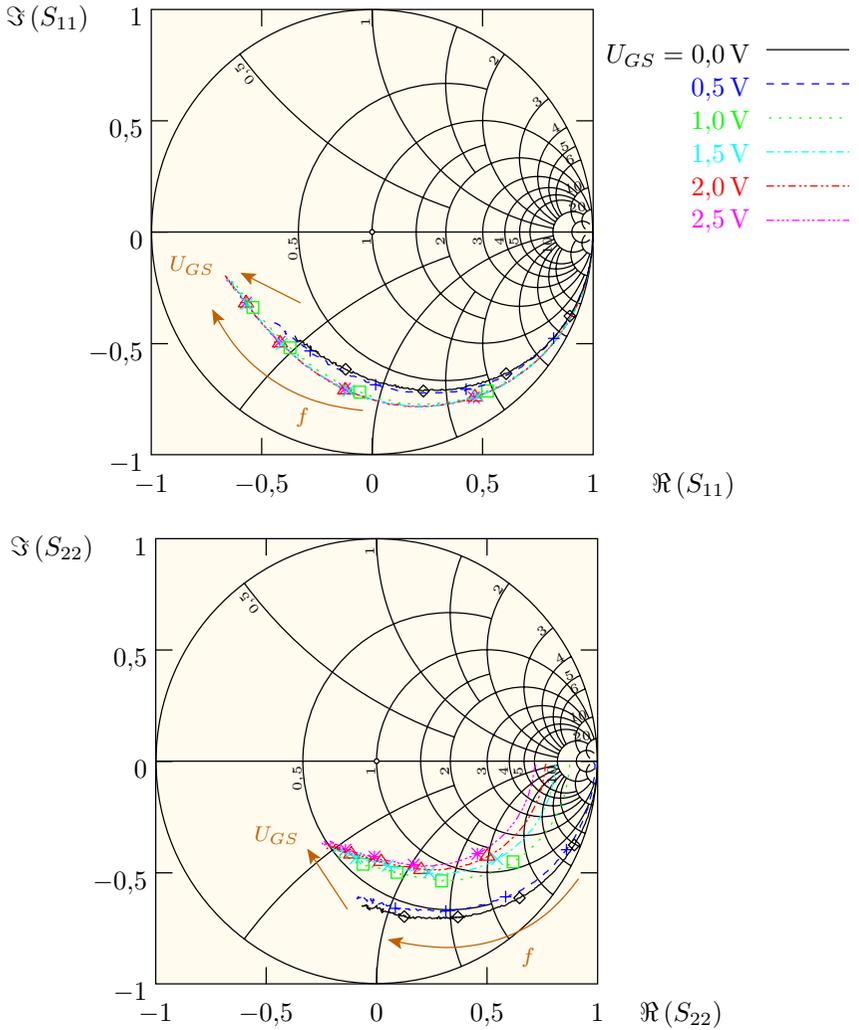


Abbildung 5.5: Gemessene Streuparameter eines Transistors mit $W/L = 96/0,25$ bei $U_{DS} = 2,5\text{ V}$ im Smith-Diagramm
 201 lineare Frequenzschritte von 100 MHz bis 48,1 GHz
 Symbole bei 10, 20, 30, 40 GHz

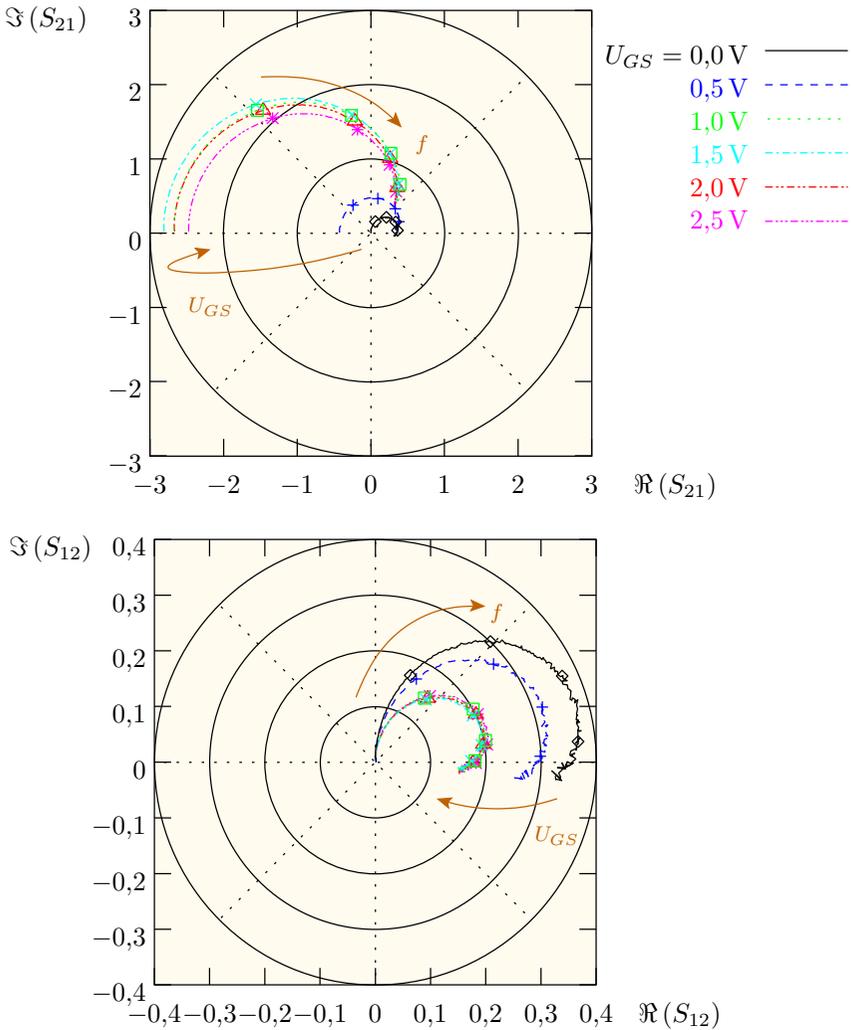


Abbildung 5.6: Gemessene Transmissionsparameter eines Transistors mit $W/L = 96/0,25$ bei $U_{DS} = 2,5$ V im Polardiagramm 201 lineare Frequenzschritte von 100 MHz bis 48,1 GHz Symbole bei 10, 20, 30, 40 GHz

einen typischen Arbeitspunkt hinsichtlich ihres Betrags und ihrer Phase mit dem neu entwickelten Modell und der herkömmlichen BSIM3v3.1-Beschreibung. Zur Simulation wird die in Kapitel 4.3.3 beschriebene Implementierung unter SPECTRETM verwendet.

Abbildung 5.7 gibt dabei das Verhalten unter Gate- und Abbildung 5.8 das unter Drainansteuerung wieder.

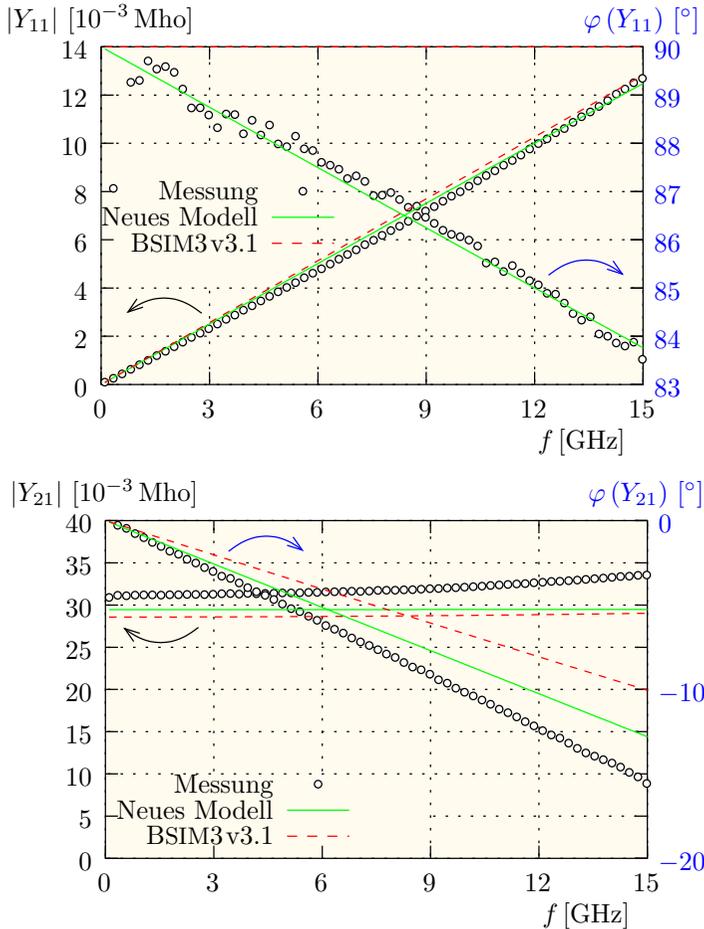


Abbildung 5.7: Frequenzgang eines $W/L=96/0,25$ -Transistors unter Gateansteuerung ($U_{GS}=1,5$ V, $U_{DS}=2,5$ V)

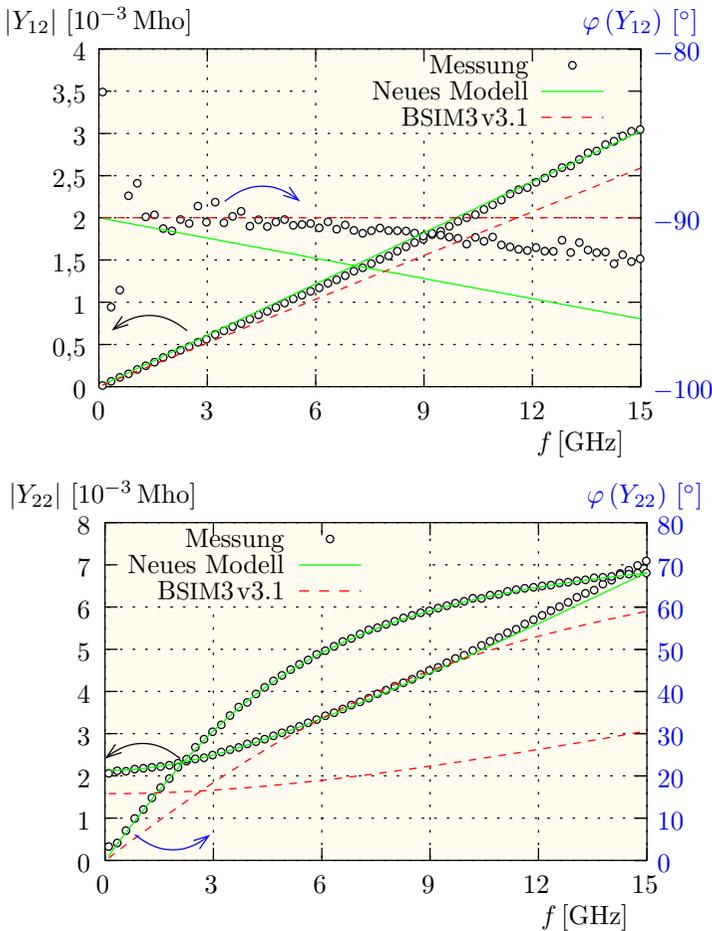


Abbildung 5.8: Frequenzgang eines $W/L = 96/0,25$ -Transistors unter Drainansteuerung ($U_{GS} = 1,5$ V, $U_{DS} = 2,5$ V)

Beide Ansteuerungsmodi lassen sich mithilfe des neuen Modells genauer simulieren.

Insbesondere die für die Berechnung des Eingangswiderstands relevante Y_{11} -Beschreibung wird deutlich verbessert.

5.5 Transitfrequenz

Aus den gemessenen Streuparametern lassen sich zahlreiche wichtige Kenngrößen des Transistors ermitteln.

Eine zentrale Rolle übernimmt dabei die Transitfrequenz, also die Frequenz, bei der die Stromverstärkung Eins ist. Von Schaltungsentwicklern bevorzugt ist dafür ihre vom Arbeitspunkt abhängige Darstellung über dem Drainstrom, wie sie Abbildung 5.9 zeigt.

Für den Transistor mit $W/L = 96 \mu\text{m}/0,25 \mu\text{m}$ ergibt sich ein maximales f_t von 37,6 GHz bei $U_{DS} = 2,5 \text{ V}$ und $U_{GS} = 1,3 \text{ V}$.

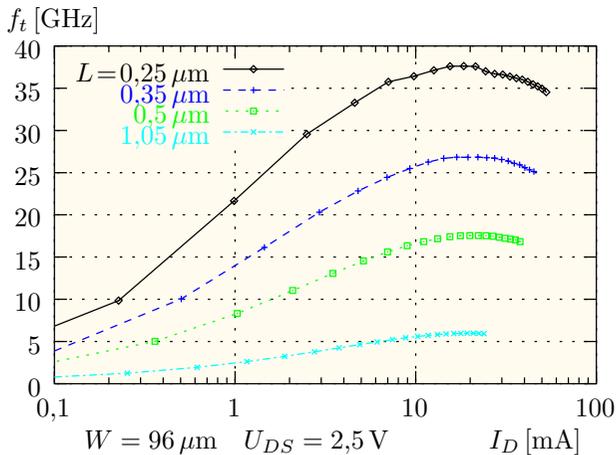


Abbildung 5.9: Transitfrequenz über dem Drainstrom

Die Transitfrequenz nimmt mit steigender Gate-Länge ab, ist aber weitenerunabhängig (Abbildung 5.10)⁴.

5.6 Eingangswiderstand

Abbildung 5.11 stellt den Frequenzgang des extrahierten Eingangswiderstands eines $W/L = 96 \mu\text{m}/0,25 \mu\text{m}$ -Transistors für verschiedene Gatespannungen dar. Im schaltungstechnisch relevanten Bereich oberhalb der Ein-

⁴Die Differenz zum vorhergehenden Bild ergibt sich durch eine unterschiedliche Extraktionstechnik: Hier wird H_{21} auf die hohen Frequenzen extrapoliert.

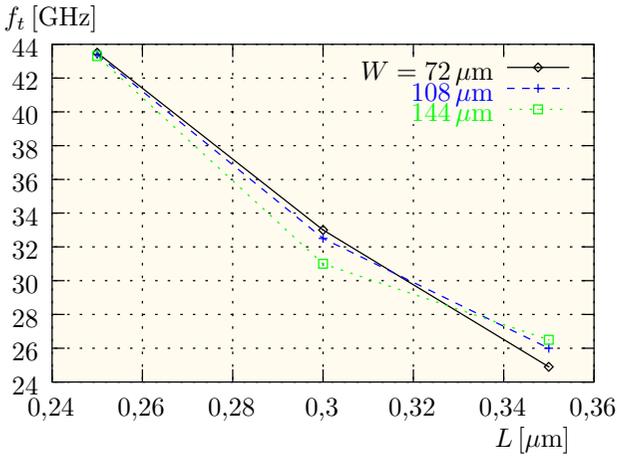


Abbildung 5.10: Geometrieabhängigkeit der Transitfrequenz

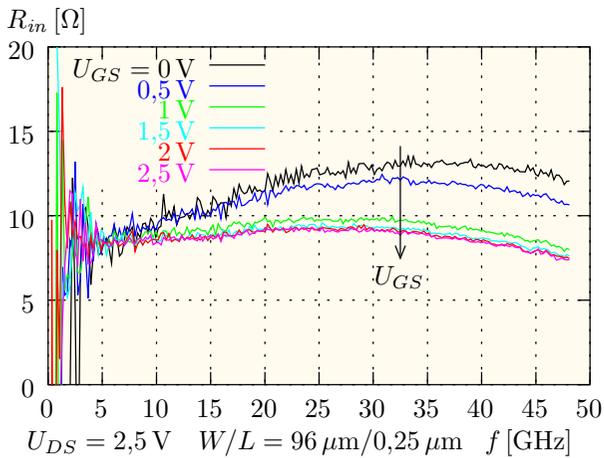


Abbildung 5.11: Eingangswiderstand über der Frequenz für verschiedene Gatespannungen

satzspannung verläuft dieser nahezu frequenzunabhängig. Kritisch ist seine Bewertung für die interessanten Frequenzen bis etwa 6 GHz:

Hier sind die Gateströme vergleichsweise gering, weshalb wegen

$$R_{in} = \Re(1/Y_{11}) = \Re(u_{gs}/i_g) \quad (5.4)$$

kleine Meßfehler große Streuungen verursachen.

Dies ist der Grund, warum bei der Herleitung des Eingangswiderstandsmodells den Ergebnissen des auf die DC-Messungen geeichten MEDICITM der Vorrang eingeräumt wurde. Die Messungen bestätigten die Abnahme von R_{in} bei steigender Gatespannung.

Vergleicht man die gemessenen Eingangswiderstände aus der letzten Abbildung mit den auf die Weite $W = 96 \mu\text{m}$ skalierten Ergebnissen der MEDICITM-Simulation (Abbildung 4.18), so weisen diese etwa um den Faktor drei geringere Werte auf.

Hier zeigt sich die hohe Sensibilität des Eingangswiderstandes auf die durch die Gatekapazität verursachte Imaginärkomponente des Eingangsstromes, was abermals die Notwendigkeit hochgenauer Bauelementesimulationen belegt.

$$R_{in} = \Re(1/Y_{11}) = \frac{\Re(Y_{11})}{\Re^2(Y_{11}) + \Im^2(Y_{11})} \quad (5.5)$$

Tabelle 5.3 vergleicht exemplarisch die für die Berechnung des Eingangswiderstandes relevanten Einzelkomponenten aus den Meß- sowie Simulationsdaten. Obwohl die Realkomponente der Eingangsadmittanz in der Simu-

	Messung	Simulation	Abweichung
$\Re(Y_{11})$	0,14 mA/V	0,050 mA/V	-63 %
$\Im(Y_{11})$	3,8 mA/V	4,1 mA/V	5,8 %
R_{in}	9,1 Ω	3,0 Ω	-67 %

Tabelle 5.3: Vergleich der für den Eingangswiderstand relevanten Einzelkomponenten aus Messung und MEDICITM-Simulation ($W/L = 96/0,25$, $f = 4,9 \text{ GHz}$, $U_{DS} = 2,5 \text{ V}$ und $U_{GS} = 1,5 \text{ V}$)

lation kleiner ist als in der Messung, ist der Eingangswiderstand ebenfalls kleiner. Dieses scheinbar paradoxe Verhalten liegt in der nur sechs-prozentigen Abweichung der Imaginärkomponente begründet.

Abbildung 5.12 demonstriert die gute Wiedergabe des Eingangswiderstands durch das neue Modell. Im Gegensatz hierzu resultiert in der BSIM3v3.1-Beschreibung kein Eingangswiderstand, was analog ist zur frequenzunabhängigen 90 %-Phasenverschiebung von Y_{11} aus Abbildung 5.7.

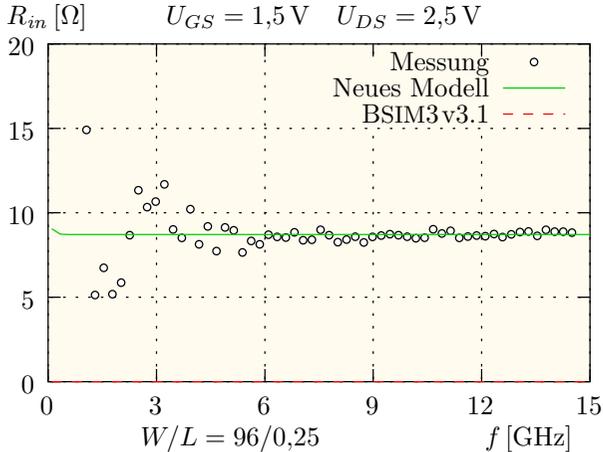


Abbildung 5.12: Vergleich des gemessenen Eingangswiderstands mit dem neuen Modell und BSIM3v3.1

5.7 Ausgangswiderstand

Abbildung 5.13 stellt den Verlauf des Ausgangswiderstands $R_{tot} = U_{DS}/I_{DS}$ von Transistoren verschieden kleiner Länge für typische Spannungen dar.

Der Vergleich mit den Daten der Bauelementesimulation bestätigt deren Genauigkeit.

Der Ausgangswiderstand verläuft linear, aber nicht proportional, zur Transistorlänge.

Durch Extrapolation auf den Wert $2L_{ov}$ erhält man den Widerstandswert bei einer virtuellen Kanallänge Null, welcher nur durch die Parasiten geprägt ist.

Dieser ist zum einen spannungsabhängig, zum anderen nicht vernachlässigbar: Er macht etwa die Hälfte des Widerstandes des $0,5\ \mu\text{m}$ -Transistors aus. Sein exaktes Verhalten wird daher in den nächsten Kapiteln vorgestellt.

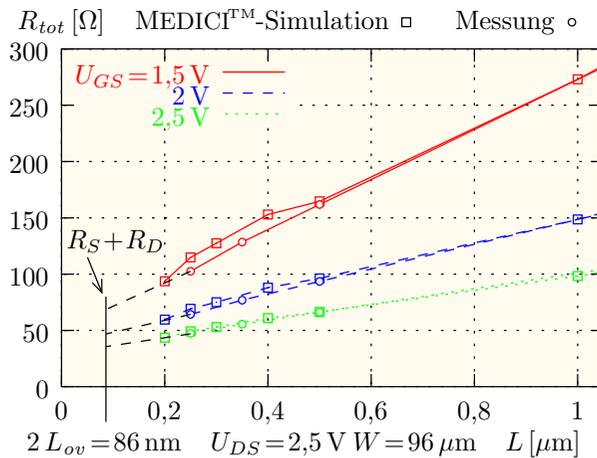


Abbildung 5.13: Ausgangswiderstand für verschiedene Gatelängen

5.8 Drain-Source-Widerstand

Unmittelbare Auswirkungen auf das Kleinsignalverhalten haben die Leitwerte. Diese werden üblicherweise jedoch nicht aus S -Parameter-Messungen gewonnen.

Die folgenden Messungen werden daher an Strukturen durchgeführt, die nicht eigens für Hochfrequenzanwendungen ausgelegt sind⁵. Tabelle 5.4 faßt die Geometrien der Bauelemente zusammen, die für die Messung zur Verfügung stehen. Ein Großteil der Bauelemente wurde zur in Kapitel 3.1.3 erläuterten Parametergewinnung für den Bauelementesimulator verwendet. Die Meßbereiche sind in Tabelle 5.5 aufgelistet.

Abbildung 5.14 vergleicht die nach der ab Seite 88 beschriebenen Methode extrahierten Serienwiderstände sowohl mit dem neu entwickelten Modell als auch mit BSIM3v3.1.

Da sich bei hohen Gatespannungen die größten Ströme ergeben, schlagen dort die Widerstände am stärksten zu Buche.

Dadurch ist der Wert bei $U_{GS} = 2,5 \text{ V}$ ein Fixpunkt in der Parameterbestimmung. Für die lineare Beschreibung aus BSIM3v3.1 verbleibt daher lediglich eine Variation der Geradensteigung durch den Parameter `prwg`. Dieser wird üblicherweise sehr klein gewählt, um den asymptotischen Verlauf der Wider-

⁵Diese werden z.T. mit dem Programm `Utmost` der Firma `SILVACO` extrahiert.

Weite W			Länge L		
1	10 μm	0,2 μm	13	0,24 μm	10 μm
2	0,28 μm	0,25 μm	14	0,28 μm	10 μm
3	0,32 μm	0,25 μm	15	0,32 μm	10 μm
4	0,36 μm	0,25 μm	16	0,36 μm	10 μm
5	10 μm	0,25 μm	17	0,4 μm	10 μm
6	10 μm	0,3 μm	18	0,52 μm	10 μm
7	10 μm	0,4 μm	19	1 μm	10 μm
8	10 μm	0,5 μm	20	2 μm	10 μm
9	10 μm	0,8 μm	21	3,5 μm	0,7 μm
10	10 μm	1 μm	22	5 μm	10 μm
11	10 μm	2 μm	23	10 μm	10 μm
12	10 μm	5 μm	24	50 μm	50 μm

Tabelle 5.4: Übersicht über die gemessenen Transistoren

Spannung	Meßbereich
U_{GS}	0 V, 0,1 V, ... 2,5 V
U_{DS}	0 V, 0,1 V, ... 2,5 V
U_{BS}	0 V, 0,5 V, ... 2,5 V

Tabelle 5.5: Übersicht über die Meßbereiche

stände widerzuspiegeln. Dies kommt einem spannungsunabhängigen Widerstand gleich, weshalb im folgenden die zweite Variante aus Abbildung 5.14, also $R_S = R_D = 210 \Omega$, verwendet wird.

Als Folge davon ergeben sich viel zu geringe Werte im niedrigen Spannungsbereich, während das neue Modell die Widerstandswerte sehr genau trifft.

5.9 Kennlinienverhalten

Die verbesserte Widerstandsmodellierung hat unmittelbare Auswirkungen auf das Kennlinienverhalten des Transistors.

In der Eingangskarakteristik aus Abbildung 5.15 treffen beide Modelle die Messung sowohl bei sehr großen Strömen, auf welche die Parameter ange-

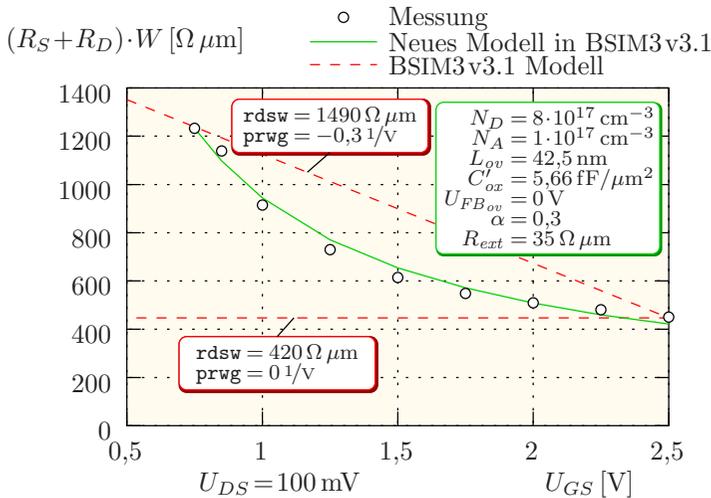


Abbildung 5.14: Vergleich der gemessenen und modellierten Serienwiderstände ($W/L = 10 \mu\text{m}/0,25 \mu\text{m}$)

paßt sind, als auch bei sehr kleinen Strömen. Dort findet kein nennenswerter Spannungsabfall über die Widerstände statt.

Die Diskrepanz zeigt sich jedoch im Bereich dazwischen: BSIM3v3.1 simuliert hier aufgrund der zu geringen Widerstände einen zu großen Strom.

Dieselben Abweichungen zeigen sich in der Ausgangscharakteristik (Abbildung 5.16).

Dabei sei nochmal betont, daß bei der Parameterextraktion besonderes Gewicht auf die genaue Wiedergabe der *Stromergiebigkeit* gelegt wird. Dies ist der maximale Drainstrom des Transistors, der in der verwendeten Technologie bei $U_{DS} = U_{GS} = 2,5 \text{ V}$ erreicht wird. Als Folge dieser Priorisierung muß man in BSIM3v3.1 für die unteren Gatespannungen Einschränkungen hinnehmen.

Verhältnis der Widerstandskomponenten

Aus den Kennlinien des letzten Abschnitts lassen sich alle relevanten Widerstandskomponenten des Transistors ermitteln. Diese sollen an dieser Stelle anhand des Widerstandsbereichs weitenunabhängig gegenübergestellt werden. Für $U_{DS} = 0,1 \text{ V}$ und $U_{GS} = 2,5 \text{ V}$ kann man aus Abbildung 5.14 auf

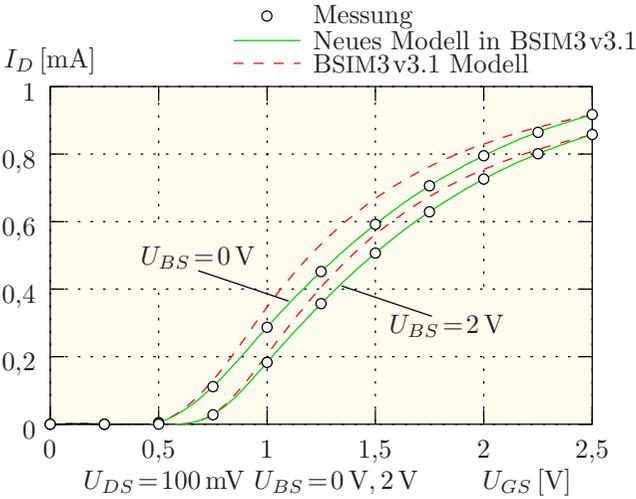


Abbildung 5.15: Vergleich der gemessenen und modellierten Transfercharakteristik ($W/L = 10 \mu\text{m}/0,25 \mu\text{m}$)

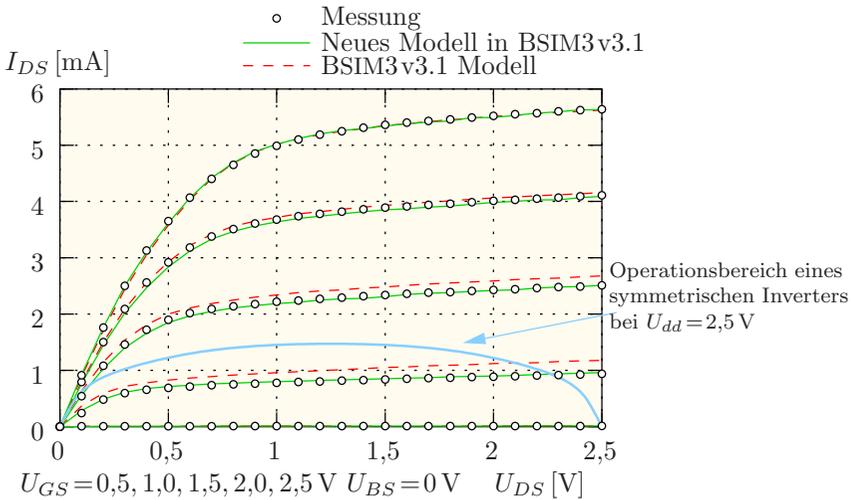


Abbildung 5.16: Vergleich der gemessenen und modellierten Ausgangscharakteristik ($W/L = 10 \mu\text{m}/0,25 \mu\text{m}$)

Seite 125 die Größe der parasitären Widerstände ablesen:

$$(R_S + R_D) \cdot W \approx 420 \Omega \mu\text{m} \quad (5.6)$$

Der Gesamtwiderstand des Transistors ergibt sich aus der Kennlinie der darauf folgenden Abbildung 5.15 zu

$$R_{tot} \cdot W = \frac{U_{DS}}{I_{DS}} \cdot W \approx \frac{0,1 \text{ V}}{0,9 \text{ mA}} \cdot 10 \mu\text{m} \approx 1100 \Omega \mu\text{m}, \quad (5.7)$$

woraus sich der Kanalwiderstand berechnen läßt:

$$R_{ch} \cdot W = (R_{tot} - R_S - R_D) \cdot W = 680 \Omega \mu\text{m} \quad (5.8)$$

Der äußere Transistor trägt also mit etwa 38 % entscheidend zum Gesamtwiderstand des Transistors bei.⁶

5.10 Gatesteilheit und Verstärkung

Während BSIM3v3.1 acht Parameter zur Beschreibung des Ausgangsleitwertes g_0 anbietet, ist die Gatesteilheit g_m bedeutend schwieriger anzupassen. Abbildung 5.17 verdeutlicht dies anhand der zwei, schon in Abbildung 5.14 verwendeten, Parametersätze.

Außerdem belegt die Darstellung die richtige Wahl des BSIM3v3.1-Parametersatzes im vorigen Abschnitt: Wird der Gatespannungsparameter zu groß gewählt, hat dies einen unphysikalischen Anstieg von g_m ab $U_{GS} = 1,5 \text{ V}$ zur Folge.

Auch hier zeigt sich der Gewinn durch das neue Widerstandsmodell.

Unmittelbare Folgen hat die mangelhafte Anpaßbarkeit der Gatesteilheit auf eine weitere in der Analogwelt bedeutende Größe, die Verstärkung:

$$a = \frac{g_m}{g_0} \quad (5.9)$$

Abbildung 5.18 zeigt dies für einige typische analoge Arbeitspunkte bei $U_{DS} = U_{dd}/2 = 1,25 \text{ V}$.

⁶Für $U_{DS} = 0,1 \text{ V}$ und $U_{GS} = 1,0 \text{ V}$ ergibt sich ein Verhältnis von 27 %.

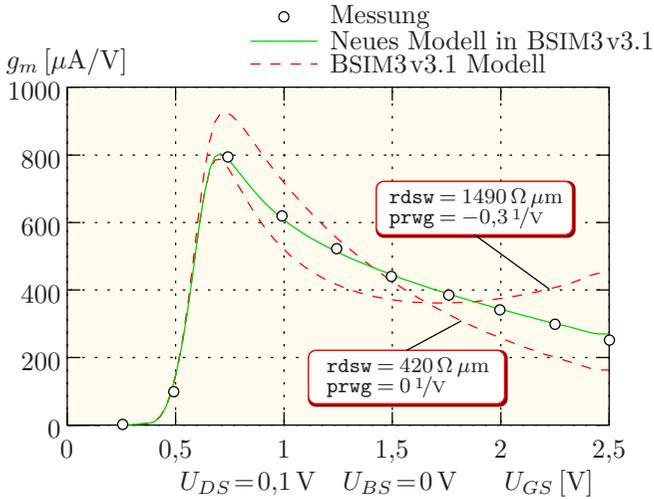


Abbildung 5.17: Vergleich der gemessenen und modellierten Transkonduktanz g_m

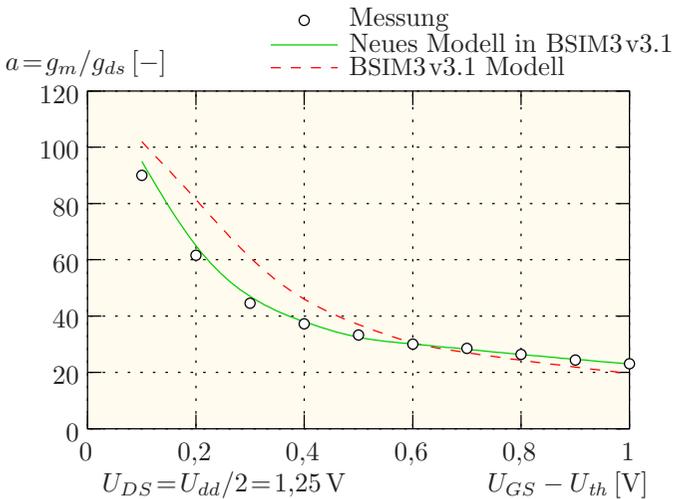


Abbildung 5.18: Vergleich des gemessenen und modellierten Verstärkungsfaktors $a = g_m/g_{ds}$

5.11 Oszillatormessungen

Nicht nur für analoge Schaltungsanwendungen, sondern auch im Digitalbereich zeigen sich die Auswirkungen des neuen Modells.

Daher wurde ein Ringoszillator mit 17 Inverterstufen in CMOS-Technologie entworfen. Abbildung 5.19 zeigt dessen prinzipiellen Aufbau.

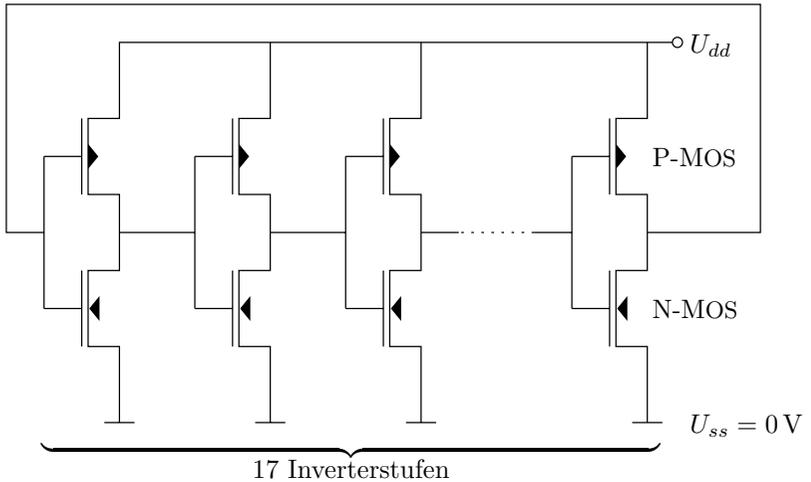


Abbildung 5.19: Schaltbild eines 17-stufigen Ringoszillators in CMOS-Technologie

Aus der gemessenen Frequenz des 17-stufigen Ringoszillators von 535 MHz bei einer Versorgungsspannung von $U_{dd} = 2,5 \text{ V}$ läßt sich die Verzögerungszeit τ_d ermitteln:

$$\tau_d = \frac{1}{17 \cdot 2 \cdot 535 \text{ MHz}} = 55 \text{ ps} \quad (5.10)$$

Die Verzögerungszeit entspricht dabei der Definition, die bereits in Abbildung 6.3 auf Seite 135 verwendet wurde. Der Faktor Zwei rührt daher, daß der Inverter während einer Schwingung einmal aufgeladen und einmal entladen wird.

In Abbildung 5.16 war bereits der typische Operationsbereich eines symmetrischen Inverters bei $U_{dd} = 2,5 \text{ V}$ vermerkt. Der N- und der P-Kanäler teilen sich, abhängig von der Gatespannung, die Versorgungsspannung auf. Lediglich beim Umladen fließt ein Querstrom I_{DS} . Das heißt aber, daß der Ar-

beitspunkt *maximale Gatespannung/maximale Drainspannung*, für den die BSIM3v3.1-Parameter optimiert werden, *nie* erreicht wird.

Abbildung 5.20 vergleicht den Fehler in der simulierten Verzögerungszeit unter Berücksichtigung aller parasitären Elemente wie z.B. den Zuleitungen.

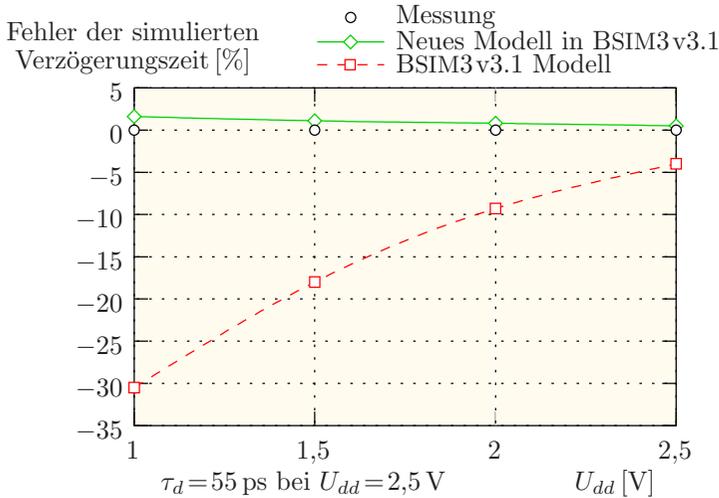


Abbildung 5.20: Vergleich der gemessenen und simulierten CMOS-Inverter-Verzögerungszeit bei verschiedenen Versorgungsspannungen in Abhängigkeit vom verwendeten Widerstandsmodell

Mit dem neuen spannungsabhängigen Modell läßt sich eine gute Übereinstimmung mit den Meßdaten für alle Versorgungsspannungen feststellen, während mit dem originalen BSIM3v3.1 lediglich die maximale Versorgungsspannung $U_{dd} = 2,5 \text{ V}$ ausreichend wiedergegeben wird. Für geringere Spannungen beläuft sich der Fehler bis auf 30 %.

Dies belegt, daß das neue Modell insbesondere für Schaltungen mit niedriger Versorgungsspannung (*low voltage/low power applications*) unumgänglich ist.

6 Grenzen der quasistatischen Modellierung

Überlegungen zur Nichtquasistatik von Bauelementen erstrecken sich bisher lediglich auf transiente Spannungsänderungen. Erstmals soll daher der Versuch unternommen werden, die Problemstellung auf AC-Betrachtungen auszuweiten. In diesem Kapitel wird der Frage nachgegangen, ab wann nicht-quasistatische CMOS-HF-Modelle benötigt werden. Es werden Kriterien für das Einsetzen der NQS-Effekte aus zeitlich transienten Bauelementesimulationen und S-Parameter-Messungen hergeleitet.

6.1 Grundannahme der gängigen Transistormodelle

Die meisten Transistormodelle gehen in ihrer Beschreibung von der *quasistatischen Näherung* aus: Sie besagt, daß zu jedem Zeitpunkt die Ladungsverteilung im Bauelement durch dessen statische DC-Lösung ohne größere Fehler beschrieben werden kann.

Quasistatische Annahme:¹

Ein Bauelement verhält sich so lange quasistatisch, wie die Terminalspannungen langsam genug verändert werden, damit die Ladungen an jedem Ort im Bauelement „sofort“ folgen können. Dann können diese Ladungen identisch zu denen angenommen werden, die man fände, würde man stattdessen Gleichspannungen verwenden [84].

¹Die mathematische Formulierung der quasistatischen Annahme wird auf Seite 147 wiedergegeben.

Dies kann in der Weise interpretiert werden, daß das NQS-Verhalten beginnt, sobald die Trägheit der Ladungsträger nicht mehr vernachlässigt werden kann. Denn streng mathematisch betrachtet verhält sich schon jedes beliebig dimensionierte RC -Glied — und somit erst recht der Transistor — wegen

$$\tau = R \cdot C \quad (6.1)$$

nichtquasistatisch. Die Frage ist also, ob obige Zeitkonstante in dieselbe Größenordnung wie die reziproken, für die AC-Analyse verwendeten, Frequenzen fällt. In jedem realen Bauelement geschehen Ladungs- und Stromänderungen nicht sprunghaft. Vielmehr wird eine gewisse Zeit benötigt, bis sich durch Drift und Diffusion eine neue Ladungsverteilung einstellt.

Verzögerung der Ladungsträger

Vollzieht sich die Neuordnung der Ladungsverteilung schneller als die üblicherweise betrachteten Zeitskalen, so kann man die Laufzeiteffekte des Transistors vernachlässigen und selbigen quasistatisch mit ausreichender Genauigkeit beschreiben. Bei großen Transistorlängen oder hohen Frequenzen ist dies jedoch nicht immer gewährleistet, wie Abbildung 6.1 anhand eines $0,25 \mu\text{m}$ -Transistors für verschiedene Frequenzen zeigt.

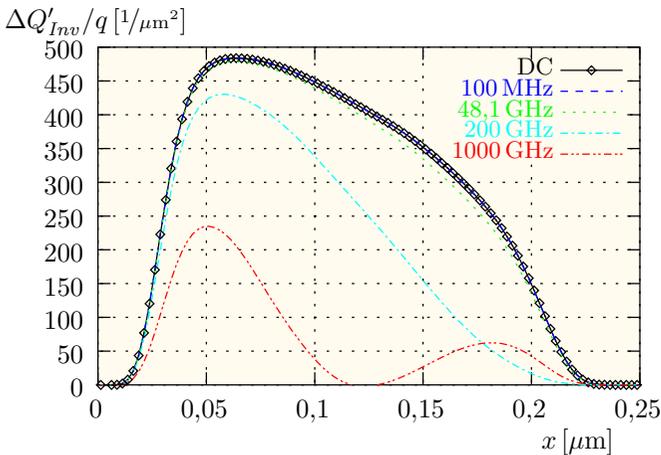


Abbildung 6.1: Partielles Fluten des Kanals mit Elektronen bei extrem hohen Frequenzen (Darstellung auf die Elementarladung q normiert)

Hier wird jeweils zum Zeitpunkt des Spannungsmaximums, also für eine angelegte Sinusspannung nach einer Viertelperiode zu $t = \frac{1}{4f}$, die lokale Ladungsdichte im Kanal $Q'(x)$ aufgetragen. Für kleine Frequenzen wird der Kanal vergleichbar seinem statischen DC-Verhalten aufgefüllt:

$$Q'(x, t)_{AC} \approx Q'(x)_{DC} \quad (6.2)$$

Bei höheren Frequenzen erkennt man hingegen das verzögerte Hineinfließen der Ladung von Source und Drain. Offensichtlich erfahren Bereiche im Inneren trotz Spannungsänderung keine Ladungsänderungen. Der elektrisch wirksame Kanal erscheint dadurch verkürzt.

6.2 Transitzeit

Eine erste Abschätzung für den Beginn nichtquasistatischer Effekte erhält man aus der Betrachtung der Transitzeit τ_{tr} : Dies ist diejenige Zeit, die die Ladungsträger durchschnittlich zum Durchlaufen des Kanals benötigen. Liegt sie in der Größenordnung der verwendeten Transienten, so sind zeitliche Veränderungen zu berücksichtigen und mithin eine quasistatische Annahme nicht mehr statthaft.

Die Transitzeit läßt sich grob aus der durchlaufenen Strecke L und der Sättigungsgeschwindigkeit v_{sat} der Ladungsträger abschätzen. Letztere ist die maximal für die Elektronen erreichbare Geschwindigkeit bei Beschleunigung in hohen lateralen Feldern, d.h. bei großen Spannungen oder kleinen Längen. Für einen Ein-Mikron-Transistor erhält man:

$$\tau_{tr} = \frac{L}{v_{sat}} \approx \frac{1 \mu\text{m}}{10^7 \text{ cm/s}} \approx 10 \text{ ps} = \frac{1}{100 \text{ GHz}} \quad (6.3)$$

Ein genauerer Näherungswert kann erzielt werden, indem man die Zahl der Ladungsträger im Kanal $|Q_{Inv}/q|$ mit dem Drain-Source-Strom I_{DS} dividiert. Man erhält so die mittlere Aufenthaltsdauer der Elektronen im Kanal. In Sättigung ($U_{DS} > U_{GS} - U_{th}$) ist der Drain-Source-Strom I_D näherungsweise unabhängig von der Drain-Source-Spannung U_{DS} und wird lediglich von der Gate-Source-Spannung U_{GS} sowie der Einsatzspannung U_{th} bestimmt — es läßt sich hierfür ansetzen:

$$\begin{aligned} \tau_{tr} &= \left| \frac{Q_{Inv}}{I_{DS}} \right| = \frac{2/3 C'_{ox} W L (U_{GS} - U_{th})}{1/2 \mu C'_{ox} W / L (U_{GS} - U_{th})^2} = \frac{4}{3} \frac{L^2}{\mu (U_{GS} - U_{th})} \quad (6.4) \\ &= \frac{4}{3} \frac{1 \mu\text{m}^2}{550 \frac{\text{cm}^2}{\text{Vs}} (1,5 \text{ V} - 0,5 \text{ V})} \approx 24 \text{ ps} = \frac{1}{41 \text{ GHz}} \end{aligned}$$

Dabei ist zu beachten, daß die Kanalladung in Sättigung aufgrund der Kanalabschnürung auf $2/3$ ihres Wertes im Triodenbereich reduziert ist. Die Größe μ steht dabei für die Elektronenbeweglichkeit, C'_{ox} für die flächenbezogene Oxidkapazität.

Besondere Beachtung verdient hierbei die Feststellung, daß τ_{tr} — im Gegensatz zu Gleichung (6.3) — quadratisch mit der Gatelänge L zunimmt. Dies ist folgendermaßen zu erklären: Einerseits verlängert sich mit L die zurückzulegende Wegstrecke, andererseits verringert sich dadurch bei gleicher Spannung das elektrische Feld zur Beschleunigung der Elektronen. Für die Näherung mithilfe der Geschwindigkeitssättigung skaliert τ_{tr} hingegen nur noch mit der Weglänge L . In beiden Abschätzungen hängt die Transitzeit nicht von der Transistorweite W und der Oxidkapazität C_{ox} ab.

Abbildung 6.2 zeigt die mit L^2 normierte Zeit, um die der Kanal verzögert aufgebaut wird.

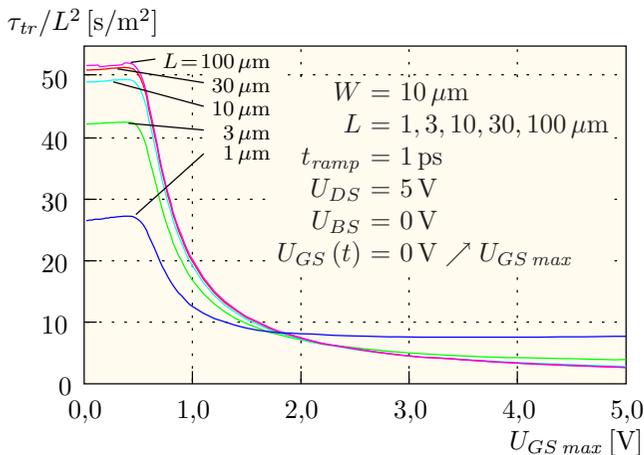


Abbildung 6.2: Normierte Verzögerungszeit für verschiedene Transistorlängen (Simulation mit einem NQS-Modell)

Sie wird dem Schema in Abbildung 6.3 entsprechend extrahiert. Die Daten stammen aus einer Simulation mit einem transienten NQS-Modell [64]. Der hyperbolische Verlauf über der Spannung entspricht Gleichung (6.4). Man kann erkennen, daß für Transistorlängen unter $3 \mu\text{m}$ die Geschwindigkeitssättigung, und somit die Skalierung mit L , dominant wird.

Festzuhalten ist weiterhin, daß die aus den Gleichungen (6.3) und (6.4) er-

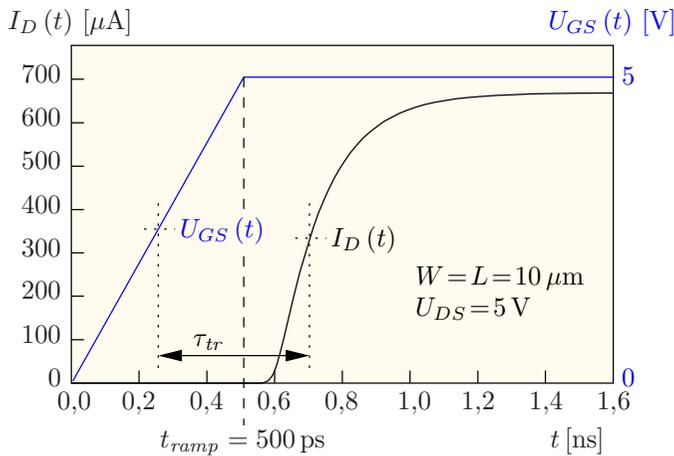


Abbildung 6.3: Definition der Kanalaufbauzeit aus dem Anstieg des Drainstroms auf 50 % seines Endwerts (NQS-Simulation)

mittelten Zahlenwerte oberhalb der gebräuchlichen Frequenzen liegen. Dies läßt zunächst vermuten, daß NQS für die AC-Analyse keine Bedeutung hat.

6.3 Verhalten der Inversionsschicht

Ein oft erwähntes Problem in der Kleinsignal-Modellierung scheinen nicht-quasistatische Phänomene zu sein. Im Gegensatz zu [1, 43, 6] wird in diesem Abschnitt jedoch gezeigt, daß ihr Einfluß unter Kleinsignal-Bedingungen häufig überschätzt wird.

Das Ziel dieses Kapitels ist es, den Übergang zwischen den quasistatischen und nichtquasistatischen Effekten in Abhängigkeit von der verwendeten Frequenz, der Kanallänge sowie der angewandten Spannung festzustellen. Die angelegte Spannung und deren AC-Amplitude stellen sich als von untergeordneter Wichtigkeit heraus. So wird es möglich, eine theoretische Grenze abzuschätzen, bis zu der quasistatische MOSFET-Modelle angemessen sind. Abbildung 6.4 faßt die Vorgehensweise in einem Flußdiagramm zusammen.

Dem Kleinsignalbild entsprechend heben die hiesigen Betrachtungen auf kleine Veränderungen der Inversionsschichtladung $\Delta Q_{Inv}(t) = q_{inv}(t)$ des Transistors (Abb. 6.5) ab.

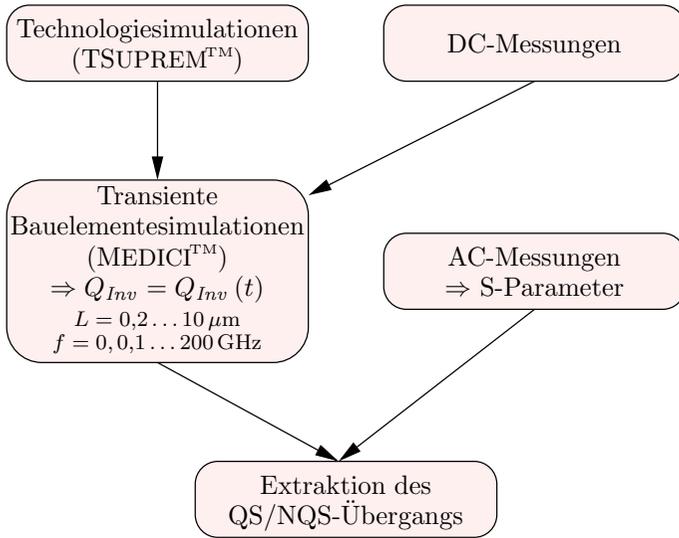


Abbildung 6.4: Flußdiagramm der Untersuchungen zur Nichtquasistatik

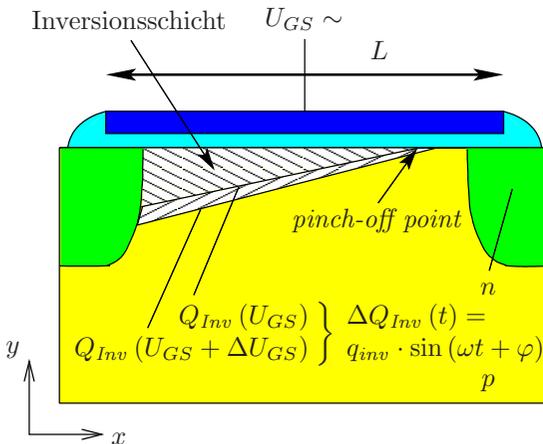


Abbildung 6.5: Schema der Inversionsschichtladung entlang des Kanals zu verschiedenen Gatespannungen

Da der Drainstrom über den gesamten Kanal hinweg denselben Wert besitzt, die Geschwindigkeit der beschleunigten Ladungsträger jedoch zur Drainseite hin zunimmt, muß die Ladungsträgerdichte — zur Erfüllung der Kontinuitätsgleichung — gleichzeitig abnehmen:

$$j = qnv \quad (6.5)$$

Sie nimmt, entsprechend der Geschwindigkeitssättigung, am sog. Abschnürpunkt (*pinch-off point*) ihr Minimum an.

Die Extraktion der Ladungsträgerdichte erweist sich dabei — insbesondere für die transienten Simulationen — als besondere Herausforderung: Um wirklich nur die Ladungsträger der Inversionsschicht zu extrahieren, darf nur in den Gebieten über die Dichte vertikal integriert werden, in denen die Elektronen Minoritätsträger sind.²

$$Q'_{Inv}(x, t) = \frac{1}{W} \cdot \frac{dQ_{Inv}(x, t)}{dx} = \int_0^\infty \varrho(x, y, t) \Theta(p - n) dy \quad (6.6)$$

Anderenfalls wird das Ergebnis durch die große Elektronendichte in den Überlappgebieten stark verfälscht.

Für die Simulation mit MEDICITM unter Gleichstrombedingungen werden $U_{DS} = 2,5 \text{ V}$ und $U_{GS} = (1,5 \pm 0,01) \text{ V}$ als Spannungen verwendet. Wenn man nun mit einer zeitlich transienten Gatespannung

$$U_{GS}(t) = 1,5 \text{ V} + 0,01 \text{ V} \cdot \sin(\omega t) \quad (6.7)$$

eine Kleinsignalspannung nachbildet, erwartet man, daß die gesamte Inversionsladung

$$\begin{aligned} Q_{Inv}(t) &= W \int_0^L Q'_{Inv}(x, t) dx = W \int_0^L \int_0^\infty \varrho(x, y, t) \Theta(p - n) dy dx \\ &= Q_{Inv} + q_{inv} \cdot \sin(\omega t + \varphi) \end{aligned} \quad (6.8)$$

sinusförmig zwischen seinen Gleichstromwerten hin- und herschwankt, also zwischen $Q_{Inv}(1,5 \text{ V} \pm 0,01 \text{ V}) = Q_{Inv}(1,5 \text{ V}) \pm q_{inv}(f \rightarrow 0)$.

6.3.2 Frequenzabhängigkeit

Die transiente Antwort der Inversionsschichtladung $Q_{Inv}(t)$ auf die angelegte Gatespannung ist in Abbildung 6.7 gezeigt. Für die Darstellung werden die Werte frequenznormiert, was das Bogenmaß als Einheit zur Folge hat.

²Zur Definition der Theta-Funktion $\Theta(x)$ siehe Anhang D.2.

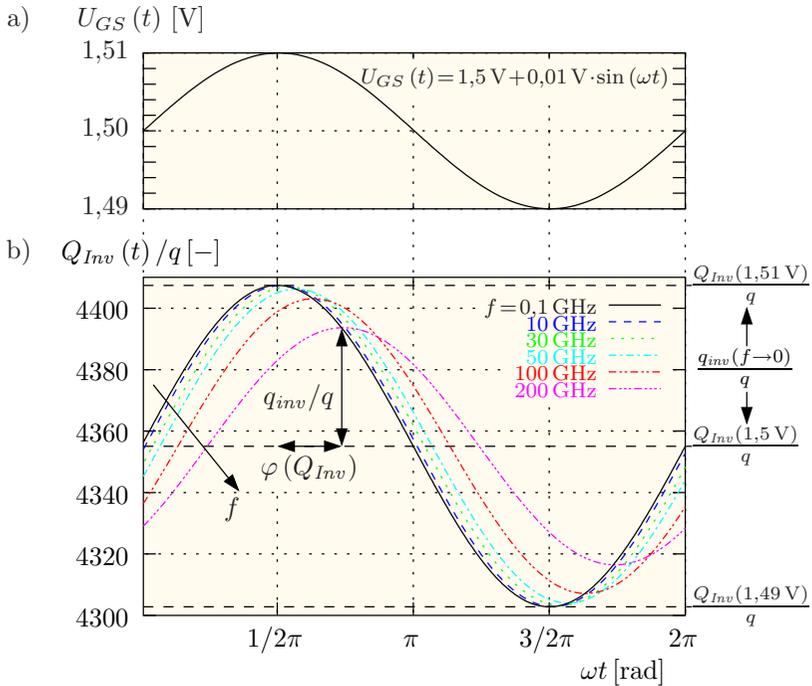


Abbildung 6.7: Zeitliches Verhalten der Inversionsschicht:

a) Angelegte Gatespannung über der Zeit ($U_{DS} = 2,5 \text{ V}$) für die Transienten-Analyse mit 256 Zeitschritten pro Periode

b) Inversionsschichtladung eines MOSFETs mit $W/L = 1/0,25 \mu\text{m}$:

Die Amplitude und Phase variieren entsprechend der angelegten Gatespannung für verschiedene Frequenzen.

Die Amplitude q_{inv} der Inversionsschichtladung verringert sich mit höheren Frequenzen, ihre Phasenverschiebung φ nimmt zu. Besonderes Augenmerk verdient die Beobachtung, daß die Kanalladung eines $0,25 \mu\text{m}$ MOSFETs nur um ungefähr 60 Ladungsträger pro μm Weite variiert, wenn man die Gatespannung um übliche 10 mV verändert. Daher sind äußerst exakte Simulationen vonnöten.

Da MEDICITM im transienten Simulationsmodus nur lineare Spannungsveränderungen zuläßt ($dU/dt = \text{const}$), muß der Spannungsverlauf diskretisiert werden: Um eine möglichst glatte Sinuswelle zu erzielen, werden 256 Zeit-

schritte pro Periode für jede einzelne Frequenz und Gatelänge benötigt!

Aus den höchst umfangreichen Simulationsergebnissen werden die entsprechenden Kleinsignalgrößen durch Anpassung entsprechender Sinusfunktionen mithilfe des Programms `gnuplot`³ ermittelt. Als besonders sensibel erweist sich dabei die Extraktion des Phasengangs.

Die Nichtlinearitäten des Bauelements aus Abbildung 6.7 werden mit dieser Vorgehensweise ebenfalls erfaßt.

Die charakteristischen Werte (q_{inv} , φ) in Abhängigkeit von der Frequenz f und der Gatelänge L können in den folgenden Abbildungen gesehen werden: Die Amplitude q_{inv} der Inversionsschichtladung (Abb. 6.8 und 6.9) verharnt nahezu konstant bis zu einer gewissen Frequenzgrenze und fällt dann aufgrund der Trägheit der Ladungsträger steil ab, während die Phasenverschiebung φ (Abb. 6.10) linear mit der Frequenz variiert. Für eine spezielle

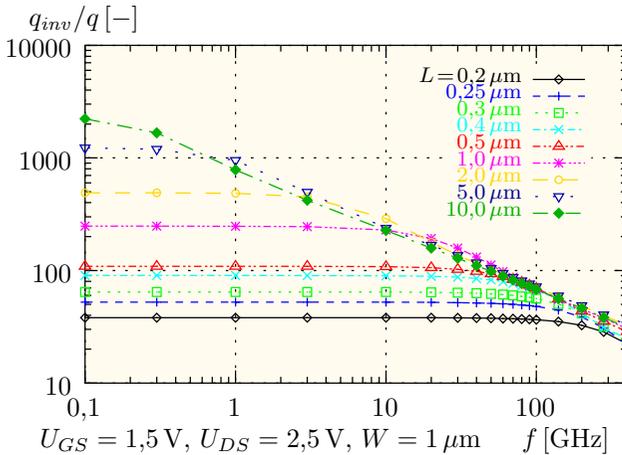


Abbildung 6.8: Auf die Elementarladung normierte Amplitude der Inversionsschichtladung vs. angelegte Frequenz für verschiedene Gatelängen

Gatelänge wäre eine Normierung q_{inv}/q ausreichend und würde zu demselben charakteristischen Verlauf führen. Um jedoch verschiedene Gatelängen miteinander vergleichen zu können, wird auf die jeweilige DC-Ladungsvariation $\Delta Q_{Inv} = q_{inv}(f \rightarrow 0)$ normiert.

³Das Programm `gnuplot` (Linux version 3.7 patchlevel 1) wurde um einen speziellen Treiber erweitert und in Verbindung mit dem Programm `Xfig` (3.2 patchlevel 3c) zur Erstellung der Grafiken dieser Arbeit verwendet.

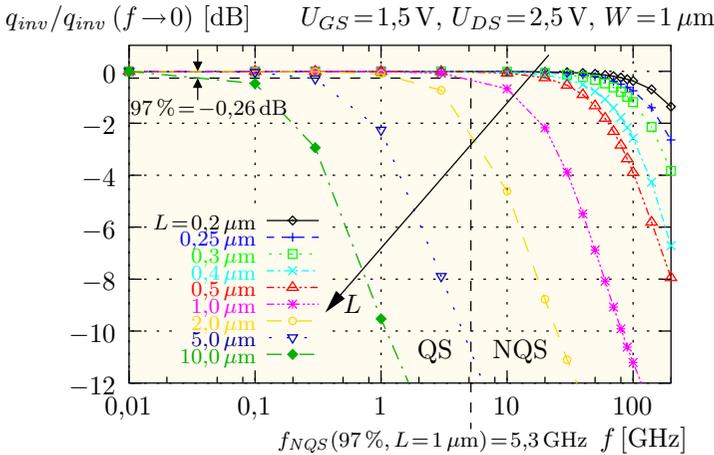


Abbildung 6.9: Auf ihren DC-Wert normierte Amplitude der Inversionsschichtladung vs. Frequenz in logarithmischer Darstellung für verschiedene Gateslängen

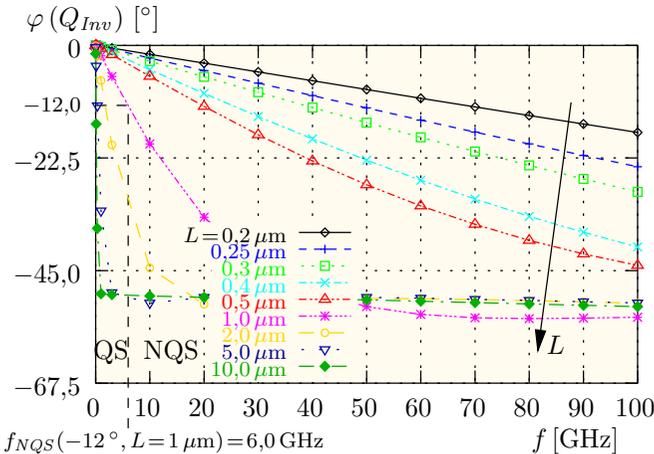


Abbildung 6.10: Phasenverschiebung der Inversionsschichtladung zur Gatespannung vs. angelegte Frequenz für verschiedene Gateslängen

6.3.3 Längenabhängigkeit

Neben der Frequenz ist die Geometrie ein zweiter sensibler Parameter für das NQS-Verhalten (Abbildung 6.11).

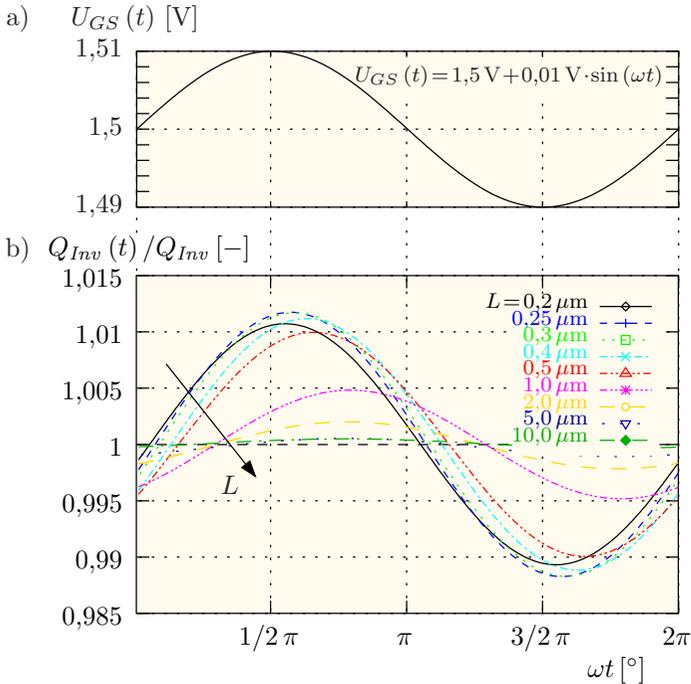


Abbildung 6.11: Zeitliches Verhalten der Inversionsschicht:

a) Angelegte Gatespannung über der Zeit ($U_{DS} = 2,5 \text{ V}$) für die Transienten-Analyse mit 256 Zeitschritten pro Periode

b) Inversionsschichtladung von MOSFETs verschiedener Gatelängen bei $f = 50 \text{ GHz}$: Die Amplitude und Phase variieren entsprechend der angelegten Gatespannung.

Während, wie in Abbildung 6.2 gezeigt, die DC-Transitzeit τ_{tr} mit L^2 ansteigt, ist die AC-Kanal-Verzögerung nur geringfügig von der Gatelänge abhängig (Abbildung 6.12 und 6.13).

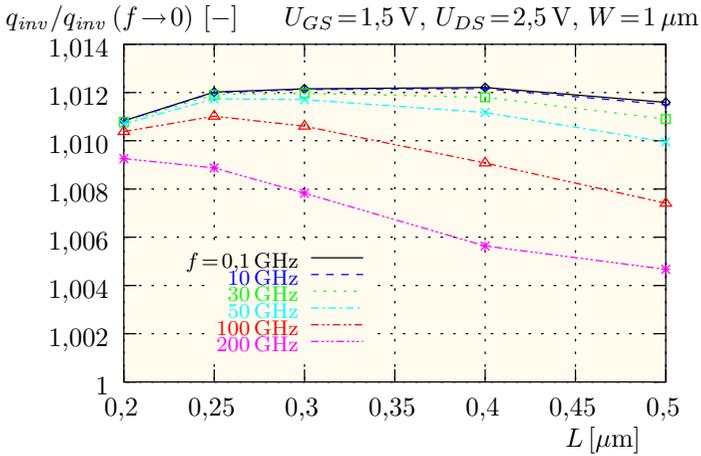


Abbildung 6.12: Auf ihren DC-Wert normierte Variation der Inversionsschichtladung für verschiedene Gatelängen

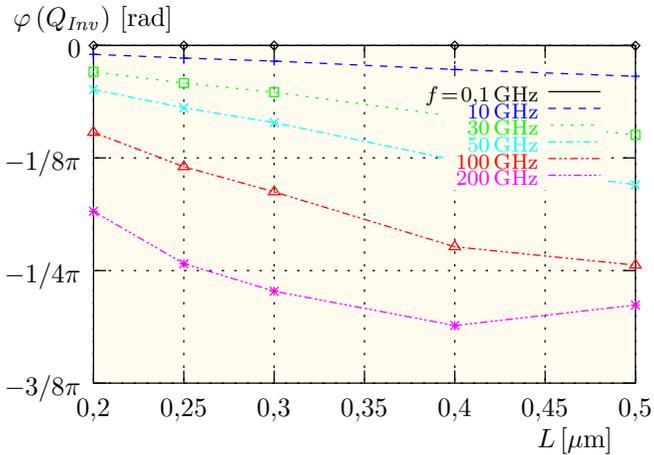


Abbildung 6.13: Phase der Inversionsschichtladung für verschiedene Gatelängen

6.4 Grenzfrequenz

Aus den Abbildungen 6.9 und 6.10 kann man eine Grenzfrequenz f_{NQS} der Nichtquasistatik extrahieren, welche die erforderliche Genauigkeit garantiert. Das Ergebnis ist in den Abbildungen 6.14 und 6.15 dargestellt.

Die Abweichung der Inversionsladung in Betrag und Phase von ihren Gleichstrom-Werten

$$\begin{aligned} \Delta Q_{Inv} &= q_{inv}(f \rightarrow 0) = Q_{Inv}(1,51 \text{ V}) - Q_{Inv}(1,50 \text{ V}) \\ \text{und } \varphi(Q_{Inv}) &= 0. \end{aligned} \quad (6.9)$$

wird hierbei als Genauigkeit definiert.

Bis zu dieser Frequenz f_{NQS} sind keine nichtquasistatischen Effekte in den Kleinsignalparametern beobachtbar. Sie hängt natürlich von der betrachteten Gatelänge ab.

Beispielsweise kann ein $10 \mu\text{m}$ -NMOS-Transistor mit einer Genauigkeit von 99 % in der Beschreibung der Inversionsladung durch eine quasistatische Näherung bis zu einer Frequenz von 27 MHz beschrieben werden. Für einen Transistor mit $0,2 \mu\text{m}$ behält die Näherung sogar bis zu 46 GHz ihre Gültigkeit.

Toleriert man eine Genauigkeit in der Amplitudenbeschreibung von 96 % und in der Phasenverschiebung von -12° , so ist man in Lage, das Kleinsignalverhalten des MOSFETs für alle Gatelängen bis zur entsprechenden Transitfrequenz $f_t(L)$ quasistatisch zu modellieren.

Ansonsten ist eine NQS-Näherung erforderlich.

Bei den geforderten Genauigkeiten ist jedoch auf die Anwendung zu achten: Beispielsweise hat eine *Vernachlässigung der Phasenverschiebung* zur Folge, daß der Gatestrom keinen Realteil besitzt und somit *kein Eingangswiderstand* simuliert werden kann.

6.4.1 Verifikation und Diskussion

Um die gemachten Beobachtungen zu verifizieren, werden HF-Messungen an CMOS-Transistoren in Viertelmikrometer-Technologie durchgeführt. Die Bauelemente haben eine sogenannte *Fingerstruktur* mit einer Weite von $W = 96 \mu\text{m}$. Die Kleinsignalstreuparameter S_{ij} werden anhand von offenen und kurzgeschlossenen Strukturen ermittelt und mit einer zweistufigen de-embedding Technik korrigiert [50].

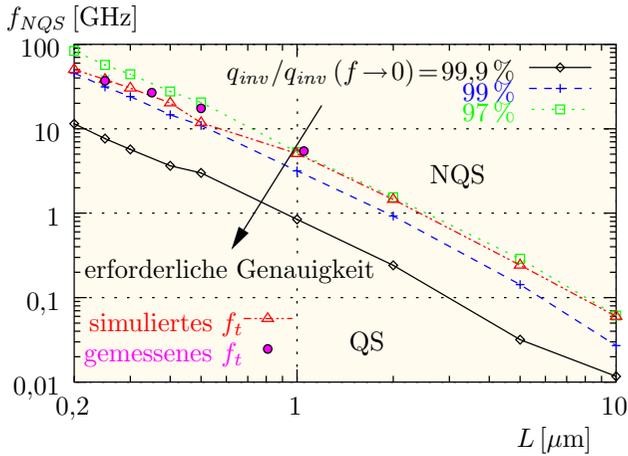


Abbildung 6.14: Aus der Abnahme der Ladungsamplitude extrahierte Grenzfrequenz f_{NQS} vs. Gatelänge im Vergleich zu f_t

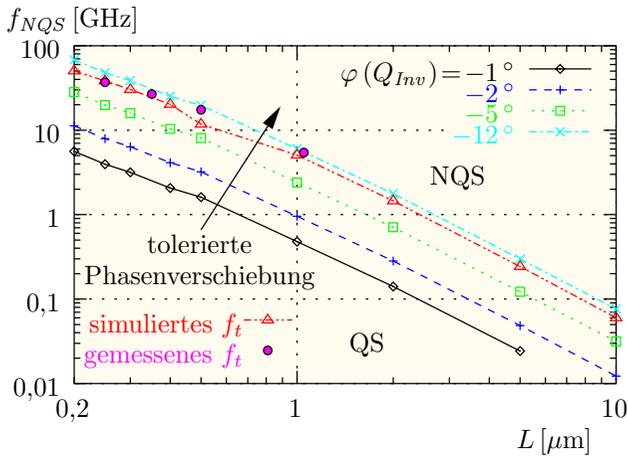


Abbildung 6.15: Aus der Phasenverschiebung der Inversionsladung extrahierte Grenzfrequenz f_{NQS} vs. Gatelänge im Vergleich zu f_t

Auf die Einzelheiten des Meßverfahrens wird in Kapitel 5 ab Seite 109 eingegangen.

Um die transienten Simulationen und die S-Parameter-Messungen in Relation zu bringen, müssen die Ströme an den Anschlüssen des Transistors ausgewertet werden: Die extrahierte Transitfrequenz⁴, an der

$$f_t = f(|i_d/i_g| \equiv 1) \quad (6.10)$$

gilt, zeigt selbst für stark unterschiedliche Gatelängen gute Übereinstimmung zwischen den gemessenen und den simulierten Werten (Abb. 6.16).

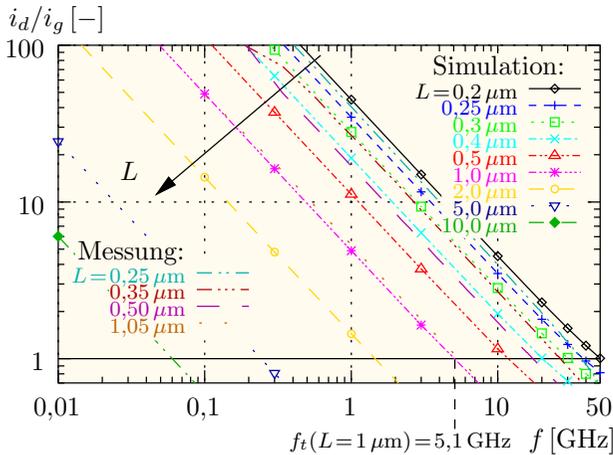


Abbildung 6.16: Extraktion der Transitfrequenz $f_t(L)$ aus der *unity current gain* (Messung und Simulation)

Die gemessene Phasenänderung ϑ der Stromverstärkung i_d/i_g bei f_t verhält sich konstant über einen weiten Bereich an Arbeitspunkten des Sättigungsgebietes (Abb. 6.17). Dies belegt, daß die Beschränkung der Simulation auf einen typischen Arbeitspunkt gerechtfertigt ist.

Zieht man in Betracht, daß Schaltungen nicht oberhalb von f_t betrieben werden, stellt sich die Frage, welche minimalen Abweichungen in q_{inv} und φ (Abbildungen 6.14 und 6.15) für ein gewünschtes Frequenzspektrum akzeptiert werden müssen: Abbildung 6.18 quantifiziert diese Abweichungen von

⁴unity current gain frequency

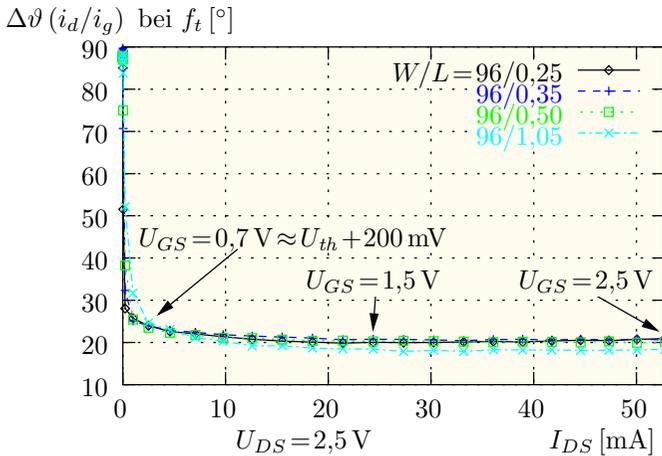


Abbildung 6.17: Gemessene Phasenverschiebung der Stromverstärkung bei f_t für verschiedene Arbeitspunkte und Gatelängen

der **quasistatischen Annahme**

$$\frac{q_{inv}(f)}{q_{inv}(f \rightarrow 0)} = 1 \quad \text{und} \quad \varphi(Q_{Inv}) = 0 \quad (6.11)$$

und zeigt somit, bis zu welchen Frequenzen man alle Gatelängen der analysierten Technologie quasistatisch simulieren kann.

Beispielsweise ergibt sich für $f_{NQS} = 1/2 f_t$ und $L = 0,2\text{--}10 \mu\text{m}$ eine Phasenverschiebung von $\varphi = -6^\circ = -1/30\pi$ und eine Genauigkeit in der Amplitude von $q_{inv}/q_{inv}(f \rightarrow 0) = 99\% \hat{=} -0,09 \text{ dB}$. Doch ist das Ergebnis auch umgekehrt interpretierbar: Will man in der Simulation höchstens einen Fehler von 1% für die Beschreibung der Inversionsschicht — und mithin der Ströme — zulassen, darf man den quasistatischen Simulationen maximal bis zur halben Transitfrequenz trauen und muß eine Phasenverschiebung von -6° in Kauf nehmen.

Als „Faustformel“ für die Grenzfrequenz f_{NQS} lassen sich aus Abbildung 6.18 folgende Funktionen angeben:

$$f_{NQS} = -\varphi(Q_{Inv})/12^\circ \cdot f_t(L) \quad (6.12)$$

$$f_{NQS} = 5 \sqrt{1 - q_{inv}/q_{inv}(f \rightarrow 0)} \cdot f_t(L) \quad (6.13)$$

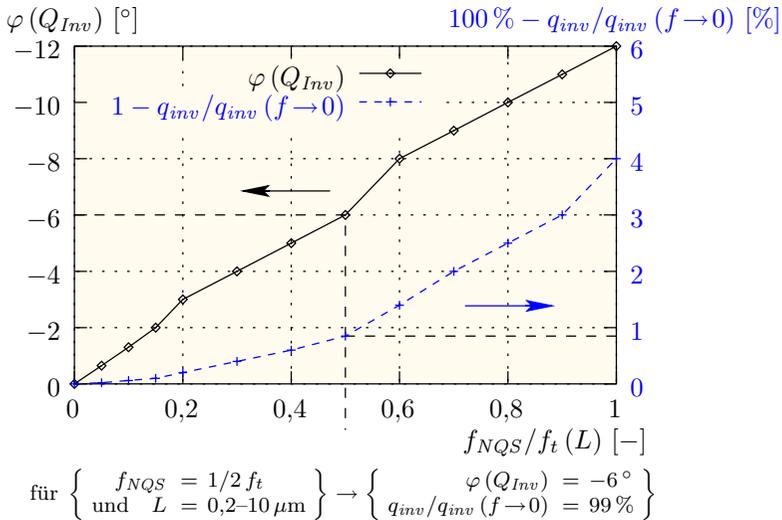


Abbildung 6.18: Zielkonflikt zwischen abnehmender Genauigkeit und steigender Frequenz:

Um Transistoren jeglicher Gatelänge bis zu $1/2 f_t$ quasistatisch zu modellieren und damit zu simulieren, muß eine Phasenverschiebung von -6° und eine Ungenauigkeit in der Amplitude von 99% akzeptiert werden.

Ist eine größere Genauigkeit erforderlich, so muß ein nichtquasistatisches Modell verwendet werden. Dies kann in gewissen Fällen notwendig sein: Die Vernachlässigung der Phasenverschiebung φ hat zur Folge, daß dem Realteil der Eingangsimpedanz nicht Rechnung getragen wird. Dies kann für den Entwurf spezieller Schaltungen, wie z.B. *low noise amplifier*, essentiell sein.

6.4.2 Vergleich mit bisherigen Abschätzungen

Bisher gibt es in der Literatur lediglich vage Abschätzungen zu den beschriebenen Grenzen, z.B. [84]:

$$\begin{aligned} \text{Grenze } f(-3 \text{ dB})/10 \text{ für } L = 0,25 \mu\text{m} : \\ f(-3 \text{ dB}) \approx 200 \text{ GHz} \Rightarrow f(-3 \text{ dB})/10 \approx 20 \text{ GHz} \end{aligned} \quad (6.14)$$

Dies ist das erste Mal, daß derartige Grenzen in Abhängigkeit von der geforderten Simulationengenauigkeit und der Kanallänge anhand einer bestehenden Technologie präsentiert werden [29].

Erstmalig wird nachgewiesen, daß z.B. ein NMOS-Transistor mit $10\ \mu\text{m}$ Gatelänge bis zu einer Frequenz von 27 MHz und einer mit $0,2\ \mu\text{m}$ Gatelänge bis 46 GHz durch die quasistatische Näherung beschrieben werden kann, wobei die Genauigkeit in der Beschreibung der Inversionsschichtladung $99\% \hat{=} -0,09\ \text{dB}$ beträgt. Ist eine Genauigkeit von $96\% \hat{=} -0,35\ \text{dB}$ in der Amplitude und von $-12^\circ = -1/15\pi$ in der Phase ausreichend, läßt sich das Kleinsignalverhalten der Inversionsschicht sogar über alle Gatelängen hinweg bis zur Grenzfrequenz $f_t(L)$ quasistatisch modellieren.

7 Zusammenfassung

Diese Arbeit stellt ein neues, nichtquasistatisches Modell zur Beschreibung der Hochfrequenzeigenschaften von MOS-Transistoren vor.

Dabei wird großer Wert auf die Kompatibilität zum Welt-Standardmodell BSIM3v3.1 gelegt, das an der Universität von Berkeley in Kalifornien entwickelt wird.

Bauelementesimulationen werden mit dem Simulator MEDICITM durchgeführt. Für größtmögliche Realitätsnähe basieren diese auf Technologiesimulationen. Erstmals dargestellt ist die Eichung von MEDICITM auf Messungen, die alle wesentlichen Effekte bis hin zur quantenmechanischen Erhöhung der elektrisch wirksamen Oxiddicke miteinbezieht. Die Analyse der Simulationen erlaubt eine kritische Bewertung bisheriger HF-Konzepte und bestätigt die Notwendigkeit einer genauen Kenntnis der die Nichtquasistatik verursachenden Widerstände für kleine Transistorgeometrien.

Ausgehend von Untersuchungen der Inversionsschicht im transienten Verlauf wird die Frage geklärt, ab welchen Frequenzen die quasistatische Modellierung durch eine nichtquasistatische ersetzt werden muß. Eine Frequenzgrenze in Abhängigkeit vom zulässigen Fehler erfaßt dies formelmäßig.

Ein wesentlicher Aspekt dieser Arbeit besteht in der Beschreibung des Eingangswiderstandes, um die Standardmodelle für den MOS-Transistor auf heutige Anforderungen zu erweitern. Dieser ist nur nichtquasistatisch erklärbar.

Dazu wird ein neues Modell entwickelt, das alle wesentlichen Eingangsgrößen erfaßt. Der parasitäre Gatewiderstand wird neu modelliert.

Richtschnur der Entwicklung ist die Analyse von *transmission lines*, die den verteilten Kanalwiderstand widerspiegeln. Dabei wird nicht nur auf den Sättigungsbereich Wert gelegt, sondern auch auf die Beschreibung des Widerstandsbereiches für Anwendungen beispielsweise in Mischer-Schaltungen. Die Modellvorstellung wird erweitert, um die zur Drain hin abnehmende Verteilung der Ladungsträger in Sättigung zu beschreiben. Es wird eine partielle

Differentialgleichung entwickelt, die die zeitliche und örtliche Entwicklung der Kanalladung wiedergibt.

Für kleine Transistorlängen erweist es sich als notwendig, die Unterdiffusionsgebiete genau zu erfassen.

Durch geschickte geometrische Annahmen wird eine analytische Beschreibung erarbeitet, die auf der Separation der zweidimensionalen Stromverteilung in einen Akkumulations- und einen *Spreading*-Anteil basiert.

Sie erlaubt, die für Schaltungssimulatoren wichtige innere Kanalspannung mit höherer Genauigkeit als bislang möglich zu extrahieren. Dies verbessert unmittelbar die Beschreibung der Gatesteilheit und des Ausgangsleitwerts. Zudem läßt sich nunmehr auf die definitorische Größe „effektive Kanallänge“ der BSIM3v3.1-Formulierung verzichten und diese durch den geometrischen Abstand der metallurgischen Übergänge ersetzen. Dies ermöglicht erstmals die konsistente Verwendung der Kanallänge sowohl in der DC- als auch in der AC-Simulation.

Im Gegensatz zu allen bisher bekannten Modellen kann auf das Anpassen von Effektivgrößen verzichtet werden, da sich das neue Modell lediglich auf meßbare physikalische oder in BSIM3v3.1 evaluierte Größen bezieht.

Mit dem „inneren Miller-Effekt“ werden erstmalig die Auswirkungen der parasitären Widerstände auf das Kapazitätsverhalten des Transistors aufgezeigt.

Teile des neu entwickelten Modells finden internationale Anerkennung durch ihre Aufnahme in das industrielle Standard-Transistormodell BSIM4 durch das *Compact Model Council* [25, 60].

Im Vergleich mit den MEDICITM-Simulationsdaten des Überlapp- und des Eingangswiderstands ergeben sich nur Abweichungen von maximal 5 % bzw. 20 %, obwohl die Anzahl der zusätzlichen Parameter minimal ist.

Messungen an Teststrukturen sowie Schaltungssimulationen untermauern das neue NQS-Modell eindrucksvoll. Als Testumgebung dient der kommerzielle Schaltungssimulator SABERTM.

Die Ergebnisse dieser Arbeit werden daher im Zuge der weiteren Miniaturisierung integrierter Schaltungen noch an Bedeutung hinzugewinnen.

A Streu-, Leitwert- und Widerstandsparameter

A.1 Wellengleichung

Aus der Zweitortheorie erhält man einen eindeutig umkehrbaren Zusammenhang zwischen den Streuparametern und den durch Strom-Spannungs-Beziehungen definierten Y - bzw. Z -Parametern.

Im Hochfrequenzbereich ist es üblich, ein Klemmenpaar zu einem Tor zusammenzufassen und einen Zweipol als Eintor bzw. einen Vierpol — wie im Fall des MOS-Transistors — als Zweitor zu bezeichnen [65].

Dazu geht man von der Wellen-Zweitorgleichung

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \cdot \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad (\text{A.1})$$

aus und ersetzt die Wellen a_x und b_y gemäß

$$U = (a + b)\sqrt{Z_0} \quad (\text{A.2})$$

$$I = (a - b)/\sqrt{Z_0} \quad (\text{A.3})$$

$$a = 1/2(U/\sqrt{Z_0} + I\sqrt{Z_0}) \quad (\text{A.4})$$

$$b = 1/2(U/\sqrt{Z_0} - I\sqrt{Z_0}) \quad (\text{A.5})$$

durch Ströme und Spannungen.

A.2 Strom-Spannungs-Matrizen

Die Definitionsgleichungen für die *Widerstands-* (Z) und *Leitwert-* Parameter (Y) lauten:

$$\begin{pmatrix} U_1 \\ U_2 \end{pmatrix} = \begin{pmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{pmatrix} \cdot \begin{pmatrix} I_1 \\ I_2 \end{pmatrix} \quad (\text{A.6})$$

$$\begin{pmatrix} I_1 \\ I_2 \end{pmatrix} = \begin{pmatrix} Y_{11} & Y_{12} \\ Y_{21} & Y_{22} \end{pmatrix} \cdot \begin{pmatrix} U_1 \\ U_2 \end{pmatrix} \quad (\text{A.7})$$

Dabei ist zu beachten, daß die Widerstandsmatrix \bar{Z} die Inverse der Leitwertmatrix \bar{Y} ist, die einzelnen Widerstandskomponenten somit *nicht* durch die Reziprokwerte der Leitwerte berechnet werden können.

$$\bar{Z} = \bar{Y}^{-1} \quad (\text{A.8})$$

Tabelle A.1 führt die entsprechenden Umwandlungsvorschriften auf [90].

$\begin{aligned} Y_{11} &= Z_{22}/a \\ Y_{12} &= -Z_{12}/a \\ Y_{21} &= Z_{21}/a \\ Y_{22} &= Z_{11}/a \end{aligned} \quad (\text{A.9})$
<p>mit $a = \det(\bar{Z}) = Z_{11}Z_{22} - Z_{12}Z_{21}$ (A.10)</p>

$\begin{aligned} Z_{11} &= Y_{22}/b \\ Z_{12} &= -Y_{12}/b \\ Z_{21} &= Y_{21}/b \\ Z_{22} &= Y_{11}/b \end{aligned} \quad (\text{A.11})$
<p>mit $b = \det(\bar{Y}) = Y_{11}Y_{22} - Y_{12}Y_{21}$ (A.12)</p>

Tabelle A.1: Umrechnung von Z - in Y -Parameter

A.3 Streumatrix

Mithilfe der Gleichungen (A.1) bis (A.7) erhält man nach Umformung die in Tabelle A.2 aufgeführten Umrechnungsvorschriften für die Streumatrix.

$$\begin{aligned} z_{11} &= [(1 + S_{11})(1 - S_{22}) + S_{12}S_{21}] / a = 1/z_0 Z_{11} \\ z_{12} &= 2 S_{12}/a = 1/z_0 Z_{12} \\ z_{21} &= 2 S_{21}/a = 1/z_0 Z_{21} \\ z_{22} &= [(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}] / a = 1/z_0 Z_{22} \end{aligned} \quad (\text{A.13})$$

$$\text{mit } a = (1 - S_{11})(1 - S_{22}) - S_{12}S_{21} \quad (\text{A.14})$$

$$\begin{aligned} y_{11} &= [(1 - S_{11})(1 + S_{22}) + S_{12}S_{21}] / b = Z_0 Y_{11} \\ y_{12} &= -2 S_{12}/b = Z_0 Y_{12} \\ y_{21} &= -2 S_{21}/b = Z_0 Y_{21} \\ y_{22} &= [(1 + S_{11})(1 - S_{22}) + S_{12}S_{21}] / b = Z_0 Y_{22} \end{aligned} \quad (\text{A.15})$$

$$\text{mit } b = (1 + S_{11})(1 + S_{22}) - S_{12}S_{21} \quad (\text{A.16})$$

Tabelle A.2: Umrechnung von S - in Z - bzw. Y -Parameter

Ebenso gilt die Umkehrung dieser Abbildungen (Tabelle A.3), bis auf die Tatsache, daß es keinen Unterschied macht, ob man die normierten (z , y) oder unnormierten (Z , Y) Parameter verwendet, da die Streuparameter dimensionslos sind.

Der Vollständigkeit halber seien hier noch die Definitionsgleichungen für die sog. *Hybrid*- (H) und die *Ketten*-Parameter (A) aufgeführt:

$$\begin{pmatrix} U_1 \\ I_2 \end{pmatrix} = \begin{pmatrix} H_{11} & H_{12} \\ H_{21} & H_{22} \end{pmatrix} \cdot \begin{pmatrix} I_1 \\ U_2 \end{pmatrix} \quad (\text{A.21})$$

$$\begin{pmatrix} U_1 \\ I_1 \end{pmatrix} = \begin{pmatrix} A_{11} & A_{12} \\ A_{21} & A_{22} \end{pmatrix} \cdot \begin{pmatrix} U_2 \\ -I_2 \end{pmatrix} \quad (\text{A.22})$$

Da diese jedoch in dieser Arbeit — mit Ausnahme der Bestimmung der Transitfrequenz $f_t (H_{21} \equiv 1)$ z.B. in Abbildung 6.16 auf Seite 146 — nicht benötigt werden, soll nicht näher darauf eingegangen werden.

$$\begin{aligned}
 S_{11} &= [(Z_{11} - 1)(Z_{22} + 1) - Z_{12}Z_{21}] / c \\
 S_{12} &= 2 Z_{12} / c \\
 S_{21} &= 2 Z_{21} / c \\
 S_{22} &= [(Z_{11} + 1)(Z_{22} - 1) - Z_{12}Z_{21}] / c
 \end{aligned} \tag{A.17}$$

$$\text{mit } c = (Z_{11} + 1)(Z_{22} + 1) - Z_{12}Z_{21} \tag{A.18}$$

$$\begin{aligned}
 S_{11} &= [(1 - Y_{11})(1 + Y_{22}) + Y_{12}Y_{21}] / d \\
 S_{12} &= -2 Y_{12} / d \\
 S_{21} &= -2 Y_{21} / d
 \end{aligned} \tag{A.19}$$

$$\begin{aligned}
 S_{22} &= [(1 + Y_{11})(1 - Y_{22}) + Y_{12}Y_{21}] / d \\
 \text{mit } d &= (1 + Y_{11})(1 + Y_{22}) - Y_{12}Y_{21}
 \end{aligned} \tag{A.20}$$

Tabelle A.3: Umrechnung von Z - bzw. Y - in S -Parameter

B Wichtige Definitionen und Bezeichnungen

B.1 Strom-Spannungs-Beziehungen

\bar{Z} : Widerstandsmatrix

$$\begin{pmatrix} U_1 \\ U_2 \end{pmatrix} = \bar{Z} \cdot \begin{pmatrix} I_1 \\ I_2 \end{pmatrix} = \begin{pmatrix} Z_{11} & Z_{12} \\ Z_{21} & Z_{22} \end{pmatrix} \cdot \begin{pmatrix} I_1 \\ I_2 \end{pmatrix} \quad (\text{B.1})$$

Z : Impedanz, Scheinwiderstand, komplexer Widerstand

R : Resistanz, Wirkwiderstand, reeller/ohmscher Widerstand

X : Reaktanz, Blindwiderstand, imaginärer Widerstand

$$Z = R + j \cdot X; \quad [Z] = \Omega \quad (\text{B.2})$$

ω : Kreisfrequenz $2\pi f$

C : Kapazität, Kapazitätz

L_{ind} : Induktivität

$$\begin{aligned} X_C(\omega) &= 1/(\omega C) \\ X_L(\omega) &= -\omega L_{ind} \end{aligned} \quad (\text{B.3})$$

\bar{Z}' : Normierte Widerstandsmatrix

Z_0 : Normwiderstand, Wellenwiderstand einer Leitung (i.a. 50Ω)

$$\bar{Z}' = 1/Z_0 \cdot \bar{Z} \quad (\text{B.4})$$

\bar{Y} : Leitwertmatrix

$$\bar{Y} = \bar{Z}^{-1} \quad (\text{B.5})$$

$$\begin{pmatrix} I_1 \\ I_2 \end{pmatrix} = \bar{Y} \cdot \begin{pmatrix} U_1 \\ U_2 \end{pmatrix} \quad (\text{B.6})$$

Y : Admittanz, Scheinleitwert
 G : Konduktanz, Leitwert, Wirkleitwert
 B : Suszeptanz, Blindleitwert

$$\begin{aligned} Y &= G + j \cdot B; \quad [Y] = 1/\Omega = \text{Mho} = \text{Siemens} \\ Y &= 1/Z \quad \text{für Zweipol} \end{aligned} \quad (\text{B.7})$$

$$\begin{aligned} B_C(\omega) &= \omega C \\ B_L(\omega) &= -1/(\omega L_{ind}) \end{aligned} \quad (\text{B.8})$$

\bar{Y}' : Normierte Leitwertmatrix

$$\bar{Y}' = Z_0 \bar{Y} \quad (\text{B.9})$$

\bar{H} : Hybridmatrix

$$\begin{pmatrix} U_1 \\ I_2 \end{pmatrix} = \bar{H} \cdot \begin{pmatrix} I_1 \\ U_2 \end{pmatrix} \quad (\text{B.10})$$

\bar{A} : Kettenmatrix

$$\begin{pmatrix} U_1 \\ I_1 \end{pmatrix} = \bar{A} \cdot \begin{pmatrix} U_2 \\ -I_2 \end{pmatrix} \quad (\text{B.11})$$

\bar{S} : Streumatrix, Gammamatrix

$$\bar{S} = \bar{S}' = \bar{\Gamma} = \frac{\bar{Z}' - \bar{1}}{\bar{Z}' + \bar{1}} = \frac{\bar{Z} - \bar{1} \cdot Z_0}{\bar{Z} + \bar{1} \cdot Z_0} \quad (\text{B.12})$$

R_{in} : Eingangswiderstand

$$R_{in} = \Re \left(\frac{1}{Y_{11}} \right) \quad (\text{B.13})$$

C_{in} : Eingangskapazität

$$C_{in} = \frac{-1}{\Im \left(\frac{1}{Y_{11}} \right) \cdot \omega} \quad (\text{B.14})$$

R_{out} : Ausgangswiderstand

$$R_{out} = \frac{1}{\Re(Y_{22})} \quad (\text{B.15})$$

C_{out} : Ausgangskapazität

$$C_{out} = \frac{\Im(Y_{22})}{\omega} \quad (\text{B.16})$$

B.2 Leistungsgrößen

$G_{p,max}$: Maximale Leistungsverstärkung
(*maximum operating/available power gain MAG*)

$$G_{p,max} = \frac{|S_{21}|}{|S_{12}|} \cdot \left(K - \sqrt{K^2 - 1} \right), \quad K \geq 1$$

mit $K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta S|^2}{2 |S_{12} S_{21}|}$ (B.17)

und $\Delta S = S_{11} S_{22} - S_{12} S_{21}$

$G_{p,max,sta}$: Maximale stabile Leistungsverstärkung
(*maximum stable gain MSG*)

$$G_{p,max,sta} = \frac{|S_{21}|}{|S_{12}|}, \quad K < 1 \quad (\text{B.18})$$

B.3 Frequenzgrößen

f_t : Transitfrequenz (*unity current gain frequency*)

$$f_t = f \left(|H_{21}| = \left| \frac{i_d}{i_g} \right| \equiv 1 \right); \quad [f_t] = 1/\text{s} = \text{Hz} \quad (\text{B.19})$$

f_{max} : Grenzfrequenz (*maximum oscillation frequency*)

$$f_{max} = f \left(MAG = \frac{p_{out}}{p_{in}} = \frac{u_{ds} i_d}{u_{gs} i_g} \equiv 1 \right); \quad [f_{max}] = \text{Hz} \quad (\text{B.20})$$

B.4 Rauschgrößen

NF : Rauschzahl (*noise figure*)

$$NF = 10 \log \frac{(S_{in}/N_{in})}{(S_{out}/N_{out})} \quad (\text{B.21})$$

S_{in}, S_{out} : Signalleistung am Ein- bzw. Ausgang

N_{in}, N_{out} : Rauschleistung am Ein- bzw. Ausgang

C Smith-Diagramm

Die Grundidee des *Smith*-Diagramms ist die Darstellung des Reflexionsfaktors S in einem kartesischen Koordinatensystem. Dazu wird auf der Abszisse der Realteil $\Re(S)$ und auf der Ordinate der Imaginärteil $\Im(S)$ aufgetragen (Abbildung C.1).

Die Definitionsgleichung des Reflexionsfaktors lautet:

$$S = \frac{Z' - 1}{Z' + 1} \quad \text{und} \quad Z' = Z/Z_0 \quad (\text{C.1})$$

Mit der Konvention

$$S = u + j \cdot v \quad (\text{C.2})$$

kann man nach der normierten Impedanz Z' auflösen und in Real- und Imaginärteil aufteilen:

$$Z' = R' + jX' = \frac{1 - u^2 - v^2 + j \cdot 2v}{1 + u^2 + v^2 - 2u} \quad (\text{C.3})$$

Die Größen R' und X' stehen dabei für die normierte Resistanz und Reaktanz. Aus

$$R' = \frac{1 - u^2 - v^2}{1 + u^2 + v^2 - 2u} = \text{const} \quad (\text{C.4})$$

ergibt sich nach algebraischer Umstellung die Beziehung

$$\left(u - \frac{R'}{R' + 1}\right)^2 + v^2 = \left(\frac{1}{R' + 1}\right)^2. \quad (\text{C.5})$$

Sie entspricht der allgemeinen Kreisgleichung; alle Punkte mit konstantem Realanteil der Impedanz, also konstanter Resistanz R' , liegen demnach auf einem Kreis.

Für die konstante Reaktanz kann man analog verfahren und erhält:

$$(u - 1)^2 + \left(v - \frac{1}{X'}\right)^2 = \left(\frac{1}{X'}\right)^2 \quad (\text{C.6})$$

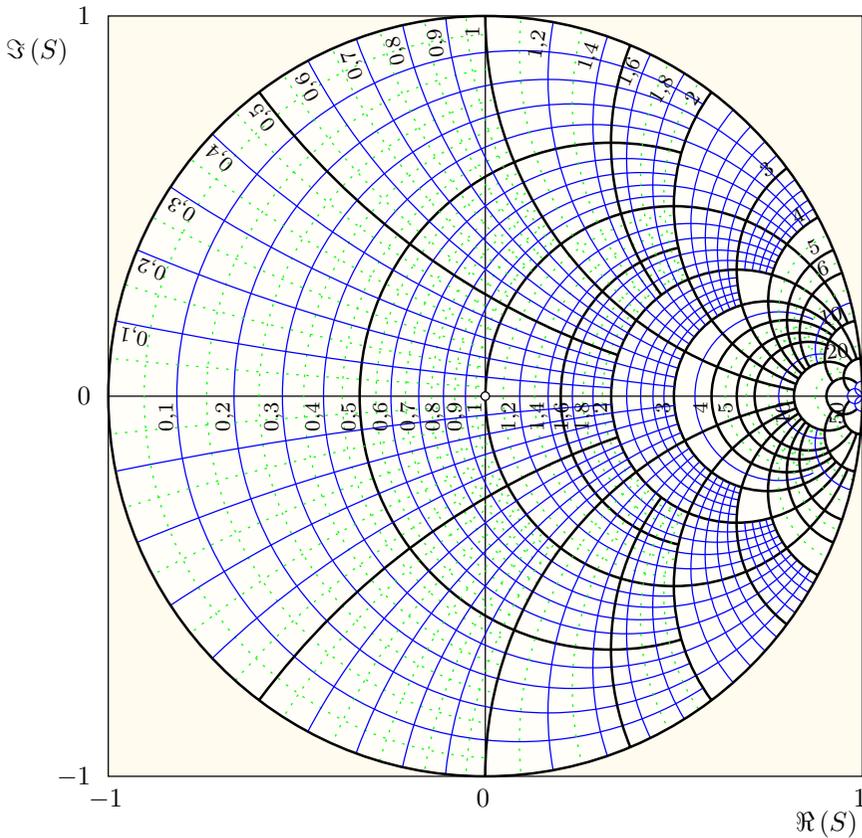


Abbildung C.1: Smith-Diagramm

Auch die Punkte konstanter Reaktanz X' liegen somit auf einem Kreis und *nicht*, wie oftmals behauptet wird, auf Hyperbeln.

Für die Betrachtung der Admittanz-Ebene wird die Substitution

$$Y' = \frac{1}{Z'} = G' + j \cdot B' \quad (\text{C.7})$$

durchgeführt. Damit ergibt sich für die Kurven konstanter Konduktanz G' die Beziehung

$$\left(u + \frac{G'}{G' + 1}\right)^2 + v^2 = \left(\frac{1}{G' + 1}\right)^2 \quad (\text{C.8})$$

und für die konstante Suszeptanz B'

$$(u + 1)^2 + \left(v + \frac{1}{B'}\right)^2 = \left(\frac{1}{B'}\right)^2. \quad (\text{C.9})$$

Obige *Smith*-Projektion bildet also eine konforme Abbildung der *positiven* Impedanz-Halbebene. Sie leistet somit der Nicht-Negativität der reellen Widerstandskomponente Genüge und vermag es, selbst unendliche Widerstandswerte im Punkt $(1, 0)$ darzustellen.

D Verschleifungsfunktionen

D.1 Motivation

Während explizite Formeln direkt evaluiert werden können, müssen Simulatoren iterieren, um implizite Gleichungen zu lösen.

Standard-Algorithmen wie der *Newton-Raphson* benötigen hierzu die erste Ableitung. Da unstetige Ableitungen Konvergenzprobleme verursachen können, sollten analoge Modelle nur abschnittsweise lineare Funktionen vermeiden, die oftmals in Form von **if-else**-Anweisungen implementiert werden. Das Problem liegt also in der Glättung des Übergangs zwischen zwei Funktionen $f(x)$ und $g(x)$ am Übergabepunkt $x = x_0$:

$$F(x) = \begin{cases} f(x) & \text{für } f(x) < x_0 \\ g(x) & \text{sonst} \end{cases} \quad (\text{D.1})$$

und

$$\frac{df}{dx}(x_0) \neq \frac{dg}{dx}(x_0) \quad (\text{D.2})$$

Zur Lösung mithilfe von *Verschleifungsfunktionen* $\text{VF}(x)$ bestehen prinzipiell drei Möglichkeiten:

- Ersetzen von $F(x)$ durch eine neue kontinuierliche Funktion $\text{VF}(x)$
- Definition einer neuen Funktion $\text{VF}(x)$ nur innerhalb eines Übergangsbereiches $[x_0 - \delta; x_0 + \delta]$ mit:

$$f(x_0 - \delta) = \text{VF}(x_0 - \delta) \quad \text{und} \quad \frac{df}{dx}(x_0 - \delta) = \frac{d\text{VF}}{dx}(x_0 - \delta)$$

$$g(x_0 + \delta) = \text{VF}(x_0 + \delta) \quad \text{und} \quad \frac{dg}{dx}(x_0 + \delta) = \frac{d\text{VF}}{dx}(x_0 + \delta)$$

- Gewichtung der Teilzweige von $f(x)$ und $g(x)$:

$$\text{VF}(x) = a(x) \cdot f(x) + b(x) \cdot g(x) = w(x) \cdot f(x) + [1 - w(x)] \cdot g(x)$$

Der Nachteil der zweiten Lösung ist, daß die `if-else`-Abfrage dennoch benötigt wird.

Die übliche Strategie in der kontinuierlichen Modellierung ist es, Effektivwerte für diejenigen Variablen einzuführen, die die Unterschiede in den beiden Teilbereichen definieren. Solche Werte, wie z.B. eine effektive Länge l_{eff} oder eine effektive Spannung V_{eff} , werden dann durch Verschleifungsfunktionen ineinander überführt (siehe Beispiele in Abschnitt D.3).

Das Anschmiegen der Verschleifungsfunktion an die anzupassende Funktion kann mit einer Konstante $\epsilon > 0$ gesteuert werden. Die richtige Wahl dieses Wertes mag von Funktion zu Funktion unterschiedlich sein. Um jedoch die Anschaulichkeit der Graphiken zu bewahren, wurde ein recht großer Wert von $\epsilon = 0,1$ gewählt. Nichtsdestotrotz ergeben kleinere Werte wesentlich bessere Anpassungen!

Die im folgenden aufgeführten Verschleifungsfunktionen sind bloße Beispiele — viele andere lassen sich in ähnlicher Weise gemäß der speziellen Problemstellung konstruieren.

In einigen Fällen ist es wünschenswert, daß die Ableitung der Verschleifungsfunktion dasselbe Vorzeichen trägt wie die entsprechende Funktion. Ein weiteres Kriterium mag dadurch gegeben sein, daß die Verschleifungsfunktion bestimmte Grenzen nicht überschreiten darf. Die Komplexität der Verschleifungsfunktion und die damit verbundene Erhöhung der Rechenzeit mag ebenso in Betracht gezogen werden.

Daher werden diejenigen Verschleifungsfunktionen, die die meisten dieser Kriterien erfüllen, empfohlen und durch einen Rahmen VF hervorgehoben. Natürlich erhöht jede zusätzliche Evaluierung eines analytischen Ausdrucks die Rechenzeit der Simulation — ebenso wie deren Nichtkonvergenz...

D.2 Funktionsklassen

D.2.1 Spektralfunktion

Definition

$$\delta(x) = \begin{cases} 1 & \text{für } x = 0 \\ 0 & \text{sonst} \end{cases} \quad (\text{D.3})$$

Die Spektralfunktion (*Peak-Funktion*) dient zur Beschreibung von deltaförmigen Vorgängen mit einer Halbwertsbreite, z.B. der Polarisierung von ferroelektrischen Speichern [32].

Substitutionen und deren graphische Darstellung

- $\text{VF}_1(x) = \frac{1}{1 + (x/\epsilon)^2}$
- $\text{VF}_2(x) = \exp\left(- (x/\epsilon)^2\right)$
- $\text{VF}_3(x) = 1 - \tanh\left((x/\epsilon)^2\right)$
- $\text{VF}_4(x) = 1 - \tanh^2(x/\epsilon)$
- $\text{VF}_5(x) = 1/\cosh(x/\epsilon)$
- $\text{VF}_6(x) = 1 - \text{erf}\left((x/\epsilon)^2\right)$
- $\text{VF}_7(x) = 1 - \text{erf}^2(x/\epsilon)$

Bemerkungen:

1. $\cosh(x) = 1/2 \cdot (e^x + e^{-x})$
2. $\tanh(x) = (e^x - e^{-x}) / (e^x + e^{-x})$
3. Error-Funktion $\text{erf}(x) = 2/\sqrt{\pi} \cdot \int_0^x e^{-t^2} dt$

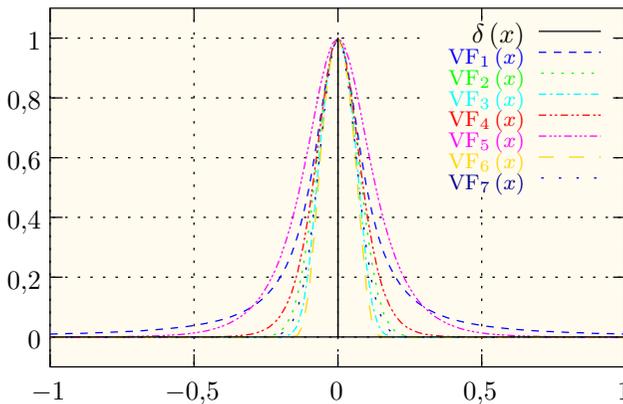


Abbildung D.1: Die Spektralfunktion und deren mögliche Verschleifungen

D.2.2 Theta-Funktion

Definition

$$\Theta(x) = \begin{cases} 1 & \text{für } x > 0 \\ 0 & \text{sonst} \end{cases} \quad (\text{D.4})$$

Die Theta-Funktion ist auch unter dem Namen *Heavyside*¹-Funktion bekannt. Sie wird z.B. in der Beschreibung von Schaltern und — in Kombination zweier Theta-Funktionen — aller Bauelemente mit Hysterese verwendet.

Substitutionen und deren graphische Darstellung

- $$\text{VF}_1(x) = 1/2 \cdot \left(1 + \frac{x/\epsilon}{\sqrt{(x/\epsilon)^2 + 1}} \right)$$
- $$\text{VF}_2(x) = \frac{1}{1 + \exp(-x/\epsilon)}$$
- $$\text{VF}_3(x) = 1/2 \cdot (1 + \tanh(x/\epsilon))$$
- $$\text{VF}_4(x) = 1/2 + \text{atan}(x/\epsilon) / \pi$$
- $$\text{VF}_5(x) = 1/2 \cdot (1 + \text{erf}(x/\epsilon))$$

Bemerkungen:

1. $\int \frac{1}{1+x^2} dx \stackrel{!}{=} \text{atan}(x)$
2. $\int \tanh^2(x) dx \stackrel{!}{=} x - \tanh(x)$
3. $\text{VF}_1(x)$ ist die sog. *Sigmoid-Funktion*, eine integrierbare Substitution für die Gauß-Funktion [73]!

D.2.3 Signum-Funktion

Definition

$$\text{sgn}(x) = \begin{cases} 1 & \text{für } x > 0 \\ -1 & \text{für } x < 0 \\ 0 & \text{sonst} \end{cases} \quad (\text{D.5})$$

¹engl. Mathematiker

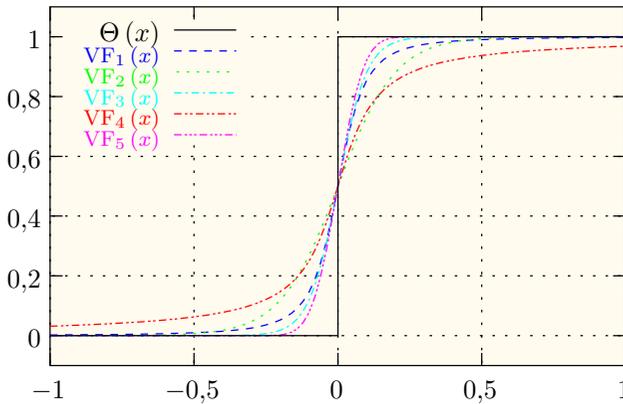


Abbildung D.2: Die Theta-Funktion und deren mögliche Verschleifungen

Diese Funktion wird z.B. in der Beschreibung von vertauschbaren Polaritäten benutzt.

Substitutionen und deren graphische Darstellung

Verschleifungsfunktionen können aus der Theta-Funktion durch Verschiebung und Streckung hergeleitet werden.

$$\text{sgn}(x) \stackrel{!}{=} 2 \cdot \Theta(x) - 1$$

- $\text{VF}_1(x) = \frac{x/\epsilon}{\sqrt{(x/\epsilon)^2 + 1}}$
- $\text{VF}_2(x) = \frac{2}{1 + \exp(-x/\epsilon)} - 1$
- $\text{VF}_3(x) = \tanh(x/\epsilon)$
- $\text{VF}_4(x) = 2 \cdot \text{atan}(x/\epsilon) / \pi$
- $\text{VF}_5(x) = \text{erf}(x/\epsilon)$

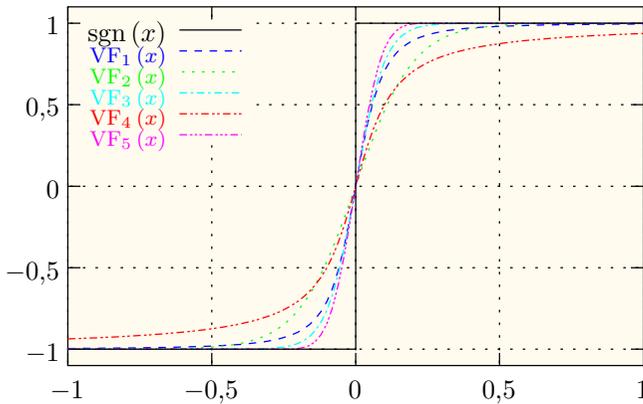


Abbildung D.3: Die Signum-Funktion und deren mögliche Verschleifungen

D.2.4 Abs-Funktion

Definition

$$\text{abs}(x) = |x| = \begin{cases} x & \text{für } x \geq 0 \\ -x & \text{sonst} \end{cases} \quad (\text{D.6})$$

Substitutionen und deren graphische Darstellung

$$\text{abs}(x) \stackrel{!}{=} \int \text{sgn}(x) dx \stackrel{!}{=} (1 - \Theta(x)) \cdot (-x) + \Theta(x) \cdot x = x \cdot (2 \cdot \Theta(x) - 1)$$

- $\text{VF}_1(x) = \frac{x^2/\epsilon}{\sqrt{(x/\epsilon)^2 + 1}}$
- $\text{VF}_2(x) = \frac{2x}{1 + \exp(-x/\epsilon)} - x$
- $\text{VF}_3(x) = x \cdot \tanh(x/\epsilon)$
- $\text{VF}_4(x) = 2x \cdot \text{atan}(x/\epsilon) / \pi$
- $\text{VF}_5(x) = x \cdot \text{erf}(x/\epsilon)$

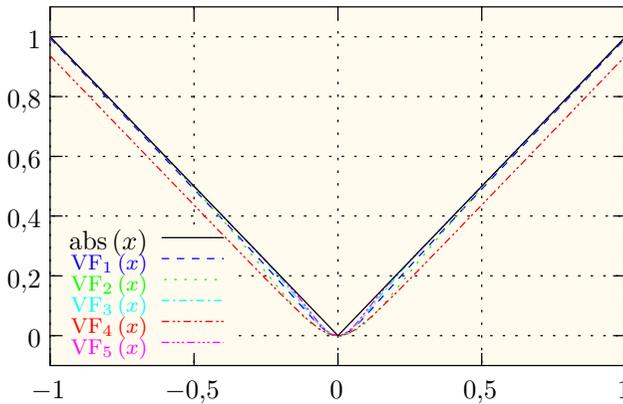


Abbildung D.4: Die Abs-Funktion und deren mögliche Verschleifungen

D.2.5 Ramp-Funktion

Definition

$$\text{ramp}(x) = \begin{cases} x & \text{für } x \geq 0 \\ 0 & \text{sonst} \end{cases} \quad (\text{D.7})$$

$$= \int \Theta(x) dx = \Theta(x) \cdot x$$

Substitutionen und deren graphische Darstellung

- $\text{VF}_1(x) = 1/2 \cdot (x + \sqrt{x^2 + 4\epsilon^2})$
- $\text{VF}_2(x) = \epsilon \cdot \ln(1 + \exp(x/\epsilon))$
- $\text{VF}_3(x) = 1/2 \cdot x \cdot \left(1 + \frac{x/\epsilon}{\sqrt{(x/\epsilon)^2 + 1}}\right)$
- $\text{VF}_4(x) = \frac{x}{1 + \exp(-x/\epsilon)}$
- $\text{VF}_5(x) = 1/2 \cdot x \cdot (1 + \tanh(x/\epsilon))$
- $\text{VF}_6(x) = 1/2 \cdot x + x \cdot \text{atan}(x/\epsilon) / \pi$
- $\text{VF}_7(x) = 1/2 \cdot x \cdot (1 + \text{erf}(x/\epsilon))$

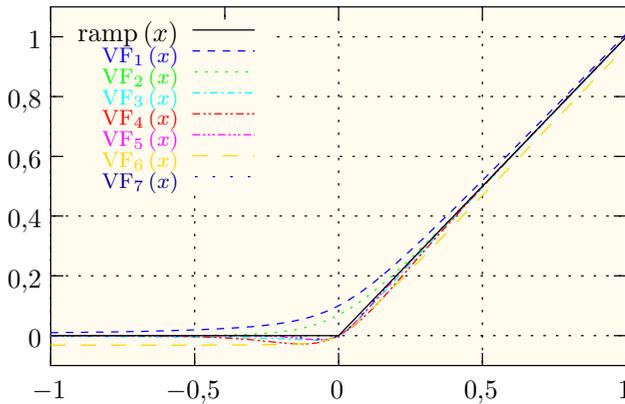


Abbildung D.5: Die Ramp-Funktion und deren mögliche Verschleifungen

D.2.6 Limit-Funktion

Definition

$$\text{limit}(x) = \begin{cases} x & \text{für } x \leq x_0 \\ x_0 & \text{sonst} \end{cases} \quad (\text{D.8})$$

Substitutionen und deren graphische Darstellung

- $$\begin{aligned} \text{VF}_1(x) &= x - 1/2 \cdot \left(x - x_0 + \sqrt{(x - x_0)^2 + 4\epsilon^2} \right) \\ &= x_0 + 1/2 \cdot \left(x - x_0 - \sqrt{(x - x_0)^2 + 4\epsilon^2} \right) \\ &= 1/2 \cdot \left(x + x_0 - \sqrt{(x - x_0)^2 + 4\epsilon^2} \right) \end{aligned}$$
- $$\text{VF}_2(x) = x - 1/2 \cdot \left(1 + \frac{(x - x_0)/\epsilon}{\sqrt{((x - x_0)/\epsilon)^2 + 1}} \right) \cdot (x - x_0)$$
- $$\text{VF}_3(x) = x - \frac{x - x_0}{1 + \exp(-(x - x_0)/\epsilon)}$$
- $$\text{VF}_4(x) = \frac{1 + x - x_0}{1 + \epsilon \cdot \ln(1 + \exp((x - x_0)/\epsilon))} + x_0 - 1$$

- $$\boxed{VF_5(x) = \frac{x}{1 + \epsilon/x_0 \cdot \ln(1 + \exp((x - x_0)/\epsilon))}}$$
- $VF_6(x) = x - 1/2 \cdot (1 + \tanh((x - x_0)/\epsilon)) \cdot (x - x_0)$
- $VF_7(x) = x - (1/2 + \text{atan}((x - x_0)/\epsilon)/\pi) \cdot (x - x_0)$
- $VF_8(x) = x - 1/2 \cdot (1 + \text{erf}((x - x_0)/\epsilon)) \cdot (x - x_0)$

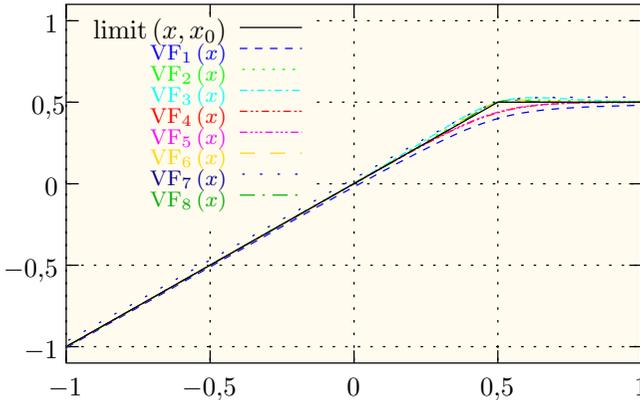


Abbildung D.6: Die Limit-Funktion und deren mögliche Verschleifungen

D.2.7 Doppellimit-Funktion

Definition

$$\text{dublinit}(x) = \begin{cases} x_0 & \text{für } x < x_0 \\ x & \text{für } x_0 \leq x \leq x_1 \\ x_1 & \text{sonst} \end{cases} \quad (\text{D.9})$$

Substitutionen und deren graphische Darstellung

Hierfür können alle Repräsentationen z.B. der sgn-Funktion verwendet werden oder:

- $$\boxed{VF_1(x) = y_0 + y_{max} \cdot \tanh((s_0/y_{max}) \cdot (x - x_0))}$$
 - mit $y_{max} = (a - b)/2$ maximaler Ausgangswert
 - $s_0 = 1,0$ Gradient der Tangente im Wendepunkt
 - $x_0 = (a + b)/2$ x-Offset
 - $y_0 = (a + b)/2$ y-Offset

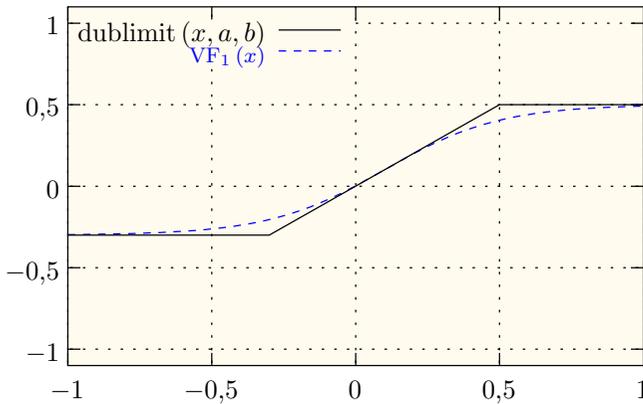


Abbildung D.7: Die Doppellimit-Funktion und deren mögliche Verschleifungen

D.2.8 Abschnittsweise definierte Funktionen

Definition

$$F(x, x_0) = \begin{cases} f(x) & \text{für } f(x) \leq x_0 \\ g(x) & \text{sonst} \end{cases} \quad (\text{D.10})$$

Substitutionen und deren graphische Darstellung

Wegen

$$\begin{aligned} F(x, x_0) &\stackrel{!}{=} \Theta(-x + x_0) \cdot f(x) + \Theta(x - x_0) \cdot g(x) \\ &= (1 - \Theta(x - x_0)) \cdot f(x) + \Theta(x - x_0) \cdot g(x) \end{aligned}$$

können alle der obigen Substitutionen der Theta-Funktion Θ als Gewichtungsfunktion w verwendet werden.

$$w(x, x_0) \approx \Theta(x - x_0)$$

$$\text{VF}(x, x_0) = (1 - w(x - x_0)) \cdot f(x) + w(x - x_0) \cdot g(x)$$

mit

- $w_1(x, x_0) = 1/2 \cdot \left(1 + \frac{x/\epsilon}{\sqrt{(x/\epsilon)^2 + 1}} \right)$
- $w_2(x, x_0) = \frac{1}{1 + \exp(-(x - x_0)/\epsilon)}$
- $w_3(x, x_0) = 1/2 \cdot (1 + \tanh((x - x_0)/\epsilon))$
- $w_4(x, x_0) = 1/2 + \text{atan}((x - x_0)/\epsilon)/\pi$
- $w_5(x, x_0) = 1/2 \cdot (1 + \text{erf}((x - x_0)/\epsilon))$

Diese Gewichtungsfunktionen decken sogar den schlimmsten Fall ab, wenn weder die Funktionen noch deren Ableitungen stetig sind!

$$f(x_0) \neq g(x_0) \quad \text{und} \quad \frac{df}{dx}(x_0) \neq \frac{dg}{dx}(x_0)$$

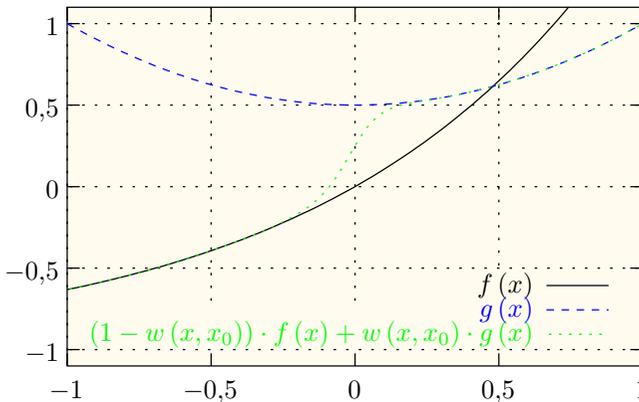


Abbildung D.8: Mögliche Verschleifungen einer abschnittsweise definierten Funktion

D.3 Beispiele

D.3.1 Charakteristik eines MOSFETS

Die letzte Abbildung repräsentiert das prinzipielle Strom-Spannungs-Verhalten der Ausgangscharakteristik eines MOSFETs: exponentieller Anstieg des

Drainstromes mit der Gatespannung im Unterschwellstrombereich und quadratischer Anstieg in Sättigung.

Anstatt die komplette Strombeschreibung umzusetzen, ist es empfehlenswerter, effektive Werte, die die unterschiedlichen Teilstücke beschreiben, einzuführen.

SPICE

Das MOSFET-Modell SPICE definiert eine Kanallängenreduktion unter Verwendung von $VF_1(x)$ von Seite 171:

$$\Delta L = X_d \left[\frac{U_{DS} - U_{DSAT}}{4} + \sqrt{1 + \left(\frac{U_{DS} - U_{DSAT}}{4} \right)^2} \right]^{1/2} \quad (D.11)$$

BSIM3v3.1

In BSIM3v3.1 werden effektive Spannungen entsprechend $VF_1(x)$ von Seite 172 und $VF_2(x)$ von Seite 171 definiert:

$$U_{dseff} = U_{dsat} - \frac{1}{2} \left(U_{dsat} - U_{DS} - \delta + \sqrt{(U_{dsat} - U_{DS} - \delta)^2 + 4\delta U_{dsat}} \right)$$

$$U_{gsteff} = \frac{2n\phi_t \ln \left[1 + \exp \left(\frac{U_{GS} - U_{th}}{2n\phi_t} \right) \right]}{1 + 2nC_{ox} \sqrt{\frac{2\Phi}{q\epsilon_{si} N_{ch}}} \exp \left(\frac{U_{GS} - U_{th} - 2U_{off}}{2n\phi_t} \right)} \quad (D.12)$$

D.3.2 Simulator-implementierte Funktionen

Einige Simulatoren offerieren fest implementierte Lösungen zur Vermeidung von Unstetigkeitsstellen, so zum Beispiel SABERTMs Modellprimitiv *slope*. Für Details sei auf die Handbücher [4] verwiesen.

E Berechnung des Leiterbahnwiderstands

Der Widerstand einer rechtwinkligen, homogenen Leiterbahn läßt sich aus dem Flächenwiderstand R_{\square} und der Anzahl \square der Leiterbahnquadrate in Richtung des Stromflusses berechnen:

$$R = R_{\square} \cdot \square \quad (\text{E.1})$$

$$\text{mit } R_{\square} = \frac{\rho}{d} \quad \text{und} \quad \square = \frac{\Delta x}{\Delta y} \quad (\text{E.2})$$

Mit ρ wird hierbei der spezifische Materialwiderstand in Ωm bezeichnet, der Parameter d steht für die Schichtdicke der Leiterbahn.

E.1 Methodik

Erfolgt jedoch der Abschluß der Leiterbahn nicht parallel oder verläuft diese nicht rechtwinklig, so sind geeignete Korrekturterme erforderlich.

Dies ist z.B. der Fall bei

- Kammstrukturen von Hochfrequenz-Transistoren mit Gatefingern,
- Widerständen in Mäanderform oder
- abgeschrägten Ecken zur Verminderung von Feldspitzen bei Hochvolt-Schaltungen.

Zur einfachen Berechnung sollen die Korrekturterme k in der Form

$$R = R_{\square} \cdot (\square + k) \quad (\text{E.3})$$

darstellbar sein.

Mit zweidimensionalen konformen Transformationen lassen sich die notwendigen Korrekturterme für den Leitungsabschluß ermitteln [36].

E.2 Leiterbahnabschluß

Einige Beispiele für nicht-parallele Leiterbahnabschlüsse sind mit den entsprechenden Korrekturtermen k in Abbildung E.1 aufgeführt.

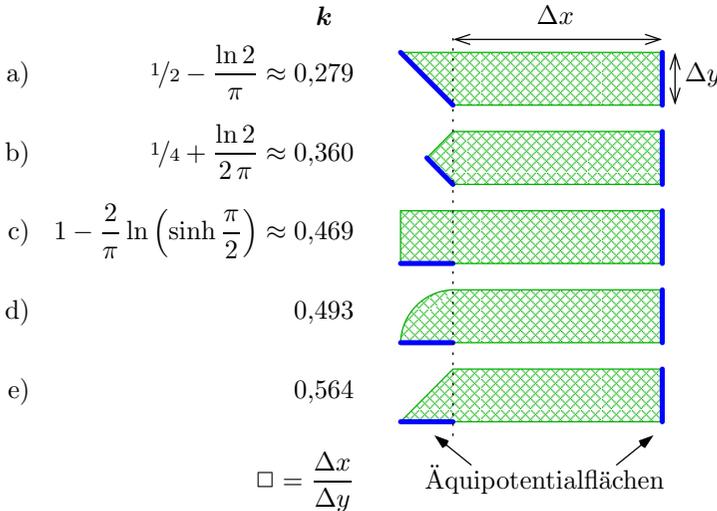


Abbildung E.1: Korrekturterme für nicht-parallele Leiterbahnabschlüsse¹

E.3 Leiterbahnecke

Korrekturterme für Leiterbahnecken lassen sich entweder nach der Methodik von Seite 177 gewinnen oder durch *symmetrische* Kombination der Leiterbahnabschlüsse aus Abbildung E.1.

Abbildung E.2 zeigt einige gebräuchliche Varianten.

Für eine wie bei einem Gatefinger rechtwinklig verlaufende Leiterbahn ergibt sich beispielsweise:

$$R = R_{\square} \cdot (\square + 0,559) \quad (\text{E.4})$$

Wegen der unterschiedlichen Äquipotentialflächen entspricht dies *nicht* dem Wert 0,469 aus Abbildung E.1 c.

¹Die Korrekturterme für d) und e) ergeben sich aus transzendenten Funktionen und lassen sich daher nicht analytisch angeben.

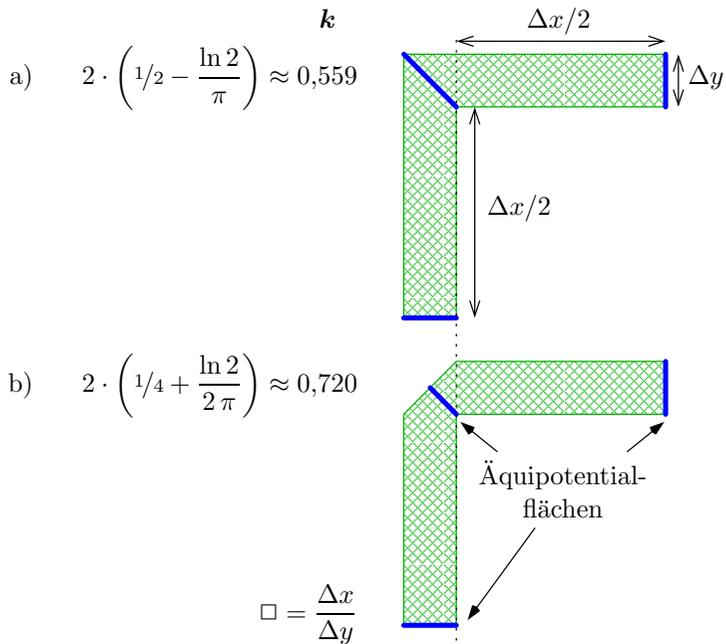


Abbildung E.2: Korrekturterme für Leiterbahnecken

Abbildungsverzeichnis

1.1	Steigerung der Transitfrequenz zukünftiger CMOS-Technologien	1
1.2	Vorgehensweise in dieser Arbeit	4
2.1	Ströme, Spannungen und Ladungen eines n-MOSFETs	10
2.2	Ströme, Spannungen und Ladungen in der Kleinsignalansteuerung	12
2.3	Leitwertdarstellung des Kanals eines MOS-Transistors	16
2.4	Kleinsignalersatzschaltbild des MOS-Transistors	20
2.5	Zentrale Stellung der Schaltungssimulation	21
2.6	Ansatz des Philips-Modells: Aufteilung des inneren Transistors in mehrere Einzeltransistoren kürzerer Kanallänge	23
2.7	Motivation für ein neues Widerstandsmodell in BSIM3	24
3.1	Aus der Technologiesimulation gewonnene Geometrie des Transistors	29
3.2	Vergleich des Drainstroms in klassischer und quantenmechanischer MEDICI TM -Simulation	31
3.3	Vergleich der gemessenen Eingangskennlinie mit der parameteroptimierten MEDICI TM -Simulation	32
3.4	Oberflächenpotential in der Mitte des Kanals in Abhängigkeit von der Gate-Bulk-Spannung	33
3.5	Lokale Verteilung der Inversionsschichtladung in der Mitte des Kanals für verschiedene Gate-Substrat-Spannungen	34
3.6	Verlauf der Kanalspannung über dem Ort	35
3.7	Nach dem Zielstromverfahren extrahierte Einsatzspannung	36
3.8	Verkürzung der Kanallänge bei zunehmender Sättigung	37
3.9	Transitfrequenz in Abhängigkeit vom Arbeitspunkt	39

3.10	Klassisches Kleinsignalersatzschaltbild unter der Nebenbedingung $u_{ds} = u_{bs} = 0 \text{ V}$	40
3.11	Frequenzunabhängigkeit des Eingangswiderstands	41
3.12	Gatespannungsabhängigkeit des Eingangswiderstands	41
3.13	Drainspannungsabhängigkeit des Eingangswiderstands	42
3.14	Abhängigkeit der extrahierten Admittanzen von der Anzahl der bei der transienten Simulation verwendeten Stützstellen im Vergleich zum Ergebnis der AC-Simulation	43
3.15	Transienter Verlauf der simulierten Spannungen und Ströme	44
3.16	Amplitude des transient simulierten Gatestroms über der angelegten Frequenz	45
3.17	Phase des transient simulierten Gatestroms zur Gatespannung über der angelegten Frequenz	46
3.18	Amplitude des transient simulierten Sourcestroms über der angelegten Frequenz	47
3.19	Phase des transient simulierten Sourcestroms über der angelegten Frequenz	48
3.20	Amplitude des transient simulierten Drainstroms über der angelegten Frequenz	49
3.21	Phase des transient simulierten Drainstroms über der angelegten Frequenz	50
3.22	Verlauf der lateralen Elektronenkonzentration an der Halbleitergrenzschicht im Widerstandsbereich (MEDICI TM): a) Inversion bei Gleichspannung b) Ladungsänderung bei Anlegen eines AC-Signals	52
3.23	Verlauf der lateralen Elektronenkonzentration an der Halbleitergrenzschicht im Sättigungsbereich (MEDICI TM): a) Inversion bei Gleichspannung b) Ladungsänderung bei Anlegen eines AC-Signals	53
3.24	Vergleich der aus der transienten Simulation extrahierten Konduktanzen und Suszeptanzen zum Ergebnis der AC-Simulation	54
4.1	MOS-Feldeffekt-Transistor	58
4.2	Interpretation des Gates als <i>transmission line</i>	59
4.3	Schaltungssimulierter Gatewiderstand R_G in Abhängigkeit von der Anzahl der RC -Glieder im Gate	60
4.4	Schematische Darstellung eines Layouts mit Gatefingern	62

4.5	Ersatzschaltbild eines Transistors mit Gatefingern	63
4.6	Kleinsignalersatzschaltbild des MOS-Transistors mit Gatewiderstand	64
4.7	Diskretisierung des Kanals durch mehrere RC -Glieder	65
4.8	Eingangswiderstand in Abhängigkeit von der Knotenanzahl im Kanal	66
4.9	Kleinsignalersatzschaltbild des MOS-Transistors mit Gatewiderstand und intrinsischen Source- und Drainwiderständen	67
4.10	Verhältnis von Transistorwiderstand und Eingangswiderstand eines Langkanälers über alle Arbeitsbereiche (MEDICI TM)	68
4.11	Eingangswiderstand vs. Drainspannung eines Langkanal-Transistors	69
4.12	Eingangswiderstand vs. Drainspannung eines Kurzkanal-Transistors	70
4.13	Verhältnis von Transistorwiderstand und Eingangswiderstand eines Kurzkanälers über alle Arbeitsbereiche (MEDICI TM)	70
4.14	Trapezmodell zur Beschreibung des Kanallängeneffekts	71
4.15	Kleinsignalersatzschaltbild zur Erklärung des wachsenden Einflusses der parasitären Widerstände auf den Eingangswiderstand bei Verkürzung der Kanallänge	72
4.16	Gatespannungsabhängigkeit der Widerstandskomponenten	73
4.17	Variation der Sättigungsspannung mit der Kanallänge	75
4.18	Eingangswiderstand vs. Drainspannung	76
4.19	Vergleich verschiedener Literaturmodelle des Eingangswiderstands mit Bauelementesimulationen	79
4.20	Unabhängigkeit der Gatesteilheit von der Gate- und Drainspannung bei Kurzkanaltransistoren in Sättigung	80
4.21	Differenzierung zwischen innerem und äußerem Transistor	81
4.22	Strompfade im Sourcegebiet	82
4.23	Schema des neuen Widerstandmodells	83
4.24	Aufteilung des Sourcedstromes in seine Akkumulations- und Spreading-Komponente	84
4.25	Verlauf der Serienwiderstände $R_S + R_D$ über die verschiedenen Arbeitsbereiche des Transistors	87
4.26	Zunehmende Bedeutung des Überlappbereiches für moderne Technologien	88

4.27	Flußdiagramm zur Extraktion von $R_S + R_D$	89
4.28	Sensitivitätsanalyse der Parameter des neuen Widerstandsmodells	89
4.29	Extraktion der Überlapplänge L_{ov} aus Kapazitätsmessungen	90
4.30	Extraktion der Serienwiderstände $R_S + R_D$	91
4.31	Kleinsignalersatzschaltbild des MOS-Transistors mit Gate-, Source- und Drainwiderständen und intrinsischen Source- und Drainwiderständen	92
4.32	Ersatz des Kanalwiderstands durch eine Stromquelle zur Aufrechterhaltung der Definition des Ausgangsleitwerts	93
4.33	Elektronenakkumulation für einen vertikalen Schnitt durch das Unterdiffusionsgebiet	94
4.34	Integrierte Elektronenakkumulation für einen vertikalen Schnitt durch das Unterdiffusionsgebiet	95
4.35	Vorgehensweise zur Untersuchung der Eingangskapazität	96
4.36	Kapazitäten vs. Gate-Source-Spannung eines Langkanal- und eines Kurzkanaltransistors bei $U_{DS} = 1\text{ V}$	97
4.37	Kapazitäten vs. Gatelänge	98
4.38	Normalisierte Kapazitäten vs. Gatelänge	99
4.39	Extrahierte Oxid- und <i>fringing</i> -Kapazitäten	100
4.40	Drainbereich mit einem verteilten Widerstands-Kapazitäts-Netzwerk	101
4.41	Kleinsignalersatzschaltbild zur Erklärung des „inneren Miller-Effekts“	102
4.42	Drainseitiger Überlappwiderstand vs. Gate-Drain-Spannung	104
4.43	Normalisierte Drain-Gate-Kapazität im Vergleich zwischen Modell, Bauelementesimulation und Messungen vs. Gatelänge	105
4.44	<i>Subcircuit</i> -Implementierung des neuen Modells	108
5.1	Layout eines Hochfrequenztransistors mit vier Fingern und einseitiger Gatekontaktierung	110
5.2	Photographie eines Hochfrequenztransistors mit acht mal vier Fingern in 340-facher Vergrößerung	111
5.3	Photographie eines Hochfrequenztransistors mit acht mal vier Fingern in 2400-facher Vergrößerung	112
5.4	<i>De-embedding</i> mit <i>open</i> - und <i>short</i> -Strukturen	114

5.5	Gemessene Streuparameter eines Transistors im <i>Smith</i> -Diagramm	115
5.6	Gemessene Transmissionsparameter eines Transistors im Polardiagramm	116
5.7	Frequenzgang unter Gateansteuerung	117
5.8	Frequenzgang unter Drainansteuerung	118
5.9	Transitfrequenz über dem Drainstrom	119
5.10	Geometrieabhängigkeit der Transitfrequenz	120
5.11	Eingangswiderstand über der Frequenz für verschiedene Gatespannungen	120
5.12	Vergleich des gemessenen Eingangswiderstands mit dem neuen Modell und BSIM3v3.1	122
5.13	Ausgangswiderstand für verschiedene Gatelängen	123
5.14	Vergleich der gemessenen und modellierten Serienwiderstände	125
5.15	Vergleich der gemessenen und modellierten Transfercharakteristik	126
5.16	Vergleich der gemessenen und modellierten Ausgangscharakteristik	126
5.17	Vergleich der gemessenen und modellierten Transkonduktanz g_m	128
5.18	Vergleich des gemessenen und modellierten Verstärkungsfaktors $a = g_m/g_{ds}$	128
5.19	Schaltbild eines 17-stufigen Ringoszillators in CMOS-Technologie	129
5.20	Vergleich der gemessenen und simulierten CMOS-Inverter-Verzögerungszeit bei verschiedenen Versorgungsspannungen in Abhängigkeit vom verwendeten Widerstandsmodell	130
6.1	Partielles Fluten des Kanals mit Elektronen bei extrem hohen Frequenzen	132
6.2	Normierte Verzögerungszeit für verschiedene Transistorlängen (Simulation mit einem NQS-Modell)	134
6.3	Definition der Kanalaufbauzeit aus dem Anstieg des Drainstroms auf 50 % seines Endwerts (NQS-Simulation)	135
6.4	Flußdiagramm der Untersuchungen zur Nichtquasistatik	136
6.5	Schema der Inversionsschichtladung entlang des Kanals zu verschiedenen Gatespannungen	136

6.6	Ladungsträgerdichte der Inversionsschicht entlang des Kanals bei Gleichstrom in Sättigung, simuliert mit MEDICI TM	137
6.7	Zeitliches Verhalten der Inversionsschicht: a) Angelegte Gatespannung über der Zeit für die Transienten-Analyse mit 256 Zeitschritten pro Periode b) Inversionsschichtladung eines MOSFETs ($W/L = 1/0,25 \mu\text{m}$)	139
6.8	Auf die Elementarladung normierte Amplitude der Inversionsschichtladung vs. angelegte Frequenz für verschiedene Gate-längen	140
6.9	Auf ihren DC-Wert normierte Amplitude der Inversionsschicht-ladung vs. Frequenz in logarithmischer Darstellung für ver-schiedene Gatelängen	141
6.10	Phasenverschiebung der Inversionsschichtladung zur Gatespan-nung vs. angelegte Frequenz für verschiedene Gatelängen . . .	141
6.11	Zeitliches Verhalten der Inversionsschicht: a) Angelegte Gatespannung über der Zeit für die Transienten-Analyse mit 256 Zeitschritten pro Periode b) Inversionsschichtladung von MOSFETs verschiedener Gate-längen bei $f = 50 \text{ GHz}$	142
6.12	Auf ihren DC-Wert normierte Variation der Inversionsschicht-ladung für verschiedene Gatelängen	143
6.13	Phase der Inversionsschichtladung für verschiedene Gatelängen	143
6.14	Aus der Abnahme der Ladungsamplitude extrahierte Grenz-frequenz f_{NQS} vs. Gatelänge im Vergleich zu f_t	145
6.15	Aus der Phasenverschiebung der Inversionsladung extrahierte Grenzfrequenz f_{NQS} vs. Gatelänge im Vergleich zu f_t	145
6.16	Extraktion der Transitfrequenz aus der <i>unity current gain</i> . .	146
6.17	Gemessene Phasenverschiebung der Stromverstärkung bei f_t für verschiedene Arbeitspunkte und Gatelängen	147
6.18	Zielkonflikt zwischen abnehmender Genauigkeit und steigen-der Frequenz	148
C.1	<i>Smith</i> -Diagramm	162
D.1	Die Spektralfunktion und deren mögliche Verschleifungen . .	167
D.2	Die Theta-Funktion und deren mögliche Verschleifungen . . .	169
D.3	Die Signum-Funktion und deren mögliche Verschleifungen . .	170

D.4	Die Abs-Funktion und deren mögliche Verschleifungen	171
D.5	Die Ramp-Funktion und deren mögliche Verschleifungen . . .	172
D.6	Die Limit-Funktion und deren mögliche Verschleifungen . . .	173
D.7	Die Doppellimit-Funktion und deren mögliche Verschleifungen	174
D.8	Mögliche Verschleifungen einer abschnittsweise definierten Funktion	175
E.1	Korrekturterme für nicht-parallele Leiterbahnabschlüsse . . .	178
E.2	Korrekturterme für Leiterbahnecken	179

Tabellenverzeichnis

2.1	Vergleich der Eigenschaften von Tabellen- und Kompaktmodellen	22
3.1	Übersicht über die aus der Technologiesimulation stammenden Transistoren	28
3.2	Übersicht über die optimierten MEDICI TM -Parameter	32
3.3	Relative Rechenzeit einer AC-Analyse für verschiedene Simulationsarten	55
4.1	Hierarchie der Implementierung von BSIM3v3.1 in SABER TM	107
4.2	Vergleich verschiedener Modelle hinsichtlich ihrer für die Kleinsignalbeschreibung notwendigen Eigenschaften	108
5.1	Übersicht über die gemessenen HF-Transistoren	110
5.2	Übersicht über die Spannungs- und Frequenzmeßbereiche	113
5.3	Vergleich der für den Eingangswiderstand relevanten Einzelkomponenten aus Messung und MEDICI TM -Simulation	121
5.4	Übersicht über die gemessenen Transistoren	124
5.5	Übersicht über die Meßbereiche	124
6.1	Quasistatische Annahme	131
A.1	Umrechnung von Z - in Y -Parameter	154
A.2	Umrechnung von S - in Z - bzw. Y -Parameter	155
A.3	Umrechnung von Z - bzw. Y - in S -Parameter	156

Literaturverzeichnis

- [1] ABOU-ALLAM, E. und T. MANKU: *A Small-Signal MOSFET Model for Radiofrequency IC Applications*. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 16(5):437–447, Mai 1997.
- [2] AGILENT TECHNOLOGIES: *IC-CAPTM reference manual*.
- [3] AMBRÓZY, A.: *Electronic Noise*. McGraw-Hill, Budapest, 1982.
- [4] ANALOGY, INC., Beaverton OR: *SABERTM Manual, Release 4.0a*, 1996.
- [5] ARORA, N.: *MOSFET Models for VLSI Circuit Simulation — Theory and Practice*. Computational Microelectronics. Springer-Verlag, Wien NewYork, 1993.
- [6] BAGHERI, M. und Y. TSIVIDIS: *A Small Signal dc-to-High-Frequency Nonquasistatic Model for the Four-Terminal MOSFET Valid in All Regions of Operation*. IEEE Transactions on Electron Devices, 32(11):2383–2391, November 1985.
- [7] BAKER, R. J., H. W. LI und D. E. BOYCE: *CMOS Circuit Design, Layout, and Simulation*. IEEE Press series on microelectronic systems. John Wiley & Sons, NewYork Chichester Weinheim Brisbane Singapur Toronto, 1997.
- [8] BLUM, A.: *Elektronisches Rauschen*. B. G. Teubner Stuttgart, 1. Auflage, 1996.
- [9] BOWICK, C.: *RF Circuit Design*. Howard W. Sams & Co., Indianapolis, 1. Auflage, 1982.
- [10] BRONSTEIN, I. N. und K. A. SEMENDJAJEW: *Taschenbuch der Mathematik*. Verlag Nauka, BSB B. G. Teubner Verlagsgesellschaft, Moskau Leipzig, 23. Auflage, 1987.
- [11] BRONSTEIN, I. N. und K. A. SEMENDJAJEW: *Taschenbuch der Mathematik — Ergänzende Kapitel*. BSB B. G. Teubner Verlagsgesellschaft, Leipzig, 6. Auflage, 1990.

- [12] BUCKINGHAM, M. J.: *Noise in electronic devices and systems*. John Wiley & Sons, Inc., New York, 1983.
- [13] CHAM, K. M., S.-Y. OH, D. CHIN und J. L. MOLL: *Computer-Aided Design and VLSI Device Development*. Kluwer Academic Publishers, Hingham, Massachusetts, 1986.
- [14] CHENG, Y., M. CHAN, K. HUI, M. JENG, Z. LIU, J. HUANG, K. CHEN, J. CHEN, R. TU, P. K. KO und C. HU: *BSIM3 Version 3.1 Manual*. Department of Electrical Engineering and Computer Sciences, University of California, Berkeley, California 94720, USA, 1997.
- [15] CHYNOWETH, A. G.: *Ionization Rates for Electrons and Holes in Silicon*. Physical Review, 109:1537–1540, 1958.
- [16] DORT, M. J. VAN, P. H. WOERLEE und A. J. WALKER: *A Simple Model for Quantization Effects in Heavily-Doped Silicon MOSFET's at Inversion Conditions*. Solid State Electronics, 37:411–414, 1994.
- [17] EISELE, I.: *Grundlagen der Silizium-Halbleitertechnologie*. Teilnehmerunterlage für einen Kurs bei der SIEMENS AG, Institut für Physik, Fakultät für Elektrotechnik, Universität der Bundeswehr München, September 2000.
- [18] SEMICONDUCTOR INDUSTRY ASSOCIATION, San Jose, USA: *The national technology roadmap for semiconductors*, 1997.
- [19] TECHNOLOGY MODELING ASSOCIATES, INC., Sunnyvale, California 94086-3922, USA: *MEDICTM, Two-Dimensional Device Simulation Program, User's Manual, Version 4.0*, Oktober 1997.
- [20] FREITAG, H.: *Einführung in die Zweitortheorie*. Teubner-Studienskripten: Elektrotechnik. B. G. Teubner, Stuttgart, 3. Auflage, 1984.
- [21] GATES, V., E. KANGAROO, M. ROACHCOCK und W. C. GALL: *Stuper-space*. Physica, North-Holland Physics Publishing Division, 15(D):289–293, Pentember 1985. Elsevier Science Publishers B.V.
- [22] GNEITING, T.: *Simulation und Modellierung von Deep Submicron MOS Transistoren mit dem BSIM3v3 Modell*. Technischer Bericht, Hewlett-Packard Schulungszentrum Taufkirchen, September 1997.
- [23] GÖHLER, L.: *Thyristormodellierung*. Doktorarbeit, Lehrstuhl für Elektronik der Universität der Bundeswehr München, Neubiberg, August 1997.
- [24] GONDRO, E.: *Auswirkungen von LDD-Strukturen auf die elektrischen Eigenschaften von MOS-Transistoren*. Diplomarbeit, Technische Universität München, Neubiberg, November 1997.

- [25] GONDRO, E.: *An improved bias dependent series resistance description for MOS models*. <http://www.eigroup.org/cmc/minutes/m051598.htm>, Mai 1998. Compact Model Council meeting, Santa Clara, Kalifornien, USA.
- [26] GONDRO, E.: *SMART5 Documentation — Preliminary Electrical Parameters*. Infineon Technologies AG, Automotive Power, Munich, Germany, 1. Auflage, März 2002.
- [27] GONDRO, E., P. KLEIN und F. SCHULER: *An Analytical Source-and-Drain Series Resistance Model of Quarter Micron MOSFETs and its Influence on Circuit Simulation*. In: *IEEE International Symposium on Circuits and Systems (ISCAS 99)*, Band 6, Seiten 206–209, Orlando, Florida, USA, Mai 1999.
- [28] GONDRO, E., P. KLEIN, F. SCHULER und O. KOWARIK: *A Non-Linear Description of the Bias Dependent Parasitic Resistances of Quarter Micron MOSFETs*. In: SHAARI, S. (Herausgeber): *IEEE International Conference on Semiconductor Electronics (ICSE 98)*, Seiten 97–99, Bangi, Malaysia, November 1998. Electron Device Chapter, IEEE Malaysia Section, Institute of Electrical and Electronics Engineers Inc., Malaysia Section.
- [29] GONDRO, E., O. KOWARIK, G. KNOBLINGER und P. KLEIN: *When do we need Non-Quasistatic CMOS RF-Models?* In: *IEEE Custom Integrated Circuit Conference (CICC 2001)*, Seiten 377–380, San Diego, Kalifornien, USA, Mai 2001.
- [30] GONDRO, E., O. KOWARIK, A. SCHMIDT, R. KRAUS und K. HOFFMANN: *Influence of the Inner Miller-Effect on the Input Capacitance of CMOS Transistors*. Eingereicht zur Publikation, April 2002.
- [31] GONDRO, E., F. SCHULER und P. KLEIN: *A Physics Based Resistance Model of the Overlap Regions in LDD-MOSFETs*. In: MEYER, K. DE und S. BIESEMANS (Herausgeber): *Simulation of Semiconductor Processes and Devices (SISPAD 98)*, Seiten 267–270, Leuven, Belgien, September 1998. Springer-Verlag Wien NewYork.
- [32] GONDRO, E., F. SCHULER, O. KOWARIK und C. KÜHN: *Physics Based Fatigue Compact Model for Ferroelectric Capacitors*. In: *IEEE International Symposium on the Applications of Ferroelectrics (ISAF 2000)*, Honolulu, Hawaii, USA, August 2000.
- [33] GRAAFF, H. C. DE und F. M. KLAASSEN: *Compact Transistor Modelling for Circuit Design*. Computational Microelectronics. Springer-Verlag, Wien NewYork, 1990.

- [34] GRONAU, G.: *Rauschparameter- und Streuparameter-Meßtechnik*, Band 4 der Reihe *Fortschritte der Hochfrequenztechnik*. Verlagsbuchhandlung Nellissen-Wolff, Aachen, 1992.
- [35] GUPTA, R., B. TUTUIANU und L. T. PILEGGI: *The Elmore Delay as a Bound for RC Trees with Generalized Input Signals*. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 16(1):95–104, Januar 1997.
- [36] HALL, P. M.: *Resistance Calculations for Thin Film Patterns*. Thin Solid Films, 1:277–295, 1967.
- [37] HOFFMANN, K.: *VLSI-Entwurf: Modelle und Schaltungen*. R. Oldenbourg Verlag GmbH, München Wien, 3. Auflage, 1996.
- [38] HU, C.: *Review and Plan for BSIM4.0*. <http://www.eigroup.org/cmc/minutes/b120999.pdf>, Dezember 2000.
- [39] HU, C.: *BSIM4 MOSFET Model for Circuit Simulation*. <http://www-device.eecs.berkeley.edu/~bsim3/BSIM4/BSIM400/slide/slide.pdf>, April 2000.
- [40] HU, G. J., C. CHANG und Y.-T. CHIA: *Gate-Voltage-Dependent Effective Channel Length and Series Resistance of LDD MOSFET's*. IEEE Transactions on Electron Devices, 34(12):2469–2477, Dezember 1994.
- [41] JACKSON, J.: *Klassische Elektrodynamik*. de Gruyter, Berlin, 1985.
- [42] JEAN, Y.-S. und C.-Y. WU: *A New Extraction Algorithm for the Metallurgical Channel Length of Conventional and LDD MOSFET's*. IEEE Transactions on Electron Devices, 43(6):946–953, Juni 1996.
- [43] JIN, X., J.-J. OU, C.-H. CHEN, W. LIU, M. J. DEEN, P. R. GRAY und C. HU: *An Effective Gate Resistance Model for CMOS RF and Noise Modeling*. In: *IEEE International Electron Devices Meeting Technical Digest (IEDM)*, Seiten 961–964, 1998.
- [44] KAHNG, A. B. und S. MUDDU: *An Analytical Delay Model for RLC Interconnects*. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, 16(12):1507–1514, Dezember 1997.
- [45] KITTEL, C.: *Introduction to Solid State Physics*. John Wiley & Sons, Inc., New York, 7. Auflage, 1996.
- [46] KLEIN, P.: *Analytisches LDDMOS-Transistor Ladungsmodell für CAD-Anwendungen*. Doktorarbeit, Lehrstuhl für Elektronik der Universität der Bundeswehr München, Neubiberg, Februar 1996.
- [47] KLEIN, P.: *A Consistent Parameter Extraction Method for Deep Submicron MOSFETs*. In: GRÜNBACHER, H. (Herausgeber): *European Solid-*

- State Device Research Conference*, Seiten 664–667, Stuttgart, September 1997. Editions Frontières.
- [48] KLEIN, P., K. HOFFMANN und B. LEMAÎTRE: *Description of the bias dependent overlap capacitance at LDD MOSFETs for circuit applications*. In: *Technical Digest IEDM*, Seiten 493–496, Washington D.C., 1993.
- [49] KNOBLINGER, G.: *Modellierung des Hochfrequenzverhaltens von MOS-Transistoren*. Doktorarbeit, Lehrstuhl für Elektronik der Universität der Bundeswehr München, Neubiberg, März 2001.
- [50] KOOLEN, M. C. A. M., J. A. M. GEELEN und M. P. J. G. VERSLEIJEN: *An improved de-embedding technique for on-wafer high-frequency characterization*. In: *IEEE Bipolar Circuits and Technology Meeting (BCTM)*, Seiten 188–191, 1991.
- [51] KRAUS, R.: *Halbleiterbauelemente der Leistungselektronik — Analyse und Modellierung*. Habilitationsschrift, Lehrstuhl für Elektronik der Universität der Bundeswehr München, Neubiberg, 1996.
- [52] KUCHLING, H.: *Taschenbuch der Physik*. Fachbuchverlag Leipzig-Köln, 14. Auflage, 1994.
- [53] KÜHN, C., H. HÖNIGSCHMID, O. KOWARIK, E. GONDRO und K. HOFFMANN: *A Dynamic Ferroelectric Capacitance Model for Circuit Simulators*. In: *IEEE International Symposium on the Applications of Ferroelectrics (ISAF 2000)*, Honolulu, Hawaii, USA, August 2000.
- [54] LAUX, S. E.: *Techniques for Small-Signal Analysis of Semiconductor Devices*. *IEEE Transactions on Electron Devices*, 32:2028–2037, Oktober 1985.
- [55] LEE, T. H.: *The Design of CMOS Radio-Frequency Integrated Circuits*. Press Syndicate of the University of Cambridge, Cambridge University Press, U.K., 1998.
- [56] LEMAÎTRE, B.: *Parameter Extraction for the SIEMENS MOSC5 Transistor Model*. Appendix F zum Schlußbericht „JESSI AC41 Verbundprojekt ‚Technology Assessment‘“, SIEMENS AG, Bereich Halbleiter, München, Mai 1992.
- [57] LEMAÎTRE, B.: *SIEMENS MOSC5 Transistor Model*. Technischer Bericht, SIEMENS AG, Semiconductor Group, CAD Department, München, 1992.
- [58] LEMAÎTRE, B.: *SIEMENS MOSC5 Transistor Model — Model Equations*. Appendix B zum Schlußbericht „JESSI AC41 Verbundprojekt

- ,Technology Assessment““, SIEMENS AG, Bereich Halbleiter, München, Mai 1992.
- [59] LEMAÎTRE, B.: *Analytisches LDD-MOSFET Modell für digitale und analoge Schaltungssimulation bis in den Sub-Mikrometerbereich*. Doktorarbeit, Lehrstuhl für Elektronik der Universität der Bundeswehr München, Neubiberg, Juni 1994.
- [60] LIU, W., X. JIN, K. M. CAO und C. HU: *BSIM4.0.0 MOSFET Model — User's Manual*. Department of Electrical Engineering and Computer Sciences, University of California, Berkeley, California 94720, USA, 2000. <http://www.eigroup.org/cmc/cmos/b4manual.pdf>.
- [61] LIU, W., X. JIN, J. CHEN, M.-C. JENG, Z. LIU, Y. CHENG, K. CHEN, M. CHAN, K. HUI, J. HUANG, R. TU, P. K. KO und C. HU: *BSIM3v3.2.2 MOSFET Model — Users' Manual*. Department of Electrical Engineering and Computer Sciences, University of California, Berkeley, California 94720, USA, 1999. <http://www.eigroup.org/cmc/cmos/b3manual.pdf>.
- [62] LOU, C. L., W. K. CHIM, D. S. H. CHAN und Y. PAN: *A New DC Drain-Current-Conductance Method (DCCM) for the Characterization of Effective Mobility (μ_{eff}) and Series Resistances (R_s , R_d) of fresh and Hot-Carrier Stressed Graded Junction MOSFET's*. IEEE Electron Device Letters, 18(7):327–329, Juli 1997.
- [63] MANKU, T.: *Microwave CMOS — Device Physics and Design*. IEEE Journal of Solid-State Circuits, 34(3):277–285, März 1999.
- [64] MATTHES, C.: *Nichtquasistatisches MOS-Transistormodell*. Doktorarbeit, Lehrstuhl für Elektronik der Universität der Bundeswehr München, Neubiberg, Oktober 1998. Fortschritt-Berichte VDI, Reihe 9, Nr. 290.
- [65] MICHEL, H.-J.: *Zweitordnungs-Analyse mit Leistungswellen*. Teubner-Studienbücher: Elektrotechnik. B. G. Teubner, Stuttgart, 1981.
- [66] MOTCHENBACHER, C. D. und F. C. FITCHEN: *Low-Noise Electronic Design*. John Wiley & Sons, Inc., New York, 1973.
- [67] MÜLLER, R.: *Bauelemente der Halbleiter-Elektronik*. Springer-Verlag, Berlin Heidelberg New York London Paris Tokyo, 4. Auflage, 1991.
- [68] MURRMANN, H. und D. WIDMANN: *Current Crowding on Metal Contacts to Planar Devices*. IEEE Transactions on Electron Devices, 16(12):1022–1024, Dezember 1969.
- [69] NEAMEN, D.: *Semiconductor Physics and Devices*. Irwin, Homewood, Illinois, USA, 1992.

- [70] NG, K. K. und W. T. LYNCH: *Analysis of the Gate-Voltage-Dependent Series Resistance of MOSFET's*. IEEE Transactions on Electron Devices, 33(7):965–972, Juli 1986.
- [71] NOLTING, W.: *Grundkurs: Theoretische Physik, Elektrodynamik*. Verlag Zimmermann-Neufang, Ulmen, 1993.
- [72] OGURA, S., P. J. TSANG, W. W. WALKER, D. L. CRITCHLOW und J. F. SHEPARD: *Design and Characteristics of the Lightly Doped Drain-Source (LDD) Insulated Gate Field-Effect Transistor*. IEEE Transactions on Electron Devices, 27(8):1359–1367, August 1980.
- [73] PÖHL, K. O.: *Zehn Deutsche Mark*. Deutsche Bundesbank, 1990.
- [74] PRESS, W. H., S. A. TEUKOLSKY, W. T. VETTERING und B. P. FLANNERY: *Numerical Recipes in C*. Cambridge University Press, 2. Auflage, 1995.
- [75] RAZAVI, B., R.-H. YAN und K. F. LEE: *Impact of Distributed Gate resistance on the Performance of MOS Devices*. IEEE Transactions on Circuits and Systems, 41(11):750–754, November 1994.
- [76] SCHMIDT, A.: *Leistungsarme Datenschnittstelle für Busanwendungen mit hohen Übertragungsraten bei minimaler Versorgungsspannung*. Doktorarbeit, Lehrstuhl für Elektronik der Universität der Bundeswehr München, Neubiberg, Oktober 1999. Verlag dissertation.de.
- [77] SCHOLTEN, A. J., L. F. TIEMEIJER, P. W. H. DE VREEDE und D. B. M. KLAASSEN: *A Large Signal Non-Quasi-Static MOS Model for RF Circuit Simulation*. In: *IEEE*, 1999.
- [78] SCHULER, F.: *Parameterextraktion für CMOS-Modelle im Bereich von submicron Technologien zur Schaltungssimulation*. Diplomarbeit, Technische Universität München, 1996.
- [79] SCHULER, F.: *Modellierung von nichtflüchtigen Speicherbauelementen*. Doktorarbeit, Lehrstuhl für Elektronik der Universität der Bundeswehr München, Neubiberg, Mai 1999. Verlag dissertation.de.
- [80] SELBERHERR, S.: *Analysis and Simulation of Semiconductor Devices*. Springer-Verlag, Wien New York, 1984.
- [81] SOKOLNIKOFF, I. S. und R. M. REDHEFFER: *Mathematics of Physics and Modern Engineering*. McGraw-Hill Kogakusha, Tokio, 2. Auflage, 1966.
- [82] SZE, S. M.: *Physics of Semiconductor Devices*. John Wiley & Sons, Inc., New York, 2. Auflage, 1981.
- [83] SZE, S. M.: *VLSI Technology*. McGraw-Hill, New York, 1983.

- [84] TSIVIDIS, Y.: *Operation and Modeling of the MOS Transistor*. Electronics and Electronic Circuits. WCB McGraw-Hill, New York, 2. Auflage, 1999.
- [85] ULBRICHT, G.: *Netzwerkanalyse, Netzwerksynthese und Leitungstheorie*. Teubner-Studienskripten: Elektrotechnik. B. G. Teubner, Stuttgart, 1986.
- [86] UNGER, H.-G.: *Hochfrequenz-Halbleiterelektronik*. S. Hirzel Verlag, Stuttgart, 1972.
- [87] UNGER, H.-G.: *Elektromagnetische Theorie für die Hochfrequenztechnik, Teil II*. Studentexte Elektronik. Dr. Alfred Hüthig Verlag, Heidelberg, 1981.
- [88] UNGER, H.-G.: *Elektromagnetische Wellen auf Leitungen*. Studentexte Elektronik. Dr. Alfred Hüthig Verlag, Heidelberg, 2. Auflage, 1986.
- [89] VANOPPEN, R. R. J., J. A. M. GEELLEN und D. B. M. KLAASSEN: *The high-frequency analogue performance of MOSFETs*. In: *IEEE International Electron Devices Meeting Technical Digest (IEDM)*, Seiten 173–176, 1994.
- [90] VENDELIN, G. D.: *Design of amplifiers and oscillators by the S-parameter method*. John Wiley & Sons, New York Chichester Brisbane Toronto Singapur, 1982. A Wiley-Interscience publication.
- [91] VLADIMIRESCU, A.: *The Spice Book*. John Wiley & Sons, New York Chichester Brisbane Toronto Singapur, 1994.
- [92] WEBER, W., M. BROX, R. THEWES und N. S. SAKS: *Hot-Hole-Induced Negative Oxide Charges in n-MOSFET's*. IEEE Transactions on Electron Devices, 42:1473–1480, 1995.
- [93] WIJNEN, P. J. VAN, H. R. CLAESSEN und E. A. WOLSHEIMER: *A new Straightforward Calibration and Correction Procedure for „On Wafer“ High Frequency S-Parameter Measurements (45MHz-18GHz)*. In: *IEEE Bipolar Circuits and Technology Meeting (BCTM)*, Seiten 70–73, 1987.
- [94] ZIEL, A. VAN DER: *Noise in Solid State Devices and Circuits*. John Wiley & Sons, Inc., 1. Auflage, 1986.
- [95] ZINKE, O. und H. BRUNSWIG: *Hochfrequenztechnik*, Band 1+2. Springer-Verlag, Berlin Heidelberg New York, 5. Auflage, 1995.

Index

- A-Parameter, *siehe* Ketten-Parameter
- Abschlußwiderstand, 113
- Abschnürpunkt, *siehe pinchoff point*
- Admittanz, 18, 158
- Admittanzparameter, 114
- Akkumulationswiderstand, 83, 84
- Ausgangskapazität, 159
- Ausgangskonduktanz, 14
- Ausgangsleitwert, 14
- Ausgangswiderstand, 122, 159

- Bauelementesimulation, 27
- Berkeley-Modell, 23
- Beweglichkeit der Ladungsträger, 15, 134
- Beweglichkeitsmodell, 30
- Blindleitwert, 158
- Blindwiderstand, 157
- BSIM3 v3.1, 23–25, 78, 80, 81, 87, **105–108**, 117, 118, 122, 125, 126, 128, 130

- C, 106, 107
- charge sheet*-Näherung, 8, 34
- Chip-Photo, 111, 112

- de-embedding*, 113
- Definition
 - Hybrid-Parameter, 155
 - Ausgangskapazität, 159
 - Ausgangswiderstand, 159
 - Eingangskapazität, 158
- Kanalaufbauzeit, 135
- Kapazität, 16
- Ketten-Parameter, 155
- Leitwert, 14
- Leitwert-Parameter, 154
- Quasistatik, 131, 147
- Widerstands-Parameter, 154
- depletion*-Näherung, 34
- Diffusionsspannung, 63
- Drain-Source-Widerstand, 72, 80, 123

- Eingangskapazität, 96, 158
- Eingangswiderstand, 39, 40, 45, 57, 64–79, 119–122, 158
- Einsatzspannung, 15, 34, 36, 133
- Einstein*-Beziehung, 7
- Elektronenakkumulation, 94, 95
- Elmore*-Widerstand, 25
- Empirisches Modell, 21

- Fehlbelichtungsabstand, *siehe* Vorhalt
- Fermispannung, 15
- Ficksches Gesetz, 7
- Fingerstruktur, 61
- Flachbandspannung, 34, 85
- Fortran, 106, 107
- fringing*-Kapazität, 91, 99

- Gammamatrix, 158
- Gatefinger, 61–63, 109–112, 144

- Gatekapazität, 38, 121
 Gatesteilheit, 14
 Gatewiderstand, 57, 60–63, 65
 Gaußscher Satz, 94
 Gegenkopplung, 103
 Gesamtwiderstand, 91, 127
 Geschwindigkeitssättigung, *siehe* Sättigungsgeschwindigkeit
 gnuplot, 140
gradual channel-Näherung, 8
 Grenzfrequenz, 144, 159
 Großsignalkapazität, 16

 H-Parameter, *siehe* Hybrid-Parameter
 Hutmodell, 106, 107
 Hybrid-Parameter, 155
 Hybridmatrix, 158

 IC-CAPTM, 29, 88
 Impedanz, 157
 Implementierung, 105–107
 Subcircuit-, 107
 Induktivität, 19, 157
 Innerer Miller-Effekt, 95
Intrinsic-Dichte, 6
 Inversion
 schwache, 33, 74
 starke, 33, 34, 74
 Inversionsladung, 138, 144, 145
 Inversionsschicht, 137, 138, 147, 149
 Inversionsschichtladung, 8, 136
 Inverter, 130

junction-Kapazität, 25

 Kanalabschnürung, 134
 Kanalaufbauzeit, 135
 Kanallänge
 BSIM3v3.1-Definition, 24
 effektive, 23, 24
 Kanallängenkorrektur, 24
 Kanallängenmodulation, 15, 98
 Kanalspannung, 35
 Kanalwiderstand, 36, 61, 64–66, 68, 127
 Kapazität, 157
 Kapazität, 13, 16, 19, 57, 157
 Ausgangs-, 159
 Eingangs-, 158
 fringing-, 91, 99
 Gate-, 38, 121
 Großsignal-, 16
 junction-, 25
 Kleinsignal-, 16
 Oxid-, 15
 Sperrschicht-, 63
 Überlapp-, 63, 94, 101, 103
 Kapazitätskoeffizient, 63
 Kapazitätsmodell, 105
 Ketten-Parameter, 155
 Kettenmatrix, 158
 Kleinsignalersatzschaltbild, 19, 20, 64, 67, 92, 93
 Kleinsignalkapazität, 16
 Kompaktmodell, 21, 22
 Konduktanz, 55, 158
 Kontinuitätsgleichung, 5
 Kreisfrequenz, 157

 Ladungsmodell, 105
 Layout, 109, 110, 112
 Leckstrom, 13
 Leistungsverstärkung
 maximale, 159
 maximale stabile, 159
 Leitwert, 14, 19, 158
 Leitwert-Parameter, 154
 Leitwertmatrix, 154, 157

- normiert, 158
- Massenwirkungsgesetz, 6
- MASTTM, 107
- MEDICITM, 20, **27–56**, 87, 96, 121, 136–139
- Meßextraktion, 113
- Miller-Effekt, 95
- Mischer, 51
- Modell
 - Berkeley-, 23
 - empirisches, 21
 - Hut-, 106, 107
 - Kapazitäts-, 105
 - Kompakt-, 21, 22
 - Ladungs-, 105
 - Philips-, 22
 - Tabellen-, 21, 22
- Näherung
 - charge sheet*-, 8, 34
 - depletion*-, 34
 - gradual channel*-, 8
 - quasistatische, 131
 - van-Dort*-, 30
- Nettorekombinationsrate, 5
- Normierte Leitwertmatrix, 158
- Normierte Widerstandsmatrix, 157
- Normierung
 - der Leitwertmatrix, 158
 - der Widerstandsmatrix, 157
- Normwiderstand, 157
- Oxidkapazität, 15, 98
- Parameterextraktion, 29, 88
- Phasenverschiebung, 139–141, 144, 145, 147, 148
- Philips-Modell, 22
- pinchoff point*, 37, 101, 138
- Poisson*-Gleichung, 5, 6
- Polygate-Depletion*-Effekt, 91
- Programmiersprache
 - C, 106, 107
 - Fortran, 106, 107
 - MASTTM, 107
- Quantenmechanik, 30
- Quasistatische Annahme, 131, 147
- Rauschzahl, 160
- Reaktanz, 157
- Rechenzeit, 55
- Resistanz, 157
- Ringoszillator, 129
- SABERTM, 3, 55, **105–107**, 176
- Sättigungsbedingung, 133
- Sättigungsbereich, 9, 51
- Sättigungsgeschwindigkeit, 133
- Sättigungsspannung, 74
- Schaltungssimulator, 105
- Scheinleitwert, 158
- Scheinwiderstand, 157
- Schnittgeradenmethode, 90
- Sensitivitätsanalyse, 89
- Simulationsgitter, 28
- Smith*-Diagramm, 115, 161–163
- Spannungsteiler, 65
- SPECTRETM, 106
- Sperrschichtkapazität, 63
- Spezifischer Widerstand, 58
- SPICE, 106, 176
- Spreading-Widerstand, 80, 83, 85
- Spule, 13
- Stoßionisation, 11
- Streumatrix, 158
- Streuparameter, 114
- Stromergiebigkeit, 125
- Substratsteilheit, 14

- Substratsteuerfaktor, 15, 35
 Suszeptanz, 55, 158
 Tabellenmodell, 21, 22
 Technologiesimulation, 27, 28
 Teilchenstromdichte, 5
 Temperaturspannung, 7
 Thermodynamisches Gleichgewicht,
 6
 Transitfrequenz, 119, 159
 Transitzeit, 133
 Transkonduktanz, 14
transmission line, 59, 65
 Transportgleichung, 5, 6
 Trapezmodell, 71
 Triodenbereich, *siehe* Widerstands-
 bereich
 TSUPREMTM, 27, 96, 136
 Tunnelstrom, 13
 Überlappkapazität, 63, 94, 101, 103
 Überlapplänge, 24, 90
 Überlappwiderstand, 84
 Überschufdichte, 85
 Übertragungsleitwert, 14
 Umrechnung von
 S- in Y-Parameter, 155
 S- in Z-Parameter, 155
 Wellen in Ströme und Span-
 nungen, 153
 Y- in S-Parameter, 156
 Y- in Z-Parameter, 154, 157
 Z- in S-Parameter, 156
 Z- in Y-Parameter, 154, 157
 Unterdiffusion, 23
 Unterschwellstrombereich, 9
van-Dort-Näherung, 30
 Verschiebestrom, 7
 Verschleifungsfunktion, 165
 Verstärkung, 127
 Verstärkungsfaktor
 des Prozesses, 15
 des Transistors, 15
 Verzögerungszeit, 129
 Vorhalt, 23
 Wellenwiderstand, 157
 Widerstand, 13
 Abschluß-, 113
 Akkumulations-, 83, 84
 Ausgangs-, 122, 159
 Blind-, 157
 Drain-Source-, 72, 80, 123
 Eingangs-, 39, 40, 45, 57, 64–
 79, 119–122, 158
 Gate-, 57, 60–63, 65
 Gesamt-, 91, 127
 Kanal-, 36, 61, 64–66, 68, 127
 Norm-, 157
 Schein-, 157
 spezifischer, 58
 Spreading-, 80, 83, 85
 Überlapp-, 84, 101, 103
 Wellen-, 157
 Wirk-, 157
 Widerstands-Parameter, 154
 Widerstandsbereich, 9, 51, 66, 70,
 74
 Widerstandsmatrix, 154, 157
 normiert, 157
 Wirkleitwert, 158
 Wirkwiderstand, 157
 Xfig, 140
 Y-Parameter, 18
 Zielstromverfahren, 36