

UNIVERSITÄT DER BUNDESWEHR MÜNCHEN  
Fakultät für Elektrotechnik und Informationstechnik

# Integration eines JFETs in einen Silizium Drift Detektor

Florian Palitschka

Vollständiger Abdruck der von der Fakultät für  
Elektrotechnik und Informationstechnik  
der Universität der Bundeswehr München  
zur Erlangung des akademischen Grades eines

**Doktor-Ingenieurs**

genehmigten Dissertation.

Gutachter/Gutachterin: 1. Univ.-Prof. Dr. Ing. Walter Hansch  
2. Univ.-Prof. Dr. Ing. Norbert Schwesinger  
Technische Universität München

Die Dissertation wurde am 15.11.2013 bei der  
Universität der Bundeswehr München eingereicht und durch die Fakultät für  
Elektrotechnik und Informationstechnik am 23.07.2014 angenommen.

Die mündliche Prüfung fand am 01.10.2014 statt.



# Zusammenfassung

In dieser Arbeit werden *Junction – Field – Effect – Transistoren* (JFETs) mit unterschiedlichen Designs entwickelt und charakterisiert. Ferner wird einer dieser JFET – Typen in einen kommerziellen Silizium Drift Detektor (SDD) auf Chipebene integriert. Dieser fungiert als Impedanzwandler und ermöglicht die weitere Verarbeitung des vom Detektor generierten Signals.

Um den JFET nach einer erfolgten Detektion wieder in den Ausgangszustand zu versetzen, werden zu diesem Zweck noch ein Bipolartransistor und eine Kapazität integriert. Hierzu wird der Bipolartransistor zum ersten Mal nicht mit dem JFET kombiniert, sondern vollständig separat von diesem in den innersten Driftring des SDDs platziert. Durch die direkte Integration der Bauelemente in den Detektorchip kommen einige Vorteile von integrierten Schaltungen zum Tragen: Parasitäre Widerstände und Kapazitäten werden reduziert. Folglich verringert sich das Rauschen des Detektors, die Schaltzeiten und Energieauflösung verbessern sich.

Es werden in der Arbeit sowohl die theoretischen Grundlagen des JFETs behandelt, sowie die Funktionsweise eines SDDs skizziert. Dabei wird auch auf verschiedene Designs von JFETs eingegangen. Neben einem rechteckigen Design für die ersten Prototypen von JFETs an der Universität der Bundeswehr wird ein radialsymmetrisches Design in den SDD integriert.

Für die Transistoren im rechteckigen Design soll das Kanalgebiet mittels Epitaxie auf einen Substratwafer gewachsen werden, die Dotierung der Kontakte soll mit SOD erfolgen. Hierfür wird auf einen vorhandenen Maskensatz zurückgegriffen, der allerdings nicht für JFETs ausgelegt ist. Die nötigen Schichtdicken und Konzentrationen von Dotierstoffen werden mit TCAD – Simulationen bestimmt. Weiterhin werden die Auswirkungen verschiedener Kanalhöhen auf die elektrischen Eigenschaften eines JFETs untersucht. Um dies unabhängig von Prozessschwankungen durchzuführen, wird ein RIE – Prozess entwickelt, mit dem sich verschiedene Kanalhöhen auf einem Wafer realisieren lassen.

Für die effektive Integration der Transistoren in den SDD soll möglichst auf bereits etablierte Prozesse aus der Produktion zurückgegriffen werden. Trotzdem ist es nötig, neue Prozesse zu entwickeln und zu implementieren. Dies betrifft in erster Linie die Dotierung von Kanal und Basis der Transistoren, sowie deren elektrische Isolation gegenüber dem SDD. Alle Dotierungen bei der Herstellung der SDDs werden mittels Ionenimplantation realisiert.

Die Entfernung von Fotolack nach einer Ionenimplantation kann nasschemisch oder durch Veraschung mittels eines Plasmas erfolgen. Um die Auswirkungen eines solchen

zusätzlichen Plasmaprozesses zu untersuchen, wird der Fotolack testweise nach einer Implantation auf zwei Wafern verascht, in allen weiteren Fällen geschieht dies nasschemisch.

Für die Passivierung und als Dielektrikum für eine Kapazität kommen sowohl Siliziumnitrid als auch ein Siliziumoxid zum Einsatz. Beide werden bei Temperaturen von unter 800 °C abgeschieden.

Bei der Charakterisierung der mit SOD dotierten JFETs zeigt sich, dass die verwendeten Masken nicht für die Herstellung von JFETs ausgelegt sind. Das Kanalgebiet lässt sich nicht vollständig gegenüber dem Substrat isolieren. Die Folge ist ein Leckstrom zwischen Source und Drain. Dieser zeigt sich in einem Anstieg der Ausgangskennlinien im Sättigungsbereich. Weiterhin ist die Wirkung des Gates deutlich eingeschränkt, aber vorhanden. Eine detaillierte Betrachtung der Transferkennlinien und verschiedener Kenngrößen der Transistoren zeigen einen starken Einfluss von Leckströmen. Vergleiche mit durchgeführten dreidimensionalen Simulationen zeigen eine sehr gute Übereinstimmung mit den experimentellen Kennlinien und bestätigen die Ursache für den Leckstrom.

Weiterhin werden die in die SDDs integrierten JFETs charakterisiert und soweit dies aufgrund der vorhandenen Anschlüsse möglich ist auch die Bipolartransistoren. Bei den JFETs zeigen sich deutliche Unterschiede verursacht durch die eingesetzten Passivierungen. Transistoren mit einer Passivierung aus Siliziumnitrid zeigen einen um etwa eine Größenordnung geringeren Drainstrom im Vergleich zu den mit Siliziumoxid passivierten JFETs. Die Untersuchungen der verschiedenen pn-Dioden in einem JFET lassen darauf schließen, dass die Entfernung des Siliziumnitrids aus den Kontaktlöchern nicht rückstandsfrei ist.

Die unterschiedliche Stromtragfähigkeit zeigt sich auch bei verschiedenen Kenngrößen der Transistoren. So besitzen die mit Siliziumnitrid passivierten JFETs ein Verhältnis von on-Strom zu off-Strom von 6 bis 8 Dekaden und eine Einsatzspannung von knapp  $V_T \approx -1,0 V$ . Die mit Siliziumoxid passivierten JFETs zeigen hingegen ein on zu off-Stromverhältnis von 8 bis 10 Dekaden und eine Einsatzspannung von etwa  $V_T \approx -1,5 V$ . Keine Differenz ist in der Unterschwellsteigung  $S$  zu erkennen. Diese liegt für die JFETs im Mittel bei  $S \approx 67 mV/Dek.$  und somit in der Nähe des physikalischen Limits.

Wie diese Arbeit belegt, ist die Integration eines JFETs und eines Bipolartransistors in einen SDD erfolgreich. Als Passivierung unter gleichzeitiger Verwendung als Dielektrikum kommen Siliziumoxid und Siliziumnitrid zum Einsatz. Die Verwendung von Siliziumoxid führt zu einer höheren Stromtragfähigkeit bei den Transistoren. Im Gegensatz dazu ist die Ausbeute bei den JFETs mit einer Passivierung aus Siliziumnitrid deutlich besser. Um diese Diskrepanzen zu beheben, ist eine Optimierung der verwendeten Prozesse notwendig. Keine signifikante Auswirkung auf die JFETs hat der zusätzliche Prozessschritt mit Plasma zum Veraschen des Fotolacks.

# Inhaltsverzeichnis

<b>Zusammenfassung</b>	<b>i</b>
<b>1. Einleitung</b>	<b>1</b>
<b>2. Theorie</b>	<b>3</b>
2.1. Theorie zum JFET . . . . .	3
2.1.1. Der Langkanal – JFET . . . . .	3
2.1.2. Der Kurzkanal JFET . . . . .	11
2.1.3. Der pn – Übergang . . . . .	12
2.2. Theorie zum SDD . . . . .	15
2.3. JFET – Design . . . . .	17
2.3.1. Rechteckiges Design . . . . .	17
2.3.2. Radiales Design . . . . .	20
<b>3. Prozessierung</b>	<b>23</b>
3.1. Parameterauswahl . . . . .	23
3.2. Prozessablauf für SOD JFETs . . . . .	28
3.3. Elektrische Charakterisierung der JFETs . . . . .	34
3.4. Prozessablauf für SDDs . . . . .	36
3.4.1. Kapazität . . . . .	38
<b>4. Technologie</b>	<b>41</b>
4.1. Kanalausdünnung . . . . .	41
4.2. Dotierung . . . . .	42
4.2.1. Implantation . . . . .	42
4.2.2. Konzentration der Dotierstoffe . . . . .	44
<b>5. Experimentelle Ergebnisse</b>	<b>49</b>
5.1. Elektrische Charakterisierung der SOD JFETs . . . . .	50
5.1.1. Ausgangskennlinie . . . . .	50
5.1.2. Transferkennlinie . . . . .	63
5.1.3. Gateströme . . . . .	68
5.1.4. Kanalhöhen . . . . .	71
5.1.5. Statistische Auswertung . . . . .	73
5.2. Elektrische Charakterisierung der integrierten JFETs . . . . .	74
5.2.1. Einzelner Transistor . . . . .	74
5.2.2. Auswirkung verschiedener Prozesse auf die Eigenschaften der JFETs . . . . .	85

## *Inhaltsverzeichnis*

5.2.3. Statistische Auswertung . . . . .	94
5.3. Bipolartransistor . . . . .	119
<b>6. Diskussion und Ausblick</b>	<b>125</b>
<b>A. Waferübersicht</b>	<b>131</b>
<b>B. Prozesspläne</b>	<b>133</b>
B.1. SOD JFETs . . . . .	133
<b>C. Histogramme</b>	<b>143</b>
C.1. Wafer 229 Dioden . . . . .	143
C.2. Wafer 231 Dioden . . . . .	145
<b>Publikationen</b>	<b>159</b>
<b>Danksagung</b>	<b>161</b>

# 1. Einleitung

Es gibt viele technologische Errungenschaften, die in der heutigen Zeit von jedermann zu erwerben sind, aber ein halbes Jahrhundert zuvor noch als Fiktion galten. Bekannte Beispiele aus unserer Zeit sind die Satellitenkommunikation oder das Handy.

Eine weitere solche Erfolgsgeschichte ist die Geschichte der Halbleiterdetektoren. Eines der wohl bekanntesten Produkte mit einem Halbleiterdetektor ist die Digitalkamera. Aber auch in der Medizin oder der Materialanalyse kommen diverse Halbleiterdetektoren in verschiedensten Geräten zum Einsatz. Einige davon werden immer kleiner und handlicher. Als Beispiel sind Röntgenfluoreszenz – Analysatoren zu nennen, die auf einem Silizium – Drift – Detektor basieren (SDD).

Die ersten Halbleiterdetektoren kamen in der Forschung zum Einsatz. Anwendungsgebiete waren die Teilchenphysik [1, 2], Synchrotrons [3] oder die Raumfahrt [4, 5]. Einen der ersten Silizium – Drift – Detektoren für Röntgenstrahlung in der Planartechnologie entwickelte J. Kemmer [6]. In der Folge ist das Konzept der SDDs kontinuierlich verbessert worden, um unter anderem die Energieauflösung der Detektoren zu optimieren. Dies wird erreicht durch die Integration eines Teils der Elektronik zur Signalverarbeitung in den Detektor [7, 8, 9, 10, 11, 12]. Mit der Zeit wurden auch neue Konzepte für Halbleiterdetektoren realisiert, wie z. B. [13, 14].

Die teilweise Integration der Elektronik zur Signalverarbeitung auf den Detektorchip reduziert Signallaufzeiten, parasitäre Kapazitäten, elektronisches Rauschen aber auch die Größe und die Kosten zur Herstellung der Detektoren. Gleichzeitig verbessert sich die Energieauflösung der SDDs.

Ziel dieser Arbeit ist die Integration eines JFETs<sup>1</sup>, der als Impedanzwandler fungiert und das Signal des Detektors mit hoher Impedanz in ein Signal mit niedriger Impedanz umwandelt. Um die Eigenschaften der integrierten JFETs im Detail zu untersuchen, werden auf den Chips Referenz – JFETs hergestellt, die ausführlich charakterisiert werden. Damit der SDD nach einer erfolgreichen Detektion eines Signals wieder in den Ausgangszustand versetzt werden kann, wird zudem ein Bipolartransistor und eine Kapazität mit integriert.

Die Integration eines Bipolartransistors kann extrem platzsparend erfolgen, indem Elemente des JFETs mit für den Bipolartransistor (z. B. der JFET – Kanal als Basis) verwendet werden [15]. Die Kombination von JFET und Bipolartransistor wird in der Literatur auch als Pentafet bezeichnet [12, 16, 17]. In dieser Arbeit soll der PNP –

---

<sup>1</sup>JFET: Junction – Field – Effect – Transistor

## 1. Einleitung

Transistor separat vom JFET in den SDD integriert werden. Deshalb wird der Bipolartransistor nicht wie bisher mit dem JFET kombiniert werden, sondern unabhängig von diesem in den innersten Driftring eingebettet werden. In den innersten Driftring wurden schon erfolgreich JFETs eingebaut [18].

In **Kapitel 2** werden die theoretischen Grundlagen des JFETs behandelt, ausgehend von der Theorie von William B. Shockley [19]. Da der pn-Übergang bei einem JFET von zentraler Bedeutung ist, wird kurz auf die Kennlinie einer pn-Diode eingegangen. Nach einer Einführung in die Funktionsweise eines SDDs folgt eine Darstellung der Layouts von den hergestellten JFETs und von der Integration eines radialsymmetrischen JFETs in einen SDD. Es wird ebenfalls auf die Verschaltung von Detektor, JFET, Bipolartransistor und Kapazität eingegangen.

**Kapitel 3** beschäftigt sich mit der Bestimmung verschiedener wichtiger Prozessparameter, um erfolgreich einen JFET herzustellen. Hierzu werden unter Berücksichtigung der technologischen Gegebenheiten Simulationen durchgeführt, um die nötigen Parameter für die erfolgreiche Prozessführung eines JFETs zu bestimmen. Weiterhin wird der prinzipielle Herstellungsprozess eines JFETs beschrieben, bei dem die Dotierung mit SOD<sup>2</sup> erfolgt. Anschließend wird auf die Besonderheiten bei der Herstellung eines SDDs mit einem integrierten JFET und Bipolartransistor eingegangen sowie auf die Implementierung einer Kapazität.

Prozesse die im Rahmen dieser Arbeit eine entscheidende Rolle spielen und neu entwickelt wurden, werden in **Kapitel 4** vorgestellt. Um die Auswirkungen unterschiedlicher Kanalhöhen bei JFETs zu untersuchen, werden auf einem Wafer Transistoren mit verschiedenen Kanalhöhen hergestellt. Dies wird mittels eines RIE<sup>3</sup>-Prozesses realisiert. Die Dotierungen bei den JFETs für die SDDs werden per Implantation realisiert. Hierzu wird eine kurze Übersicht über die Funktionsweise eines Implanters gegeben. Die Dotierprofile werden mittels SIMS<sup>4</sup>- und SRP<sup>5</sup>-Messungen untersucht.

**Kapitel 5** stellt die Resultate der elektrischen Charakterisierung vor. Zuerst werden die Messungen der mittels SOD dotierten JFETs vorgestellt und mit 3D-Simulationen verglichen. Im zweiten Teil des Kapitels erfolgt die Charakterisierung der JFETs für die SDDs. Hierbei werden die verschiedenen Dioden in den JFETs untersucht, ebenso wie wichtige Kenngrößen der Transistoren. Zudem werden die Bipolartransistoren charakterisiert. Die experimentellen Resultate der verschiedenen Transistoren werden mit Simulationen verglichen.

In **Kapitel 6** werden die Ergebnisse zusammengefasst und diskutiert. Außerdem wird ein Ausblick gegeben.

---

<sup>2</sup>SOD: Spin-on-Dopant

<sup>3</sup>RIE: Reactive-Ion-Etching

<sup>4</sup>SIMS: Secondary Ion Mass Spectrometry

<sup>5</sup>SRP: Spreading Resistance Probe oder Spreading Resistance Profiling



## 2. Theorie

### 2.1. Theorie zum JFET

Die erste theoretische Präsentation eines Feldeffekttransistors geht auf Julius Edgar Lilienfeld aus dem Jahre 1925 zurück [20]. Allerdings erst nachdem Lilienfeld 1928 eine alternative Bauform veröffentlichte [21, 22], realisierte 1934 Oskar Heil den ersten Feldeffekttransistor und meldete diesen zum Patent an [23].

Der von Heil entwickelte Transistor gehört zum Typ des *Isolated – Gate – Field – Effect – Transistor* (IGFET), dessen bekanntester Vertreter der *Metal – Oxid – Semiconductor – Field – Effect – Transistor* (MOSFET) ist. Zu der zweiten wichtigen Gattung der Feldeffekttransistoren zählt der *Junction – Field – Effect – Transistor* (JFET, dt. Sperrschichtfeldeffekttransistor) [24].

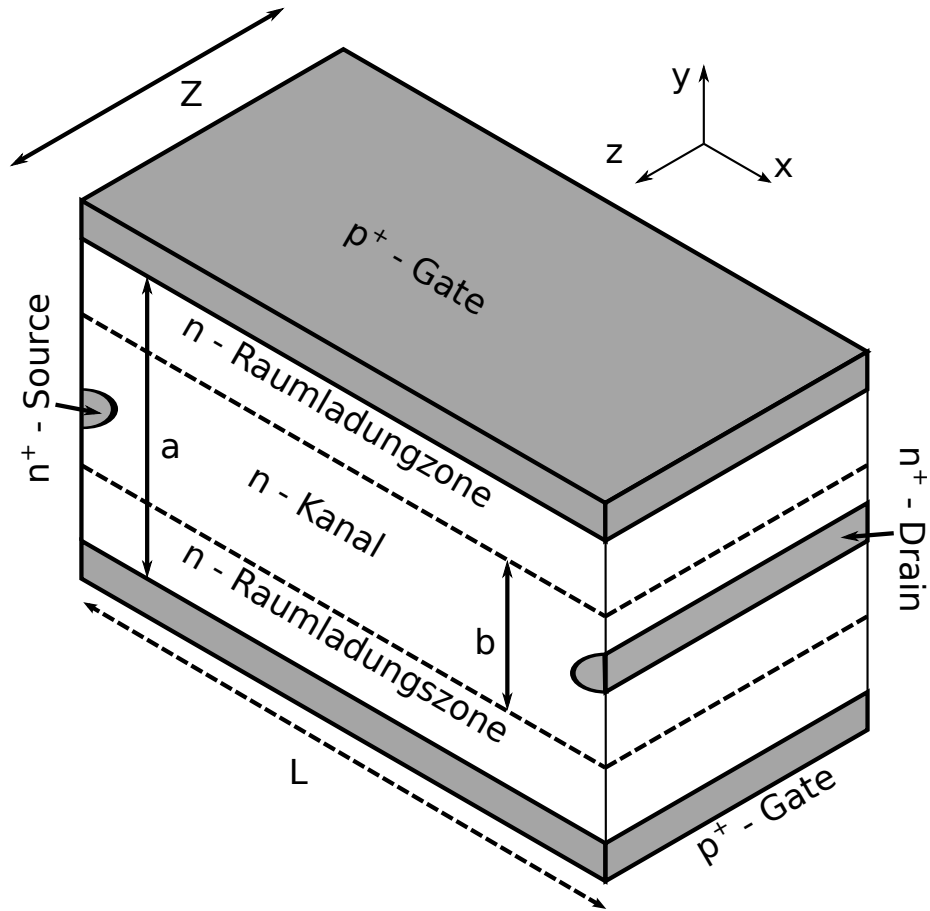
Die ersten Feldeffekttransistoren mit Steuerung durch einen pn-Übergang wurden bereits in den 40er Jahren des 20. Jahrhunderts entwickelt. Herbert Francois Mataré und Heinrich Welker meldeten 1949 ein entsprechendes Patent an [25]. Zeitgleich entwickelten Walter Brattain und William Shockley in den Vereinigten Staaten verschiedene Transistoren, darunter auch ein JFET – Konzept. 1952 veröffentlichte Shockley eine theoretische Beschreibung des JFETs [19].

#### 2.1.1. Der Langkanal – JFET

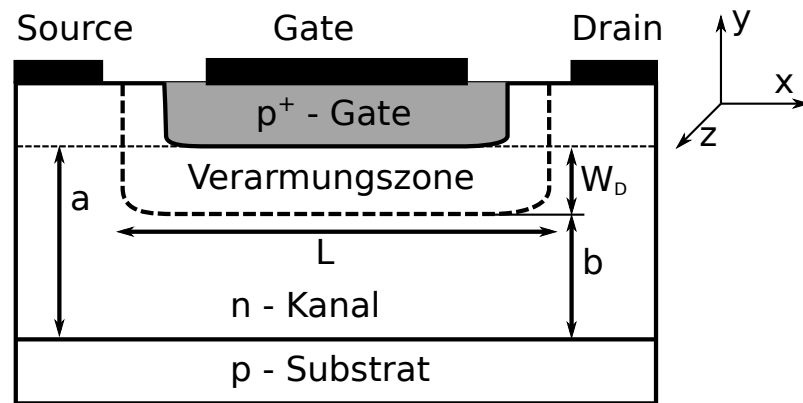
Die Theorie von Walter Shockley wird auch *Gradual – Channel – Approximation* (GCA) genannt. Für eine vollständige analytische Beschreibung machte Shockley folgende Annahmen [19, 24]:

- Die Dotierung im Kanal ist homogen.
- Das Potenzial fällt linear über den Kanal ab  $E(x) \ll E(y)$ .  
*Gradual – Channel – Approximation*
- Zwischen Gate und Kanal ist ein scharfer pn-Übergang und die Verarmungszone im Gate ist vernachlässigbar.
- Der Gateleckstrom ist zu vernachlässigen.
- Die Beweglichkeit der Ladungsträger im Kanalgebiet ist konstant.

Im weiteren Verlauf des Abschnittes folgt die theoretische Betrachtung der Darstellung aus [24].



(a) Schematische Darstellung eines JFETs mit doppelseitigem Gate nach [19].



(b) Schematische Darstellung eines JFETs mit einseitigem Gate nach [24].

Abbildung 2.1.: Schematische Darstellungen eines idealisierten JFETs mit zweiseitigem Gate nach Shockley (a) und eines industriell gefertigten JFETs mit einfachem, diffundiertem Gate (b).

Den Aufbau eines JFETs nach Shockley zeigt Abbildung 2.1(a). Der Transistor besteht aus einem Kanalgebiet, in diesem Fall schwach n-dotiert, eingebettet zwischen zwei hoch dotierten p<sup>+</sup>-Gebieten, dem Gate<sup>1</sup>, grau gezeichnet. Die ebenfalls grau markierten Gebiete im Kanal sind der Source- und Drainkontakt, hier beide hoch n-dotiert. Die gesamte Kanalhöhe  $a$  ist definiert als Abstand zwischen dem oberen Gate und dem unteren Gate bzw. dem Substrat und umfasst sowohl die Verarmungszone  $W_D$ , als auch den offenen Kanalbereich  $b$ . Die Kanallänge wird mit  $L$  und die Kanalbreite mit  $Z$  bezeichnet.

Zwar können planparallele Schichten mittels verschiedener technologischer Verfahren realisiert werden, in der Industrie erfolgt die Dotierung aber meist per Diffusion oder Implantation. Zuerst wird das Kanalgebiet hergestellt. Anschließend erfolgt die Dotierung des Gates in einem zweiten Prozessschritt [26]. Abbildung 2.1(b) zeigt einen solchen JFET im Querschnitt. Bei dieser Fertigungsart ist das Substrat prozessbedingt niedriger dotiert als das Kanalgebiet. Die Folge ist, dass der Transistor effektiv nur ein Gate, nämlich an der Oberfläche besitzt.

Nach Anlegen einer Spannung  $V_D$  am Drainkontakt beginnt ein Driftstrom durch den gesamten offenen Kanalquerschnitt  $b \cdot Z$  zu fließen (*normally-on*). Wird der abgegriffene Strom (Drainstrom  $I_D$ ) über die Drainspannung  $V_D$  aufgetragen, so erhält man die Ausgangskennlinie eines JFET. Die in Abbildung 2.2 dargestellte Ausgangskennlinie eines n-Kanal JFETs kann in verschiedene Bereiche unterteilt werden. Für kleine Drainspannungen  $V_D$  steigt der Drainstrom  $I_D$  erst linear mit dieser an, um dann in einen nicht linearen Bereich überzugehen. Aufgrund der Polung der Drainspannung vergrößert sich die Verarmungszone im Bereich des Drainkontakts. Die maximale Ausdehnung der Verarmungszone ist erreicht, wenn gilt:

$$W_D = a \Rightarrow b = 0. \quad (2.1)$$

Dieser Punkt wird Abschnürpunkt (engl. *Pinch-off*) genannt und der Transistor befindet sich im Sättigungsbereich. Mit einer weiteren Zunahme der angelegten Drainspannung  $V_D$  bleibt der Drainstrom  $I_D$  konstant. Der Stromfluss in den abgeschnürten Bereich hinein wird durch Diffusion bestimmt. Eine weitere Erhöhung der Drainspannung  $V_D$  führt zum sogenannten Lawinendurchbruch, bei dem der Drainstrom  $I_D$  exponentiell ansteigt.

Beim Vergleich der Ausdehnung der Verarmungszone am Sourcekontakt  $W_{Ds}$  (Gleichung 2.2) mit der am drainseitigen Kontakt  $W_{Dd}$  (Gleichung 2.3) wird ersichtlich, dass der Abschnürpunkt an der Drainseite des Kanals liegt. Mit zunehmender Drainspannung  $V_D > 0$  vergrößert sich die Verarmungszone am Drainkontakt des Kanals, während die Verarmungszone im Sourcebereich unabhängig von  $V_D$  ist (siehe auch Abbildung 2.3). Dies ist der Fall, wenn die Source geerdet ist (*Common-Source-Schaltung*).

$$W_{Ds} = W_D(0) = \sqrt{\frac{2\epsilon_s (\Psi_{bi} - V_G)}{qN_D}} \quad (2.2)$$

<sup>1</sup>Für Source, Drain und Gate existieren keine adäquaten deutschen Übersetzungen. Die englischen Begriffe sind auch in die DIN übernommen [26].

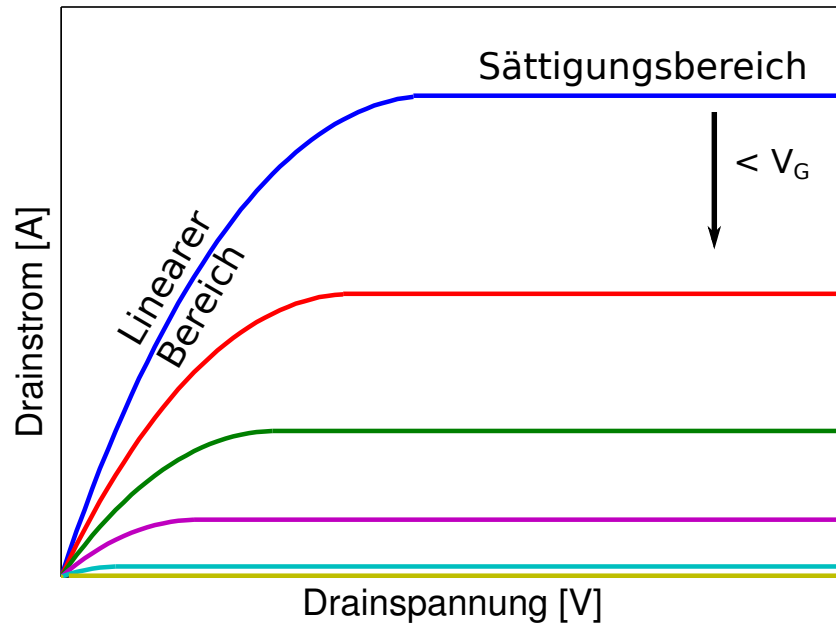


Abbildung 2.2.: Theoretische Ausgangskennlinie eines n-Kanal JFETs bei verschiedenen Gatespannungen.

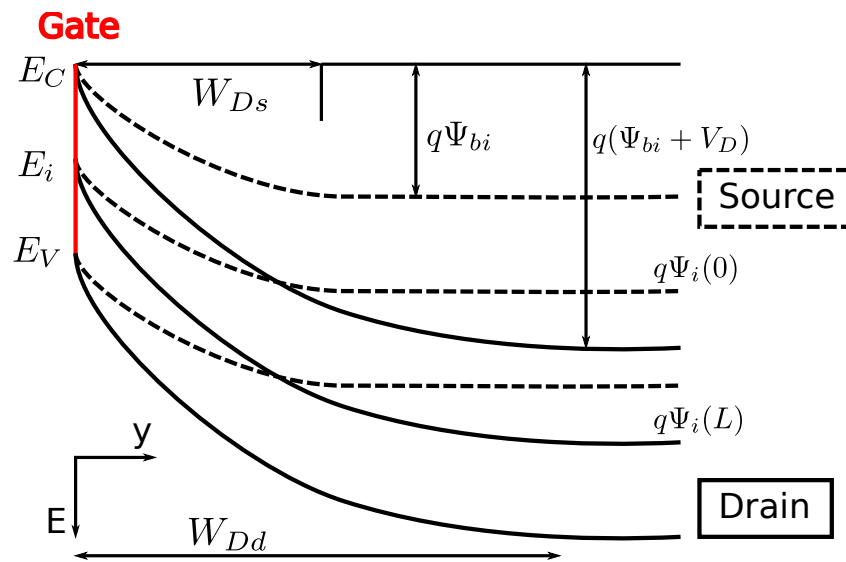


Abbildung 2.3.: Banddiagramm eines n-Kanal JFETs nach [24]. Die gestrichelten Linien zeigen die Bänder am Sourcekontakt, die durchgezogenen Linien zeigen die Bänder am Drainkontakt eines JFETs.

$$W_{Dd} = W_D(L) = \sqrt{\frac{2\epsilon_s (\Psi_{bi} + V_D - V_G)}{qN_D}} \quad (2.3)$$

In die Bestimmung der Ausdehnung der Verarmungszone gehen die Dielektrizitätskonstante von Silizium  $\epsilon_s$ , die Elementarladung  $q$ , die Dotierung im Kanal  $N_D$  und das *Built-In Potential*  $\Psi_{bi}$  ein. Letzteres wird bereits bei der Herstellung des JFETs durch den pn-Übergang von Gate und Kanal festgelegt. Dieses kann für einen JFET näherungsweise durch folgende Gleichung beschrieben werden [24]:

$$\Psi_{bi} \approx \frac{1}{q} \left[ E_g - k_B T \ln \left( \frac{N_C}{N_D} \right) \right] \quad (2.4)$$

Hierbei ist  $T$  die Temperatur,  $k_B$  die Boltzmannkonstante,  $E_g$  die Bandlücke und  $N_C$  die effektive Zustandsdichte im Leitungsband des Halbleiters.

Die Größe der Verarmungszone kann aber ebenso durch das Gate des Transistors verändert werden. Wie jede pn-Diode ist auch der Übergang zwischen Gate und Kanal in Durchlass- und Sperrrichtung betreibbar. Wird das Gate also in Sperrrichtung geschaltet, für Abbildung 2.1 ist dazu eine Gatespannung  $V_G < 0$  nötig, vergrößert sich die Verarmungszone über den gesamten Kanal. Je höher die angelegte Gatespannung  $V_G$  in Sperrrichtung ist, desto kleiner ist die nötige Drainspannung  $V_D$  um den Kanal vollständig abzuschneiden (vgl. Gleichung 2.3). Wird der Kanal alleine durch die angelegte Gatespannung  $V_G$  abgeschnürt, so fließt unabhängig von  $V_D$  kein Strom durch den Kanal und der Transistor ist ausgeschaltet [24].

Aus der GCA-Theorie ergibt sich, basierend auf der Ladungsverteilung im Kanal, folgende Gleichung für den Drainstrom [24]:

$$\begin{aligned} I_D &= \frac{Zq\mu N_D}{L} \int_0^{V_D} \left[ a - \sqrt{\frac{2\epsilon_s (\Psi_{bi} + \Delta\Psi_i - V_G)}{qN_D}} \right] d\Delta\Psi_i \\ &= \frac{Zq\mu N_D a}{L} \left\{ V_D - \frac{2}{3\sqrt{\Psi_P}} \left[ (\Psi_{bi} + V_D - V_G)^{\frac{3}{2}} - (\Psi_{bi} - V_G)^{\frac{3}{2}} \right] \right\} \end{aligned} \quad (2.5)$$

mit der Beweglichkeit der Majoritätsladungsträger  $\mu$  und dem *Pinch-off Potential*  $\Psi_P$ . Dies gibt die Bandverbiegung am Abschnürpunkt an und ist definiert als:

$$\Psi_P = \frac{qN_D a^2}{2\epsilon_s}. \quad (2.6)$$

Shockley nimmt in seiner Theorie an, dass sich der Abschnürpunkt mit zunehmendem Drainstrom in Richtung Sourcekontakt bewegt, analog zum MOSFET. Somit verringert sich die effektive Kanallänge. Nach Gleichung 2.5 folgt daraus ein Ansteigen des Drainstroms im Sättigungsbereich des Transistors [24].

Die Gleichung 2.5 vereinfacht sich im linearen Bereich ( $V_D \ll V_G$  und  $V_D \ll \Psi_{bi}$ ) der Ausgangskennlinie zu [24]:

$$I_{Dlin} = G_i \left( 1 - \sqrt{\frac{\Psi_{bi} - V_G}{\Psi_P}} \right) V_D \quad (2.7)$$

## 2. Theorie

mit der Leitfähigkeit  $G_i$  im Kanal bei  $W_D = 0$

$$G_i \equiv \frac{Zq\mu N_D a}{L}. \quad (2.8)$$

Mit einer Entwicklung von Gleichung 2.7 um  $V_G = V_T$  vereinfacht sich diese zu:

$$I_{Dlin} \approx \frac{G_i}{2\Psi_P}(V_G - V_T)V_D. \quad (2.9)$$

Hierbei ist die Einsatzspannung  $V_T$  (*engl. Threshold - Voltage*) definiert als:

$$V_T = \Psi_{bi} - \Psi_P. \quad (2.10)$$

Es lässt sich mit Hilfe von Abbildung 2.3 überlegen, dass sich die Drainspannung, ab der ein JFET in Sättigung ist, durch

$$V_{Dsat} = \Psi_P - \Psi_{bi} + V_G = V_G - V_T \quad (2.11)$$

beschreibbar ist [24].

Dies eingesetzt in Gleichung 2.5 führt zu einer Abschätzung des Drainstroms im Sättigungsbereich [24]:

$$I_{DSat} = G_i \left[ \frac{\Psi_P}{3} - (\Psi_{bi} - V_G) \left( 1 - \frac{2}{3} \sqrt{\frac{\Psi_{bi} - V_G}{\Psi_P}} \right) \right]. \quad (2.12)$$

Weiter vereinfachen lässt sich Gleichung 2.12 wenn die angelegte Gatespannung im Bereich der Einsatzspannung liegt  $V_G \approx V_T$ :

$$I_{DSat} \approx \frac{G_i}{4\Psi_P}(V_G - V_T)^2. \quad (2.13)$$

Nach Gleichung 2.12 ist der Drainstrom  $I_D$  im Sättigungsbereich des Transistors unabhängig von der angelegten Drainspannung  $V_D$ . Wie bereits erwähnt verschiebt sich nach der Theorie von Shockley der Abschnürpunkt des Kanals in Richtung der Source. Somit ist die Kanallänge  $L$  nicht konstant und da  $I_D \propto L^{-1}$  ist, steigt der Drainstrom linear mit kleiner werdender Gatelänge  $L$  an. In diesem Zusammenhang wird auch von der effektiven Gate- oder Kanallänge gesprochen  $L_{Eff}$  [24].

Es existieren aber auch Modelle, die nicht von einem Abschnüren des Kanals ausgehen, sondern davon dass die Majoritätsladungsträger in einem engen, leitenden Kanal eingeschlossen sind. In diesem Fall resultiert die Sättigung des Stroms aus dem Erreichen der Sättigungsgeschwindigkeit der mobilen Ladungsträger. Des weiteren existieren Modelle, die das sofortige Entstehen eines Abschnürpunkts beinhalten bzw. dass sich der Abschnürpunkt nicht zum Sourcekontakt, sondern stattdessen in Richtung Drainkontakt ausbildet [27].

Weiteren Aufschluss über die Mechanismen in einem JFET bietet die Möglichkeit zum Lösen der zweidimensionalen Poissongleichung. So zeigen zweidimensionale Simulationen von Ausgangskennlinien, dass bei konstanter Beweglichkeit der Ladungsträger im

Kanal der lineare Anstieg des Drainstroms  $I_D$  mit der Drainspannung  $V_D$  im Sättigungsbereich stärker ist, als nach der Theorie von Shockley. Wird jedoch die Abhängigkeit der Ladungsträger vom elektrischen Feld berücksichtigt, ist der Anstieg des Drainstroms  $I_D$  im Sättigungsbereich des Transistors deutlich geringer [27].

Gerade zweidimensionale Simulationen von JFETs belegen, dass der Kanal nach dem Abschnürpunkt nicht vollständig verarmt ist. Ob sich ein verarmter Bereich im Kanal ausbildet, hängt stark von der Definition der Verarmungszone ab. So schlägt beispielsweise Wong vor, dass von einer Verarmungszone gesprochen werden kann, wenn die Konzentration der Majoritätsladungsträger auf 1/10 der Nettokonzentration der Verunreinigungsatome abgesunken ist [28].

Neben der Ausgangskennlinie gibt es noch eine weitere wichtige Kennlinie bei Feldeffekttransistoren. Wenn in Gleichung 2.5 die Drainspannung  $V_D$  konstant gehalten und die Gatespannung variiert wird, so resultiert daraus die Eingangskennlinie oder auch Transferkennlinie genannt. Eine solche Transferkennlinie ist in Abbildung 2.4 dargestellt.

Die logarithmisch aufgetragene Transferkennlinie (Abbildung 2.4(a)) lässt sich in drei Bereiche unterteilen. Im ersten Bereich ist der Transistor aus und nur ein sehr geringer Reststrom vorhanden. Bei einem n-Kanal JFET ist dies für betragsmäßig kleine Gatespannungen  $V_G$  der Fall. Wird diese erhöht, nimmt ab einem bestimmten Wert der Drainstrom  $I_D$  exponentiell zu. Dieser Bereich wird Unterschwellbereich genannt. Schließlich sättigt der Drainstrom  $I_D$  und der Transistor ist eingeschaltet [24].

Aus der Transferkennlinie lassen sich einige wichtige Kenngrößen für einen JFET ableiten, z. B. die Steilheit<sup>2</sup>  $g_m$  (engl. *Transconductance*) der Transferkennlinie. Diese ist definiert als [24]:

$$g_m \equiv \frac{dI_{DSat}}{dV_G}. \quad (2.14)$$

Die Steilheit gibt an wie sich Änderungen in der angelegten Gatespannung  $V_G$  auf den Drainstrom in der Sättigung  $I_{DSat}$  auswirken. Aus Gleichung 2.12 ergibt sich für die Steilheit [24]:

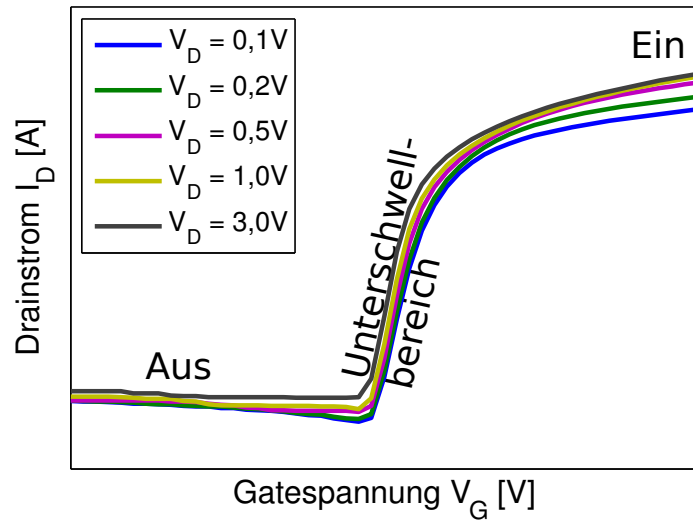
$$g_m = G_i \left( 1 - \sqrt{\frac{\Psi_{bi} - V_G}{\Psi_P}} \right), \quad (2.15)$$

bzw. nach Gleichung 2.13:

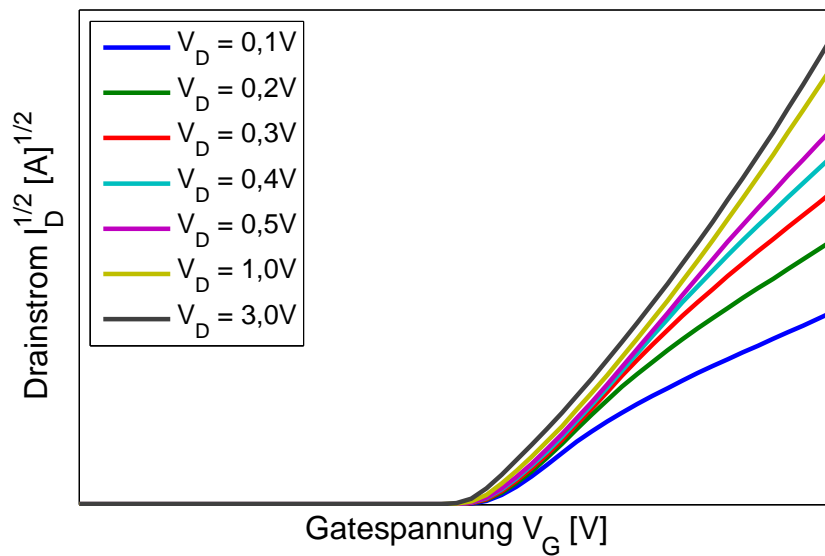
$$g_m \approx \frac{G_i}{2\Psi_P} (V_G - V_T). \quad (2.16)$$

Weiter lässt sich aus der Transferkennlinie die Einsatzspannung  $V_T$  ermitteln. Hierzu wird im Sättigungsbereich des JFETs die Wurzel des Drainstroms  $\sqrt{I_D}$  über der Gatespannung aufgetragen. Anschließend lässt sich der lineare Teil der Kurve interpolieren und der x-Achsenabschnitt entspricht näherungsweise der Einsatzspannung  $V_T$  [29]. Dies wird klar bei betrachten von Gleichung 2.13. Im Fall von  $I_{DSat} = 0$  folgt  $V_T \approx V_G$ . Die Steigung im Unterschwellbereich lässt sich für einen JFET nach folgender Gleichung

<sup>2</sup>Wird auch als Gegenleitwert bezeichnet.



(a) Transferkennlinien eines JFETs in logarithmischer Darstellung.



(b) Transferkennlinien eines JFETs in linearer Darstellung von  $\sqrt{I_D}$ .

Abbildung 2.4.: Transferkennlinien eines JFETs bei verschiedenen Drainspannungen.



bestimmen [30]:

$$S \equiv (\ln 10) \frac{dV_G}{d(\ln I_D)} = (\ln 10) \frac{k_B T}{q} \left( 1 + \frac{C_{S/C}}{C_{TG/C} + C_{BG/C}} \right) \quad (2.17)$$

Hierbei ist  $C_{TG/C}$  und  $C_{BG/C}$  die Kapazität der Verarmungszone zwischen dem oberen Gate ( $C_{TG/C}$ ) bzw. dem unteren Gate ( $C_{BG/C}$ ) und dem Kanal.  $C_{S/C}$  beschreibt die Kapazität der Verarmungszone zwischen Source und Kanal. Hierbei kann die Fläche für  $C_{TG/C}$  und  $C_{BG/C}$  über das Produkt aus Kanalbreite und Kanallänge abgeschätzt werden. Somit ist ersichtlich, dass  $C_{S/C}$  sehr viel kleiner ist als  $C_{TG/C}$  und  $C_{BG/C}$ . Folglich ist für die Unterschwellsteigung eines JFETs ein Wert nahe des physikalischen Limits zu erwarten. Im Falle eines JFETs mit nur einem Gate ist statt der Kapazität zwischen unterem Gate und Kanal ( $C_{BG/C}$ ) die Kapazität der Verarmungszone zwischen Kanal und dotiertem Substrat zu berücksichtigen [31].

### 2.1.2. Der Kurzkanal JFET

Wie schon in Abbildung 2.1 verdeutlicht besteht ein Unterschied zwischen der theoretischen Betrachtung eines JFETs mit einem planparallelen Aufbau nach [19] und eines Transistors mit abgerundetem Gate. Ausgehend von dem Transistor in Abbildung 2.1(b) führt eine Verkürzung der Gatelänge schließlich zu einem kreisförmigen Dotierprofil des Gates, dargestellt in Abbildung 2.5. Für eine theoretische Betrachtung eines JFETs mit

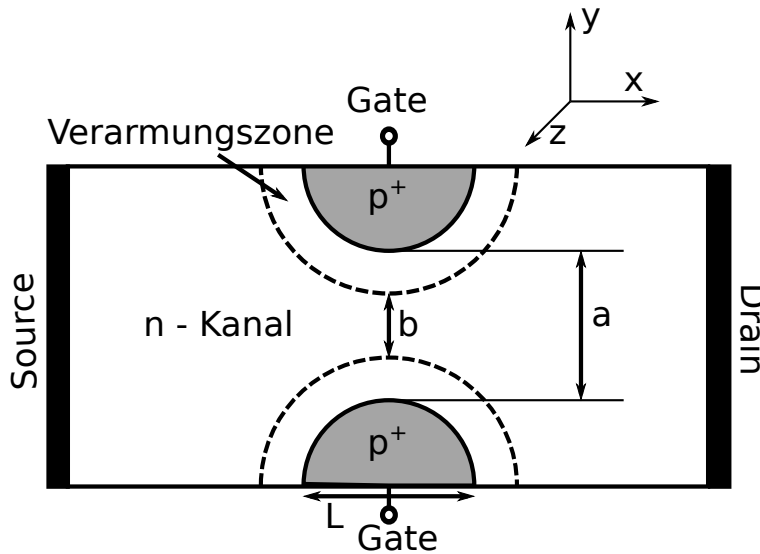


Abbildung 2.5.: Schematische Darstellung eines Kurzkanal JFET nach [32].

abgerundeten Dotierprofilen (Abbildung 2.1(b)) beim Gate, ist eine zweidimensionale Lösung der Poisson-Gleichung nötig. Im Gegensatz dazu kann das JFET-Modell nach Shockley (Abbildung 2.1(a)) und der JFET mit einem kreisförmig dotiertem Gate (Abbildung 2.5) analytisch, durch Lösen der eindimensionalen Poisson-Gleichung, beschrieben

## 2. Theorie

werden [32].

Weiter betrachtet Hauser [32] die elektrischen Eigenschaften des JFETs in Abhängigkeit vom Verhältnis Kanallänge zu Kanalhöhe  $\frac{L}{a}$  mit einem abgerundeten Dotierprofil des Gates. Bei einem Verhältnis von  $\frac{L}{a} = 1$  ergeben sich deutliche Abweichungen zwischen diesem Modell und der Theorie von Shockley. Mit einem zunehmenden Verhältnis von Kanallänge zu Kanalhöhe verringert sich die Diskrepanz zwischen den beiden Modellen. Bei einem Verhältnis von  $\frac{L}{a} = 4$  besteht nur noch eine Abweichung von etwa 10%. Damit ist eine Bedingung für einen Kurzkanal-JFET definiert  $\frac{L}{a} \leq 4$  [27, 28, 33].

Das Modell von Hauser zeigt weiter, dass im Sättigungsbereich des Transistors der Kanal nicht, wie bei Shockley beschrieben, abgeschnürt wird. Je kleiner das Verhältnis von  $\frac{L}{a}$  ist, desto weiter offen ist der Leitungskanal des JFETs [32]. Somit ist die Sättigung des Drainstroms  $I_D$  nicht auf Diffusion zurückzuführen. Vielmehr resultiert diese aus der Geschwindigkeitssättigung der Majoritätsladungsträger. Dabei tritt auch nicht notwendigerweise eine vollständige Verarmung der Ladungsträger im Kanal auf. Es ist sogar möglich, dass für JFETs mit kleinen Gatehöhen die Konzentration der Ladungsträger im Kanal höher sein kann, als im Substrat. Eine Sättigung des Drainstroms wird durch die Sättigung der Ladungsträgergeschwindigkeit hervorgerufen [32].

Die minimale Konzentration der Ladungsträger  $n_{min}$ , ab der die Sättigung der Geschwindigkeit auftritt, kann wie folgt bestimmt werden:

$$I_D = qn_{min}v_m2L_DZ \quad (2.18)$$

mit der Sättigungsgeschwindigkeit  $v_m$  für die Ladungsträger und der extrinsischen Debye-Länge  $L_D$ . Dabei ist  $v_m$  abhängig von  $E_{c1}$  und  $E_{c2}$ . Für  $E < E_{c1}$  ist die Beweglichkeit  $\mu$  der Ladungsträger als konstant anzusehen. Andernfalls ist die Beweglichkeit abhängig vom elektrischen Feld. Für  $E_{c1} < E < E_{c2}$  gilt  $\mu \propto E^{-\frac{1}{2}}$  und für  $E > E_{c2}$  gilt  $\mu \propto E^{-1}$ .

### 2.1.3. Der pn – Übergang

Wie aus Abbildung 2.1 ersichtlich sind für JFETs pn-Übergänge von essenzieller Bedeutung. In der einschlägigen Literatur ist dieser ausführlich behandelt [24, 34]. Als zentrales Element beim JFET sorgt der pn-Übergang zwischen Gate und Kanal für die Verarmung an freien Ladungsträgern im Kanal und somit für das Ein- und Ausschalten des Transistors. Für den JFET werden die pn-Übergänge in Sperrrichtung betrieben und somit ist vornehmlich der Leckstrom bei diesen Übergängen von Interesse und wird aus diesem Grund hier kurz angesprochen.

Bei einem pn-Übergang treten folgende mögliche Ursachen für eine Abweichung von der idealen Diodenkennlinie auf [24, 34, 35]:

1. Thermische Generation oder Rekombination von Ladungen.
2. Injektion von Ladungsträgern bei hohen Stromdichten.
3. Serienwiderstände.

4. Tunneln von Ladungsträgern.
5. Oberflächeneffekte, hervorgerufen durch Ladungen an der Oberfläche.

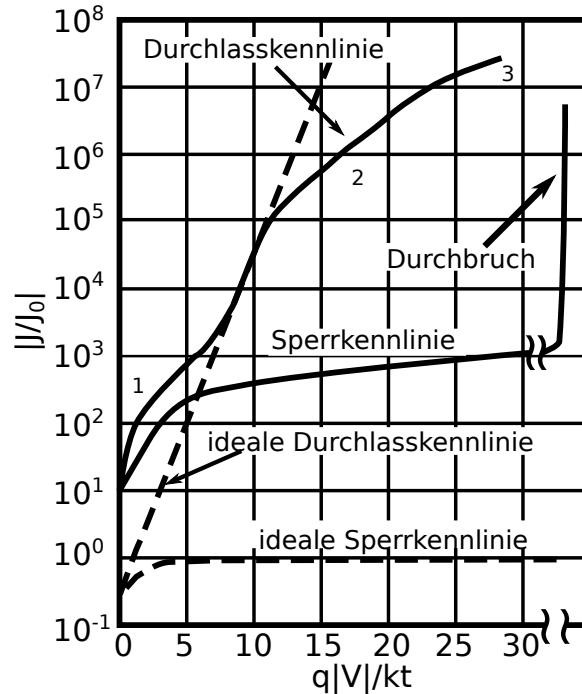


Abbildung 2.6.: Schematischer Verlauf einer idealen (gestrichelt) und experimentellen (durchgezogen) Diodenkennlinie aus [24].

In Abbildung 2.6 sind eine experimentelle (durchgezogene Linien) und eine theoretische (gestrichelte Linien) Kennlinie von einer pn-Diode dargestellt. Verschiedene Effekte können den Verlauf der Diodenkennlinie in Durchlassrichtung verändern. Bei kleinen angelegten Spannungen kann die Generation und Rekombination von Ladungsträgern (1) messbar sein. Besonders die thermische Generierung von Ladungsträgern kann, neben Oberflächeneffekten, zu einem nicht vernachlässigbaren Leckstrom bei einer pn-Diode führen [24].

Der Beitrag zum Leckstrom durch Generation und Rekombination  $I_{GR}$  ist allerdings vernachlässigbar, wenn die Ausdehnung der Raumladungszone  $W$  sehr klein gegen die Diffusionslängen der Ladungsträger ist. Da jedoch gerade bei einer Diode im Sperrbereich die Raumladungszone sehr ausgedehnt ist, muss der Stromanteil  $I_{GR}$  am Leckstrom  $I_L$  berücksichtigt werden. Es gilt für den Anteil des Generations- und Rekombinationsstroms  $I_{GR}$  [34]:

$$I_{GR} \propto W \tag{2.19}$$

und

$$I_{GR} \propto \sqrt{V}. \tag{2.20}$$

## 2. Theorie

Der Strom  $I_L$  im Sperrbereich einer pn-Diode wird idealerweise bestimmt durch die Generation von Minoritätsladungsträgern in den beiden dotierten Gebieten.

$$I_L = Ae \left( p_{n0} \frac{L_p}{\tau_p} + n_{p0} \frac{L_n}{\tau_n} \right) \quad (2.21)$$

Hierbei ist  $A$  der Querschnitt zwischen den beiden dotierten Gebieten,  $p_{n0}$  die Löcherdichte im n-dotiertem Gebiet und  $n_{p0}$  die Elektronendichte im p-dotiertem Gebiet.  $L_n$  ist die Diffusionslänge und  $\tau_n$  die Lebensdauer der Elektronen im p-dotiertem Material. Entsprechend ist  $L_p$  die Diffusionslänge der Löcher und  $\tau_p$  die Lebensdauer der Löcher im n-dotiertem Bereich [34].

Bei der Injektion von Minoritätsladungsträgern (2) entspricht deren Konzentration in etwa der der Majoritätsladungsträger. Dieser Effekt tritt bei hohen Stromdichten auf. Eigentlich ein Effekt beim pn-Übergang, der in Durchlassrichtung geschaltet ist [24], kann dies auch bei einem JFET zwischen Gate und Drain auftreten [35].

Einen weiteren Einfluss auf die Diodenkennlinie in Durchlassrichtung haben Serienwi-

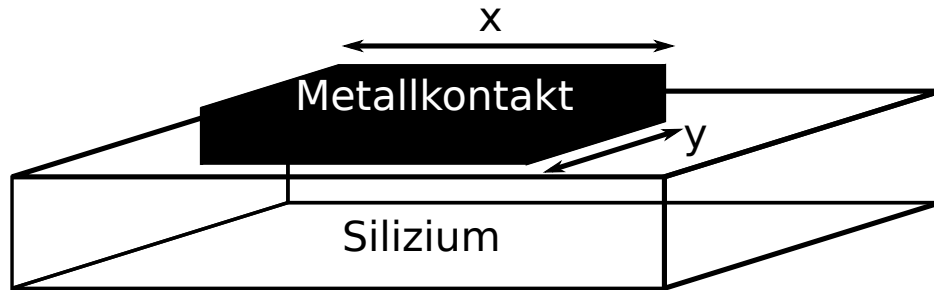


Abbildung 2.7.: Schematische Darstellung eines Metall-Silizium-Kontakts. Aus der Geometrie des Kontakts, dem Schichtwiderstand im Silizium und dem spezifischen Kontaktwiderstand zwischen Metall und Silizium lässt sich der gesamte Kontaktwiderstand  $R_C$  berechnen.

derstände (3). Bei einem JFET befinden sich die Widerstände vom Sourcekontakt  $R_S$ , vom Kanal  $R_0$  und vom Drainkontakt  $R_D$  in Serie [35]:

$$R_{ges} = R_S + R_D + R_0 \quad (2.22)$$

Der gesamte Kontaktwiderstand  $R_C$  von Source und Drain lässt sich allgemein nach [24] wie folgt berechnen:

$$R_C = \frac{\sqrt{R_{\square} \rho_C}}{y} \coth \left( x \sqrt{\frac{R_{\square}}{\rho_C}} \right) \quad (2.23)$$

Hierbei ist  $R_{\square}$  der Schichtwiderstand,  $\rho_C$  der spezifische Kontaktwiderstand,  $x$  und  $y$  die Länge, respektive die Breite des Kontakts (vgl. Abbildung 2.7). Hohe Widerstände an Source und Drain können den Sättigungsstrom bei einem JFET merklich verringern. Näherungsweise tritt dies auf, wenn gilt  $R_S > 0,1 \cdot G_i^{-1}$  [26].

Weiteren Einfluss auf die Kennlinie haben an der Oberfläche des Halbleiters befindliche

Ladungen, die wiederum Ladungen im Halbleiter induzieren, vergleichbar dem Konzept der Spiegelladung [24]. Hierdurch können Leckströme entstehen, die jedoch bei planaren, siliziumbasierten Bauelementen nur eine untergeordnete Rolle spielen [24].

Ein weiteres Phänomen, das einen Anstieg des Leckstroms zur Folge hat, ist der Tunneleffekt. Gerade bei hohen angelegten Spannungen können die Bänder in Halbleitern so stark verbogen werden, sodass quantenmechanisches Tunneln auftritt. Die nötigen Spannungen sind auch bei einem in Sperrrichtung betriebenen pn-Übergang möglich [24].

## 2.2. Theorie zum SDD

Da diese Arbeit sich mit der Herstellung von JFETs und deren Integration in einen Siliziumdriftdetektor (*engl. Silicon-Drift-Detector, SDD*) beschäftigt, beschränkt sich die hier präsentierte Theorie der SDDs auf den Aufbau und die Funktionsweise des eigentlichen Detektors. Für eine detailliertere Abhandlung bezüglich Packaging und Auswertungs elektronik sei der geehrte Leser auf die Dissertation von T. Eggert verwiesen [36].

Ein schematischer Aufbau eines Siliziumdriftdetektors ohne integrierten JFET ist in Abbildung 2.8 gezeigt. Beim Aufbau eines SDDs handelt es sich grundsätzlich um eine

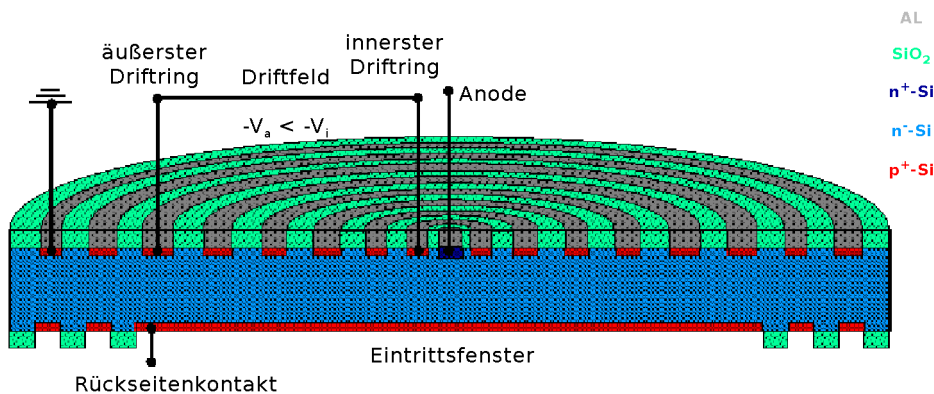


Abbildung 2.8.: Schematische Darstellung eines Siliziumdriftdetektors nach [10].

pin-Diode. Eine Seite des Wafers dient als Eintrittsfenster für die Strahlung, das mit Bor dotiert ist. Auf der anderen Seite des Wafers ist ein mit Phosphor dotierter Bereich, die Anode. Das Substrat ist ein hochohmiger, n-dotierter Wafer mit einem Widerstand von etwa  $3000 \Omega \text{cm}$ . Dies entspricht einer Substratdotierung von  $(4 - 5) \cdot 10^{12} \text{cm}^{-3}$  [37].

Ist das Eintrittsfenster möglichst groß gehalten, hat im Gegensatz dazu die Anode einen kleinen Durchmesser und ist im Zentrum des Detektors platziert. Die Anode ist von einer Serie von Driftringen umgeben. Ursprünglich befanden sich auch auf der Seite des Eintrittsfensters Driftringe, die jedoch einem homogen dotierten Eintrittsfenster gewichen sind. Durch das Anlegen einer Spannung zwischen dem äußeren (hohe negative Spannung) und inneren Driftring (kleine negative Spannung) wird ein elektrisches Feld

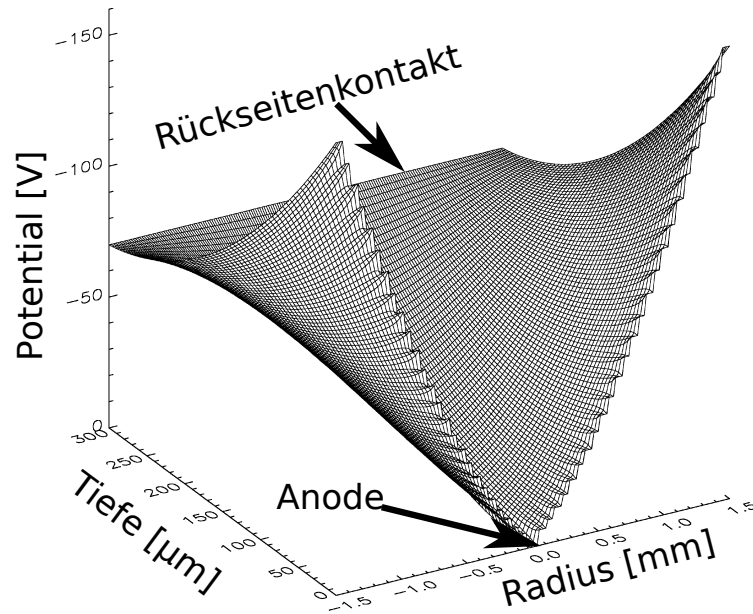


Abbildung 2.9.: Potenzialverteilung in einem SDD, hervorgerufen durch die Driftringe [38].

parallel zur Oberfläche generiert, sodass in diesem Elektronen zur Anode driften [36]. Die konzentrischen Driftringe sind untereinander mit Spannungsteilern verbunden. Somit wird ein Potenzialminimum bei der Anode generiert, wie in Abbildung 2.9 zu sehen. Gezeigt ist der Potenzialverlauf, ausgehend vom Mittelpunkt der Anode. Um die Elektronen in vertikaler Richtung zu leiten, wird an die Seite mit dem Eintrittsfenster eine negative Spannung angelegt [36].

Die zu detektierenden Elektronen entstehen durch Röntgenphotonen, die auf den Detektor treffen. Hierbei gelangen die Elektronen vom Valenzband in das Leitungsband. Aufgrund des Potentials (Abbildung 2.9), gebildet durch die angelegten Spannungen an den Driftringen und dem Rückseitenkontakt, werden die Elektronen an der Anode gesammelt und ausgelesen. Zu beachten ist, dass je kleiner die Anodenfläche ist, desto geringer ist ihre Kapazität und ihr Beitrag zum Rauschen [36].

Der Detektor ist mit dem Gate eines JFETs verbunden, welcher hier als Impedanzwandler fungiert. Der JFET selbst wird in der Konfiguration des *Source-Follower* betrieben. Hierbei wird der Strom durch den Kanal des Transistors konstant gehalten. Wenn also Elektronen von der Anode zum Gate des JFETs kommen, führt die Änderung der Gatespannung zu einer Verengung des Kanals und somit zu einer Änderung der Sourcespannung am Transistor [36]. Anschließend wird das Signal verstärkt und weiterverarbeitet. Einen entsprechenden Schaltplan zeigt Abbildung 2.10.

Durch die Verschaltung des Emitters des Bipolartransistors mit einem Verstärker werden Löcher in die Basis des Bipolartransistors induziert, die dann zum Kollektor diffundieren. Der Kollektor ist mit dem Gate des JFETs verbunden. Die Basis wird auf einem konstanten Potenzial gehalten. Die Löcher des Bipolartransistors neutralisieren die Elektronen auf dem Gate des JFETs, die durch den Detektor gesammelt werden. Parallel

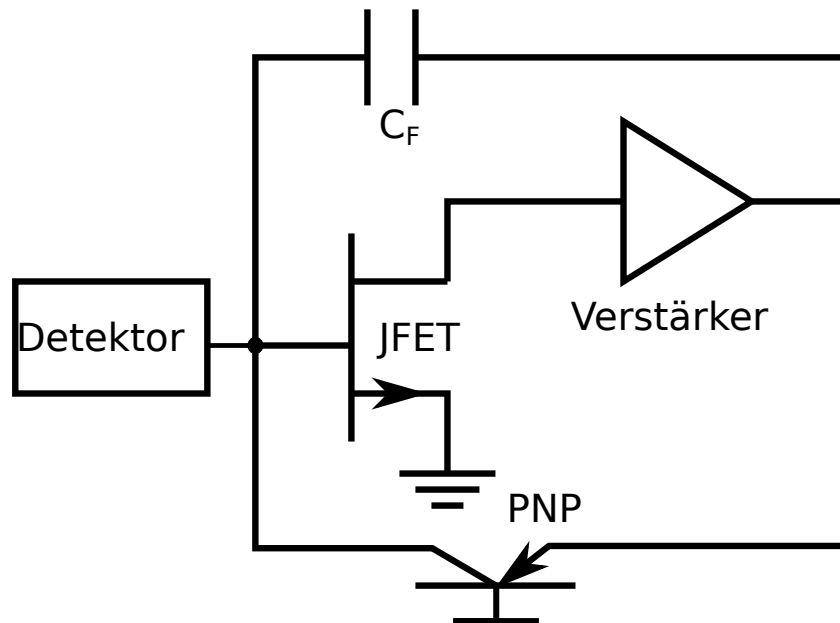


Abbildung 2.10.: Der Schaltplan für die Signalverarbeitung nach [12].

zum PNP – Transistor befindet sich eine Kapazität (*engl. Feedback Capacity,  $C_F$* ) [12].

## 2.3. JFET – Design

Für JFETs gibt es eine Menge verschiedener Designs. Am bekanntesten ist die rechteckige Struktur, die schon Shockley für die theoretische Beschreibung genutzt hat [19]. Aber es existieren auch verschiedene zylindrische Geometrien oder Kombinationen, wie zum Beispiel ein rechteckiges Kanalgebiet mit Source und Drain und einem zylinderförmigen Gate [26]. Da das Design für die Integration eines JFETs in ein bereits bestehendes Bauelement essenziell ist, wird im folgenden Abschnitt auf die Bauform der JFETs eingegangen, die während dieser Arbeit realisiert wurden.

### 2.3.1. Rechteckiges Design

Besonderes Augenmerk ist bei einem JFET auf die gegenseitige elektrische Isolation der Bauteile zu legen. Im Gegensatz zu einem klassischen MOSFET, der einen sehr dünnen Kanal unterhalb der Oberfläche ausbildet, befindet sich der Kanal des JFET im Substrat. Klassische MOSFETs können somit durch ein thermisches Oxid isoliert werden [39].

Jedoch gibt es auch MOSFETs mit einem Kanal, analog zum JFET. Diese werden in der Literatur als *engl. Buried – Channel Device* bezeichnet. Das Gate an der Oberfläche des Transistors besteht aus einem Isolator und nicht aus einem pn – Übergang. Die Regulierung des Kanals erfolgt ebenfalls, wie bei einem JFET, über das Ausbilden einer Verarmungszone [24].

## 2. Theorie

Die elektrische Isolierung eines JFETs zum Substrat hin erfolgt meist durch einen pn –

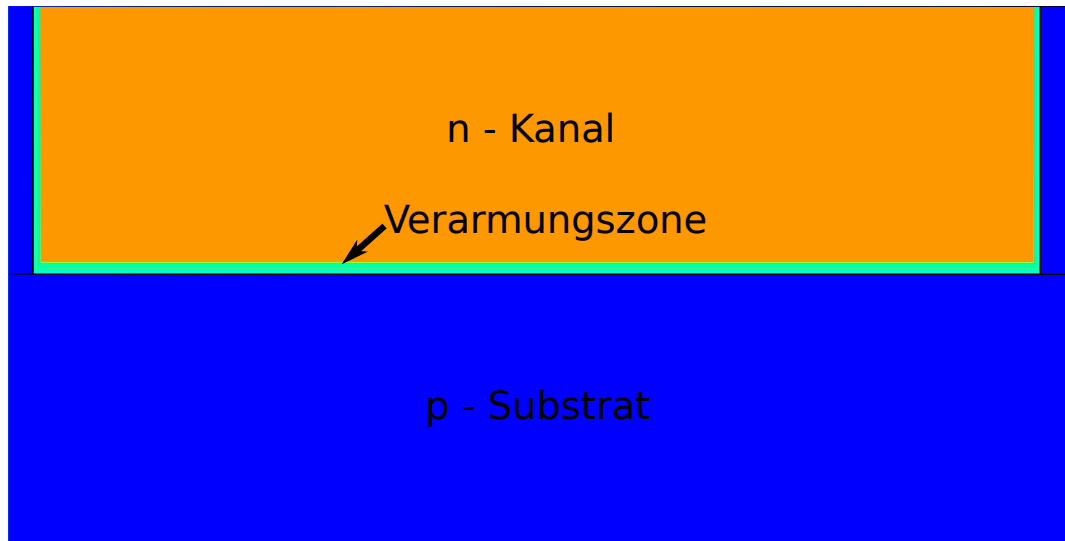


Abbildung 2.11.: Querschnitt eines JFETs mit isoliertem Kanalgebiet nach [26].

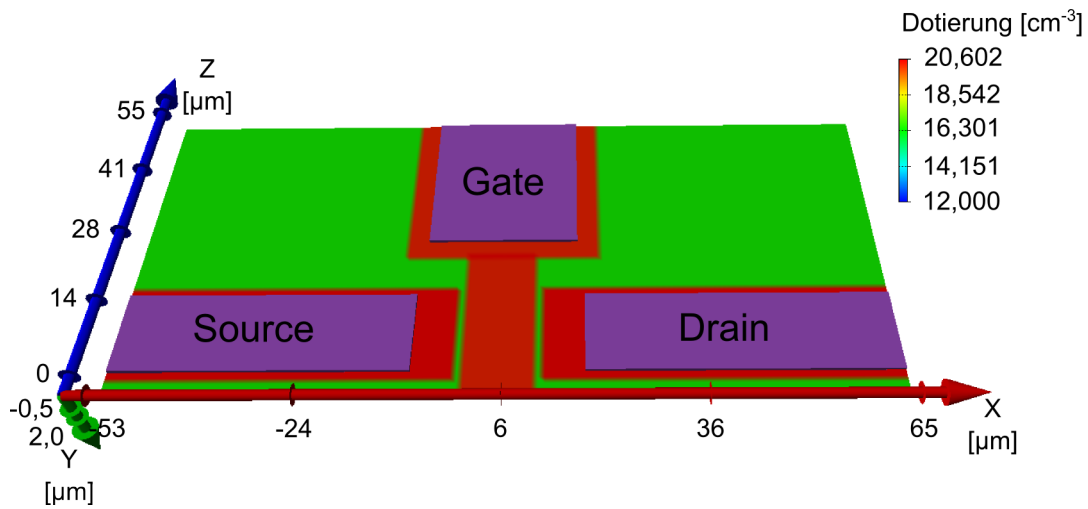
Übergang. Hierzu wird das Kanalgebiet in einen Bereich im Substrat eingebettet, der die entgegengesetzte Dotierung hat. Dies kann beispielsweise durch Diffusion erfolgen oder durch das Wachsen einer Kanalschicht mittels Epitaxie auf ein entsprechendes Substrat. Anschließend wird das Substrat mittels Diffusion kontaktiert und der Kanalbereich ist isoliert (siehe Abbildung 2.11) [26].

Eine der Aufgaben in dieser Arbeit ist es einen JFET mit einem bereits vorhandenen Maskensatz zu realisieren. Der Maskensatz ist konzipiert für die Herstellung von lateralen MOSFETs und TFETs (*engl. Tunneling – Field – Effect – Transistor*). Ein entsprechendes Design, dessen Geometrien auf dem Transistor mit der Bezeichnung *L10 W10* vom Maskensatz basieren ist in Abbildung 2.12 gezeigt. Hierbei handelt sich um Transistoren mit rechteckigen Geometrien. Dies gilt sowohl für die dotierten Gebiete von Source, Drain und Gate (rot dargestellt), als auch die dazugehörigen metallischen Elektroden (violett).

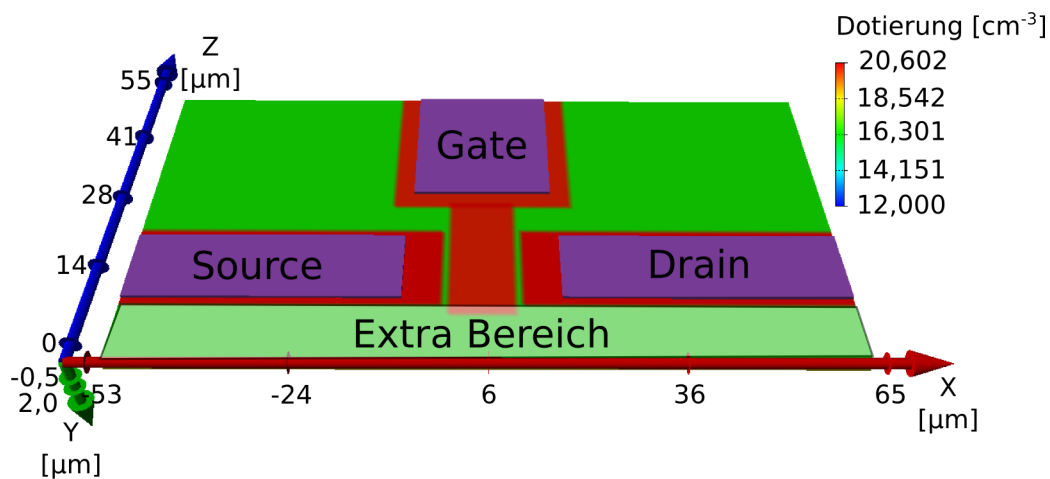
Wie bereits erwähnt erfolgt die Isolation von diskreten MOSFETs durch thermisch gewachsene Oxide. Bei dem vorhandenen Maskensatz ist keine Isolation mittels pn – Übergängen vorgesehen und damit können die JFETs nicht gegen das Substrat elektrisch isoliert werden. Aus diesem Grund ist für die Diskussion der Ausgangskennlinien der rechteckigen JFETs sowohl ein gegen das Substrat isolierter JFET simuliert worden, als auch ein nicht isolierter JFET. Abbildung 2.12(a) zeigt das Modell, das einem vollständig isolierten JFET entspricht. Der Isolationsring ist nicht explizit simuliert, sondern erfolgt durch das Fehlen des Substrats um den JFET herum. Dieses Modell schließt direkt mit den dotierten Bereichen von Source, Drain und Gate ab.

Das in Abbildung 2.12(b) gezeigte zweite Modell für die Simulation schließt nicht mit dem Gatestege im Bereich von Source und Drain ab, sondern die  $xz$  – Ebene ist um  $10 \mu m$  vergrößert (hellgrün). Somit ist das Kanalgebiet des Transistors nicht mehr vollständig





(a) Dreidimensionales Modell das mit Source, Drain und Gate abschließt.



(b) Dreidimensionales Modell mit erweitertem Bereich.

Abbildung 2.12.: Dreidimensionale Modelle des JFETs *L10 W10* für die Simulation der elektrischen Eigenschaften. Die Modelle basieren auf dem zur Herstellung verwendeten Maskensatz. Modell (a) schließt mit dem Gatesteg ab und der Kanal ist vollständig gegenüber dem Kanal isoliert. Modell (b) schließt nicht mit dem Gatesteg ab (hellgrüner Bereich) und der Kanal ist nicht zum Substrat hin isoliert.

zum Substrat isoliert. Die Auswirkungen einer fehlenden Isolation um den JFET werden in Kapitel 5 besprochen. Vorwegzunehmen ist nur, dass das Fehlen der Isolierung zu erheblichen Leckströmen führt.

### 2.3.2. Radiales Design

Die Funktionsweise eines JFETs benötigt die elektrische Isolierung des Kanals gegenüber dem Substrat oder anderen Bauteilen. Hierfür besonders geeignet ist ein radiales Design [26]. So ist der Kanal vollständig zwischen Source und Drain eingeschlossen. Diese Form eignet sich auch deshalb gut für die Integration in einen SDD, weil dieser ebenfalls radialsymmetrisch aufgebaut ist.

Abbildung 2.13 zeigt ein ebensolches radialsymmetrisches Design. Hierbei ist in der Mit-

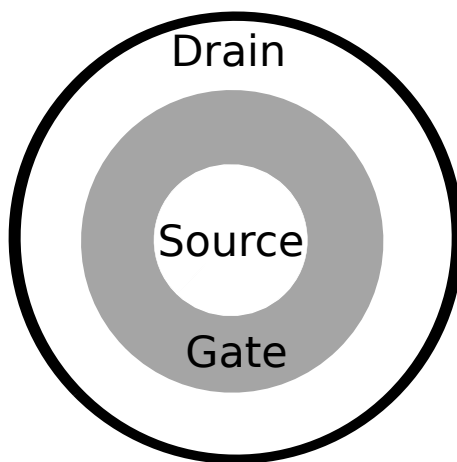


Abbildung 2.13.: Zylindrisches Design nach [26].

te der Sourcekontakt. Dieser ist vollständig vom Gate (grau) umschlossen. Um das Gate herum ist der Drainbereich zu finden. Wie bei jedem JFET sind Source und Drain untereinander austauschbar. Jedoch wird aufgrund der höheren Leistungsdichte im Draingebiet dieses meist an den Gatebereich mit dem größeren Umfang angeschlossen [26]. Der SDD Chip hat in der Mitte die Anode zum Sammeln der Elektronen. Die Anode ist mit dem Gate eines JFETs verbunden. Für die Integration des JFETs in den Detektor wird der Transistor in der Anode platziert. Die Funktionalität dieses Designs ist in der Literatur hinreichend gezeigt [9, 10, 11, 12]. Aber auch rechteckige JFETs sind in Drift-detektoren integriert worden [7, 18, 40, 41]. Das Integrieren eines Transistors in einen Driftring des SDDs ist beispielsweise bei [18] gezeigt.

Abbildung 2.14 zeigt das Design des JFET innerhalb der Anode und den Bipolartransistor, platziert im ersten Driftring. Der grüne Kreis in der Mitte ist der Bereich, der für die Source des Transistors implantiert wird. Darum erstreckt sich das Gate, hier rot dargestellt. Um das Gate herum sind grün die Kontakte für die Drain zu sehen. Diese werden umschlossen von einem Isolationsring. Erkennbar sind die Kontaktimplantationen (rot) und die Implantation (orange) zur Verbindung der Kontakte mit der tiefen

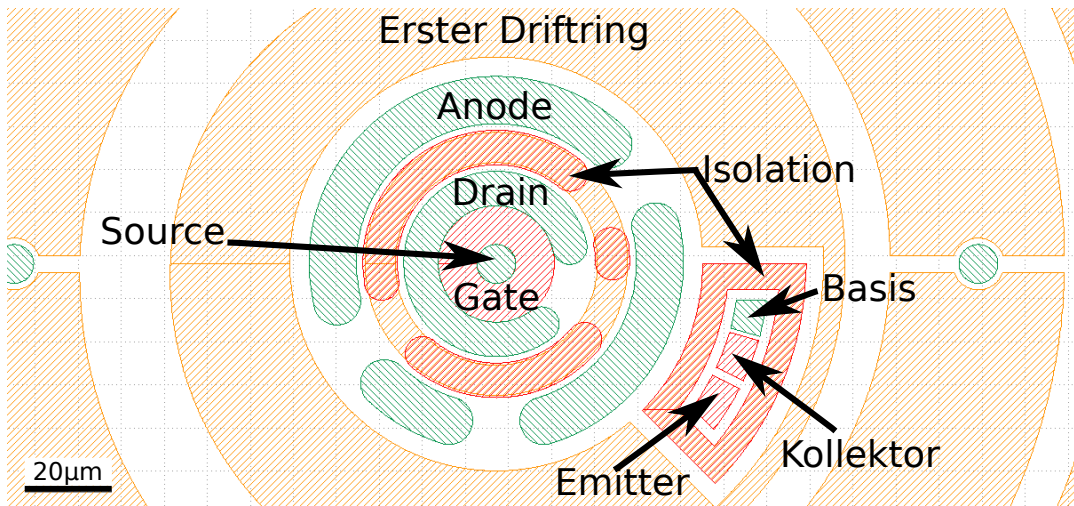


Abbildung 2.14.: Draufsicht auf den integrierten JFET innerhalb der Anode.

Isolationsschicht. Die tiefe Isolationsschicht trennt den Transistor elektrisch zum Substrat. Der äußerste Kreis (grün) zeigt die Kontaktimplantation für die Anode. Um die Anode ist der erste Driftring zu sehen. Im ersten Driftring wurde ein Teil ausgespart, um einen Bipolartransistor zu integrieren. Zu sehen sind die Kontaktimplantationen für die Basis (grün) sowie für den Kollektor und Emitter (beide rot). Umgeben ist der Bipolartransistor ebenfalls von einem Isolationsring, analog zum JFET. Der Bipolartransistor ist Teil eines Reset-Mechanismus, zusammen mit der Feedback-Kapazität.

In Abbildung 2.15 sind zusätzlich noch blau die Leiterbahnen dargestellt. Dabei werden

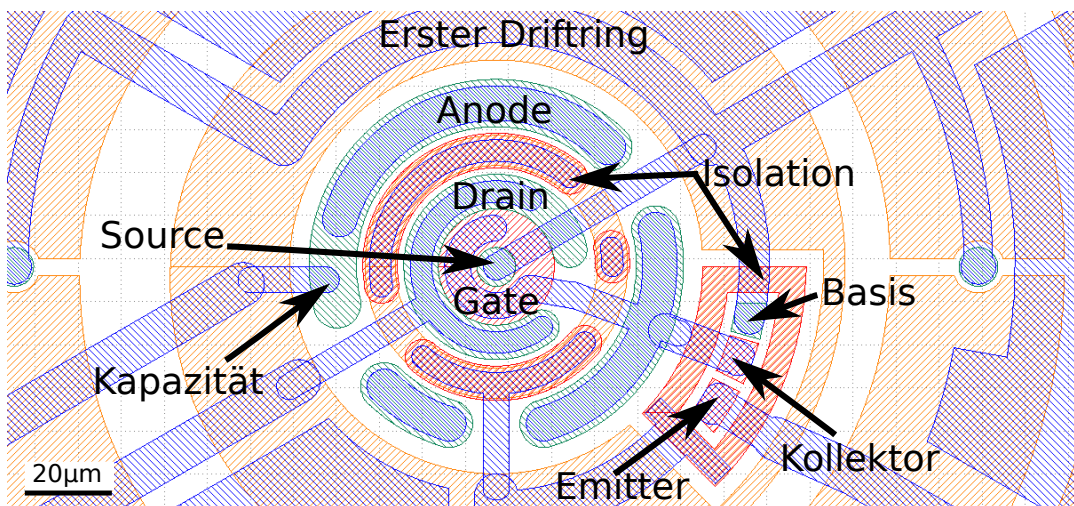


Abbildung 2.15.: Verschaltung des integrierten JFET im SDD.

von extern Source, Drain, Isolationsring und Emitter des Bipolartransistors kontaktiert, sowie die Metallelektrode der Feedbackkapazität. Des Weiteren ist sowohl die Anode als auch der Kollektor des Bipolartransistors jeweils über eine Leiterbahn mit dem Gate

## 2. Theorie

verbunden. Der dazugehörige Schaltplan ist in Abbildung 2.10 dargestellt.

## 3. Prozessierung

In diesem Kapitel wird auf die Herstellung der JFETs und SDDs eingegangen. Dabei werden im ersten Abschnitt die wichtigsten Schritte für die Herstellung der Bauteile erläutert. Detaillierte Prozesspläne sind im Anhang B zu finden. Im zweiten Abschnitt wird auf die Durchführung der elektrischen Charakterisierung eingegangen. Die Ergebnisse werden in Kapitel 5 betrachtet.

Die Herstellung der JFETs erfolgt im Reinraum des Institutes für Physik an der Universität der Bundeswehr. Für die Dotierung der Bauteile kommen Spin-on-Dopants (SOD) zur Anwendung. Der Dotierprozess und alle weiteren Prozesse für die Herstellung der JFETs sind kompatibel zum CMOS-Standard. Mit einem bereits vorhandenen Maskensatz werden die Bauteile strukturiert. Es soll gezeigt werden, dass im Reinraum des Institutes für Physik an der Universität der Bundeswehr die Produktion von JFETs möglich ist.

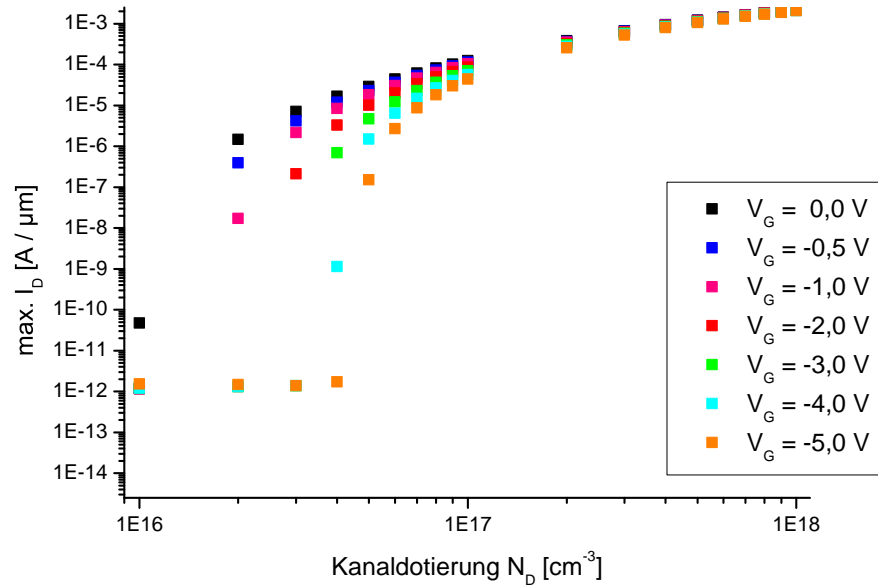
Die Dotierung der SDDs erfolgt durch Ionenimplantation. Da die Universität der Bundeswehr jedoch über keinen Ionenimplanter verfügt, werden die Detektoren mit den integrierten JFETs teilweise auch an anderen Einrichtungen prozessiert. Gleiches gilt für die Abscheidung des Polysiliziums, da der Prozess im Ofen am Institut für Physik noch nicht für die Produktion der Detektoren zertifiziert ist. Für die Produktion der SDDs wird soweit wie möglich auf etablierte Prozesse aus der Produktion zurückgegriffen, um eine Überführung in die Serienproduktion zu erleichtern.

### 3.1. Parameterauswahl

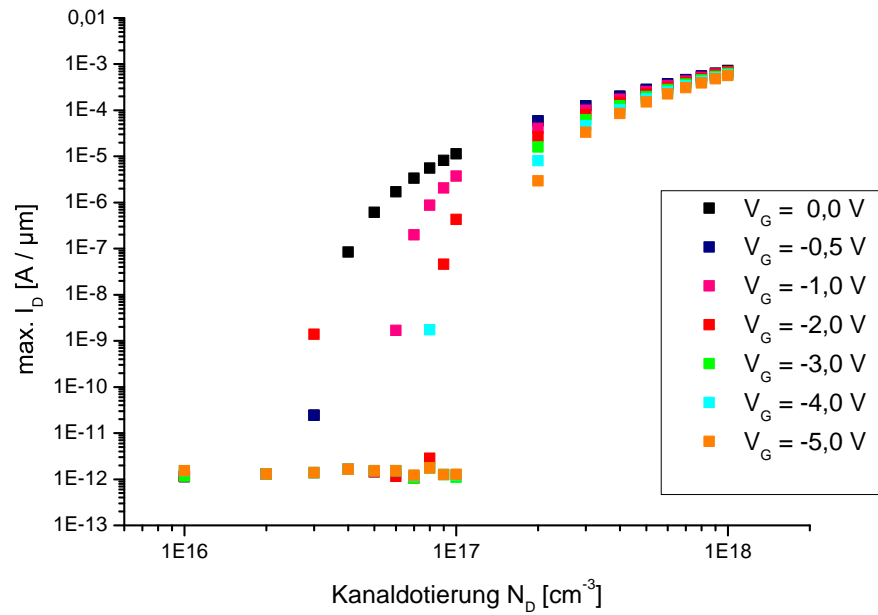
Vor der Herstellung der ersten JFETs mit SOD müssen einige wichtige Parameter festgelegt werden. Nach Gleichung 2.5 sind dies die Kanallänge  $L$  und Kanalbreite  $Z$ , sowie die Kanalhöhe  $a$  und Kanaldotierung  $N_D$ . Hängt der Drainstrom von den ersten beiden Parametern linear ab, so ist die Abhängigkeit des Drainstroms von der Kanalhöhe  $a$  und Kanaldotierung  $N_D$  nichtlinear. Nach Gleichung 2.5 ist der Drainstrom  $I_D$  abhängig vom Pinch-off Potenzial  $\Psi_P$ , das wiederum verknüpft ist mit der Kanalhöhe  $a$  und der Kanaldotierung  $N_D$  (siehe Gleichung 2.6).

Sowohl Gatelänge, als auch Gatebreite sind durch den verwendeten Maskensatz vorgegeben. Jedoch lässt sich die Kanaldotierung bis zu einem gewissen Grad variieren. Limitiert ist die Kanaldotierung durch die maximale Löslichkeit der Dotierstoffe im Silizium und die prozessbedingte Dotierung durch Material von der Prozesskammer der Epitaxieanlage. Deshalb ist nur eine minimale n-Dotierung von etwa  $N_D = 1 \cdot 10^{16} \text{ cm}^{-3}$  möglich. Nach Gleichung 2.5 und 2.12 sollte bei dieser Kanaldotierung die Kanalhöhe mindestens  $a_{min} = 400 \text{ nm}$  betragen.

### 3. Prozessierung



(a) Drainstrom abhängig von der Kanaldotierung, bei  $a = 400 \text{ nm}$  und  $V_D = 20 \text{ V}$ .



(b) Drainstrom abhängig von der Kanaldotierung, bei  $a = 200 \text{ nm}$  und  $V_D = 20 \text{ V}$ .

Abbildung 3.1.: Simulierter Zusammenhang zwischen dem Drainstrom  $I_D$  und der Kanaldotierung  $N_D$  bei einer Drainspannung von  $V_D = 20,0 \text{ V}$  für verschiedene Kanalhöhen.

Der Einfluss der Kanaldotierung auf den Drainstrom, normiert auf die Gatebreite, ist in Abbildung 3.1 zu sehen. Die hier gezeigten Werte stammen aus einer zweidimensionalen Simulation von Atlas. Weiteres zu den Simulationen mit Atlas wird in Kapitel 5 beschrieben. In der Simulation werden verschiedene Kanalschichten, einmal mit einer Dicke von  $d_1 = 800 \text{ nm}$  verwendet und das andere mal mit  $d_2 = 600 \text{ nm}$ . Mit einer Diffusionstiefe von  $400 \text{ nm}$  für die Source-, Drain- und Gatekontakte, ergibt sich eine Kanalhöhe von  $a_1 = 400 \text{ nm}$  (Abbildung 3.1(a)) und mit  $a_2 = 200 \text{ nm}$  (Abbildung 3.1(b)).

Simuliert sind die Ausgangskennlinien für Transistoren mit einer Kanaldotierung von  $N_D = 1 \cdot 10^{16} \text{ cm}^{-3} - 1 \cdot 10^{18} \text{ cm}^{-3}$ . Der Drainstrom ist bei einer Drainspannung  $V_D = 20 \text{ V}$  abhängig von Kanaldotierung und für verschiedene Gatespannung  $V_G$  aufgetragen.

Für Kanaldotierungen von bis zu  $N_D = 4 \cdot 10^{16} \text{ cm}^{-3}$  und einer Dicke des Kanals von  $a = 400 \text{ nm}$  lassen sich die JFETs mit einer Gatespannung von bis zu  $V_G = -5,0 \text{ V}$  ausschalten. Im weiteren ist klar ersichtlich, dass sich die Wirkung des Gates ab einer Kanaldotierung von  $N_D > 1 \cdot 10^{17} \text{ cm}^{-3}$  deutlich verringert. Zum Abschalten der JFETs sind betragsmäßig deutlich höhere Gatespannungen notwendig, oder dünnere Kanäle.

Ist die Kanalhöhe  $a$  dünner, kann dieser auch noch bei Kanaldotierungen von bis zu  $N_D = 1 \cdot 10^{17} \text{ cm}^{-3}$  mit einer Gatespannung von bis zu  $V_G = -5,0 \text{ V}$  abgeschaltet werden. Für höhere Dotierungen ist dies nicht mehr möglich. Auch bei einer Kanalhöhe von  $a = 200 \text{ nm}$  verringert sich die Wirkung des Gates rapide mit zunehmender Konzentration des Dotierstoffs im Kanal.

Eine weitere wichtige Kenngröße für einen JFET ist die Einsatzspannung, die ebenfalls von  $\Psi_P$  abhängt. Abbildung 3.2 zeigt die Einsatzspannung in Abhängigkeit von der Dotierung des Kanals. Die Einsatzspannung ist nach Gleichung 2.10 aus Simulationsparametern berechnet. Es werden verschiedene Kanalhöhen  $a$  verwendet. Der Übergang vom Gate zum Kanal ist einmal an der Kante der Verarmungszone im p-Gate (schwarz), am metallischen pn-Übergang (blau) und an der Kante der Verarmungszone im n-Kanal (rot) definiert. Im Modul Atlas wird die Verarmungszone definiert als der Punkt, an dem das Verhältnis der Konzentration der beweglichen Ladungsträger und der stationären Ladungsträger 0,5 beträgt.

Vom Kanal zum Substrat wird der metallische pn-Übergang verwendet. Aufgrund ähnlicher Konzentrationen der Dotierstoffe ist dort die Ausdehnung der Verarmungszone vernachlässigbar. Weiterhin ist zum Vergleich die extrapolierte Einsatzspannung aus den simulierten Transferkennlinien bei einer angelegten Drainspannung von  $V_D = 0,1 \text{ V}$  (grün) und  $V_D = 1,0 \text{ V}$  (orange) eingezeichnet.

Wie bereits erwähnt ist  $\Psi_P \propto a^2$  und somit ist die Einsatzspannung quadratisch abhängig von der Kanalhöhe  $a$ . Diese ist wie bereits beschrieben der Abstand zwischen den beiden Verarmungszonen. Jedoch ist der Kanal nach den Simulationen nicht vollständig verarmt, sondern die Kante der Verarmungszone wird festgelegt.

Wie nach Gleichung 2.10 zu erwarten ist, ist die Einsatzspannung für die Kanalhöhe, ermittelt von der Kante der n-Verarmungszone aus betragsmäßig am geringsten und von der Kante der p-Verarmungszone aus betragsmäßig am höchsten, entsprechend den Kanalhöhen. Die Einsatzspannung, ermittelt aus der Lage des pn-Übergangs liegt zwischen den beiden.

Die aus den Transferkennlinien extrapolierten Einsatzspannungen stimmen für Dotie-

### 3. Prozessierung

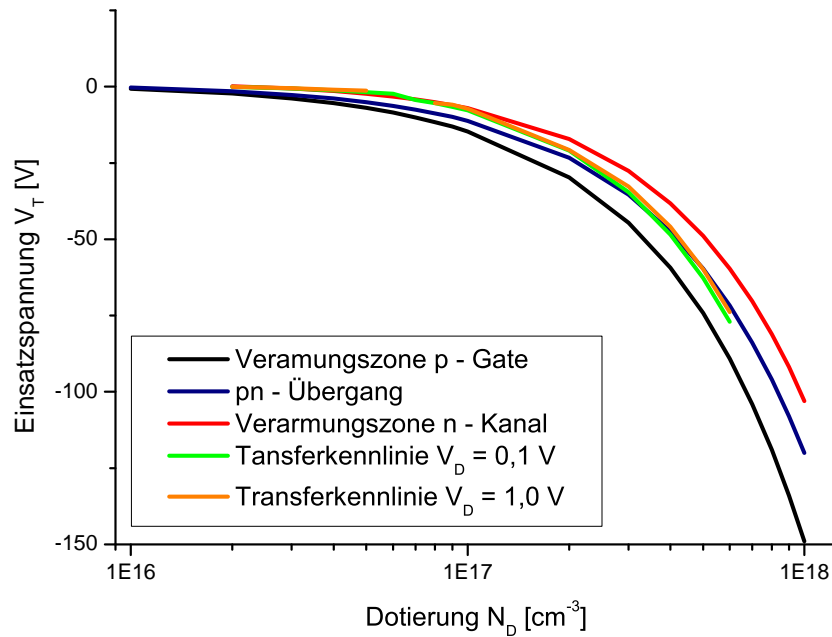


Abbildung 3.2.: Berechnet ist die Einsatzspannung  $V_T$  für verschiedene Kanalhöhen  $a$  und einer angelegten Drainspannung  $V_D = 20,0 \text{ V}$ . Der Übergang vom Gate zum Kanal ist einmal an der Kante der Verarmungszone im p-Gate (schwarz), am metallischen pn-Übergang (blau) und an der Kante der Verarmungszone im n-Kanal (rot) definiert. Zum Vergleich ist die extrapolierte Einsatzspannung aus den simulierten Transferkennlinien bei einer angelegten Drainspannung von  $V_D = 0,1 \text{ V}$  (grün) und  $V_D = 1,0 \text{ V}$  (orange) eingezeichnet.

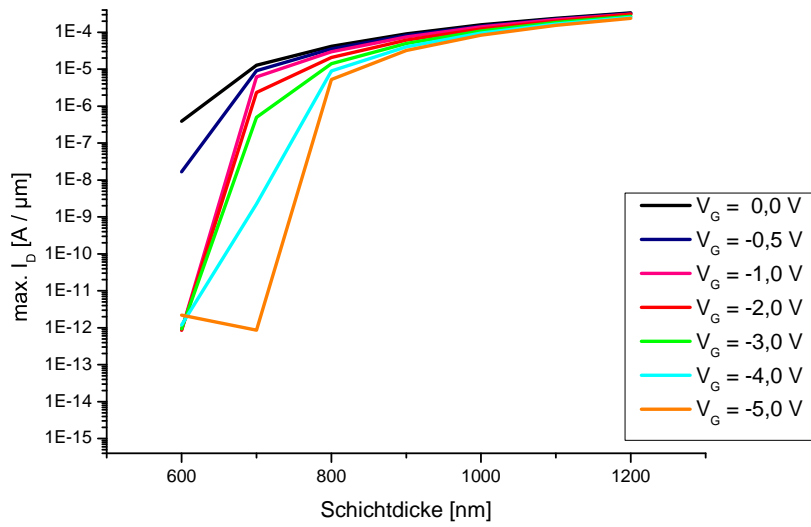
rungen bis zu  $1 \cdot 10^{16} \text{ cm}^{-3}$  gut mit den Einsatzspannungen der Kanalhöhe bezogen auf die Kante der n-Verarmungszone überein, um sich bei höheren Kanaldotierungen den aus der Position des pn-Übergangs ermittelten Einsatzspannungen anzunähern.

Die Simulationen zeigen, dass für einen JFET die Konzentration der Dotierung im Kanal  $N_D \geq 2 \cdot 10^{16} \text{ cm}^{-3}$  betragen muss. Bei einer Kanaldotierung von  $N_D = 1 \cdot 10^{17} \text{ cm}^{-3}$  liegen die Einsatzspannungen im Bereich von  $V_T \approx -10,0 \text{ V}$ . Weiterhin deutet sich ebenfalls eine sehr starke Abhängigkeit der Einsatzspannung von der Kanalhöhe an.

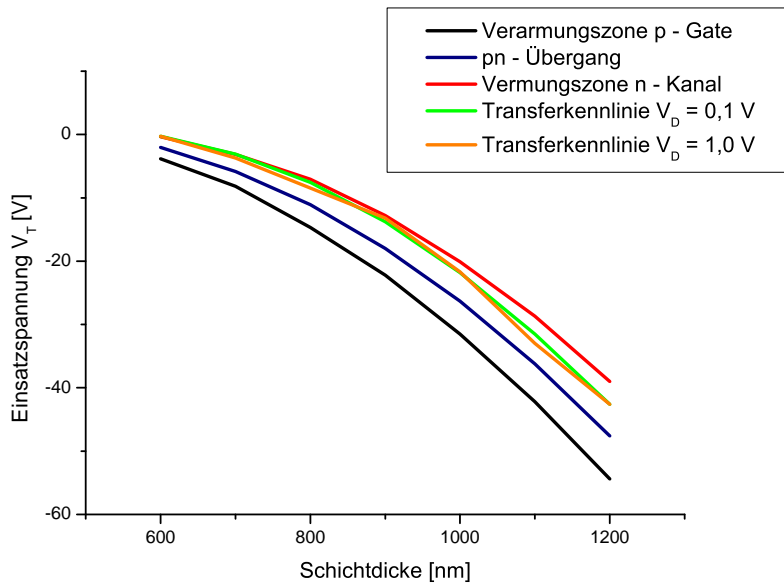
Den Einfluss der Dicke des Kanals auf den Drainstrom und die Einsatzspannung des JFETs ist in Abbildung 3.3 dargestellt. Da für die Simulation eine konstante Tiefe der eindiffundierten Kontakte (Source, Drain und Gate) von  $400 \text{ nm}$  angenommen wird, ist es nicht relevant, ob Schichtdicke oder Kanalhöhe aufgetragen ist. Für die Simulationen beträgt die Kanaldotierung  $N_D = 1 \cdot 10^{17} \text{ cm}^{-3}$ , basierend auf den Simulationen, dargestellt in Abbildung 3.1. Die Gatespannung  $V_G$  ist hier ein Parameter.

Abbildung 3.3(a) zeigt den Drainstrom bei einer Drainspannung von  $V_D = 20 \text{ V}$ ,





(a) Drainstrom abhängig von der Schichtdicke, bei  $N_D = 1 \cdot 10^{17} \text{ cm}^{-3}$  und  $V_D = 20 \text{ V}$ .



(b) Die Einsatzspannung in Abhängigkeit von der Schichtdicke, bei  $N_D = 1 \cdot 10^{17} \text{ cm}^{-3}$  und  $V_D = 20 \text{ V}$ . Der Übergang vom Gate zum Kanal ist an der Kante der Verarmungszone im Gate (schwarz), am metallischen pn-Übergang (blau) und an der Kante der Verarmungszone im Kanal (rot) definiert. Weiter dargestellt sind die extrapolierten Einsatzspannungen aus den simulierten Transferkennlinien bei einer Drainspannung von  $V_D = 0,1 \text{ V}$  (grün) und  $V_D = 1,0 \text{ V}$  (orange).

Abbildung 3.3.: Abhängigkeit des Drainstroms und der Einsatzspannung von der Schichtdicke.

### 3. Prozessierung

abhängig von der Dicke der epitaktisch gewachsenen Kanalschicht. Wie nach der Gleichung 2.5 zu erwarten ist, steigt der Drainstrom mit der Kanalhöhe, respektive mit der Schichtdicke, an.

Auch die Einsatzspannung skaliert nicht linear mit der Kanalhöhe, wie Abbildung 3.3(b) zeigt. Die extrahierten Einsatzspannungen aus den simulierten Transferkennlinien, bei Drainspannungen von  $V_D = 0,1\text{ V}$  und  $V_D = 1,0\text{ V}$ , stimmen für Schichtdicken bis zu  $900\text{ nm}$  sehr gut mit den berechneten Einsatzspannungen nach Gleichung 2.10, bezogen auf die Kante der Verarmungszone im n-Gebiet, überein. Bei dickeren Schichten ergeben sich für die interpolierten Werte der Einsatzspannungen betragsmäßig etwas höhere Werte. Bei einer Schichtdicke von  $1000\text{ nm}$  liegt die Einsatzspannung bereits bei etwa  $V_T = -20\text{ V}$ .

Ausgehend von den Resultaten aus den Simulationen sollen JFETs mit einer Phosphor-Kanaldotierung von  $N_D = 1 \cdot 10^{17}\text{ cm}^{-3}$  hergestellt werden. Die Zielschichtdicken liegen bei  $700\text{ nm}$ ,  $800\text{ nm}$  und  $1000\text{ nm}$ . Für eine Kanalschicht ohne Zugabe von Phosphor wird eine Dotierung von etwa  $N_D = (1 - 3) \cdot 10^{16}\text{ cm}^{-3}$  erwartet. In diesem Fall betragen die Schichtdicken  $800\text{ nm}$  und  $1000\text{ nm}$ . Probeweise wird auch eine Schicht mit einer Dotierung von  $N_D = 1 \cdot 10^{18}\text{ cm}^{-3}$  und einer Kanalhöhe von  $a = 500\text{ nm}$  hergestellt. Die tatsächlich realisierten Dotierungen sind in Tabelle 3.1 aufgelistet.

## 3.2. Prozessablauf für SOD JFETs

Als Substrat werden kommerzielle Siliziumwafer verwendet mit einem Durchmesser von  $100\text{ mm}$ . Das Substrat ist mit Bor dotiert und hat einen spezifischen Widerstand von  $0,01 - 0,02\ \Omega\text{cm}$ . Dies entspricht einer Dotierung von ca.  $3 \cdot 10^{18}\text{ cm}^{-3} - 8 \cdot 10^{18}\text{ cm}^{-3}$  [37].

Auf dem Substrat wird mittels Epitaxie das Kanalgebiet gewachsen (Abbildung 3.4). Dazu wird Silizium durch einen Elektronenstrahl thermisch verdampft, das sich dann unter anderem auf dem Substrat abscheidet. Die Dotierung des Kanalgebiets erfolgt über das Verdampfen von Phosphor während der Abscheidung des Siliziums. Die Phosphorzelle wird dazu auf eine Temperatur von  $T_{Ph} = 720\text{ °C}$  aufgeheizt. Das Substrat wird auf  $T_{Sub} = 700\text{ °C}$  erhitzt.

Im nächsten Schritt wird der Wafer oxidiert und anschließend Siliziumnitrid abgeschieden (Abbildung 3.5). Die thermische Oxidation erfolgt bei  $800\text{ °C}$  für  $t_{ox} = 64\text{ min}$  mit Wasser. Dabei wachsen im Mittel  $d_{ox} \approx 32\text{ nm}$  Siliziumoxid. Die ellipsometrisch gemessene Dicke des Oxids ist dem Prozessplan in Anhang B zu entnehmen. Das Siliziumoxid verhindert einerseits starke Verspannungen im kristallinen Silizium, die durch ein direktes Aufbringen von Siliziumnitrid auf den Wafer entstehen [39]. Andererseits ist die Anzahl der gefangenen Störladungen zwischen einer Silizium-Siliziumoxid Grenzfläche geringer als bei einer Silizium-Siliziumnitrid Grenzfläche [42].

Siliziumnitrid wird mittels dem *Low Pressure Chemical Vapour Deposition* (LPCVD) Verfahren konform abgeschieden. Bei Unterdruck reagieren Ammoniak  $NH_3$  und Dichlorsilan  $SiH_2Cl_2$  zu Siliziumnitrid, unter Bildung von Wasserstoff und Salzsäure ( $HCl$ )

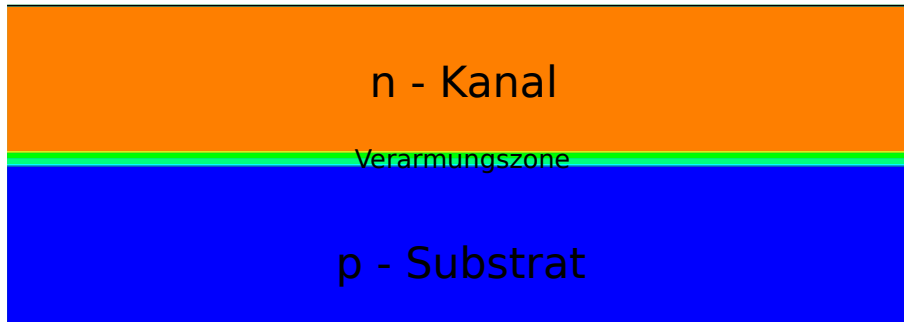


Abbildung 3.4.: Mittels Epitaxie wird das Kanalgebiet für den JFET gewachsen.

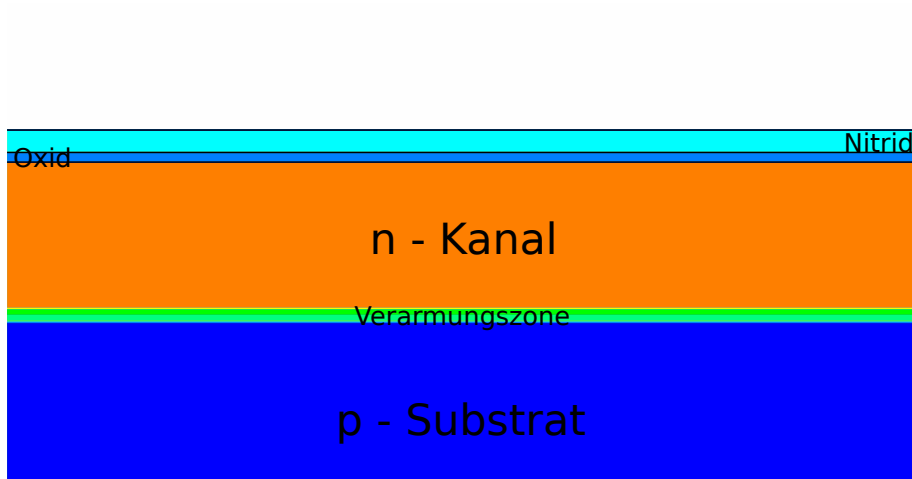
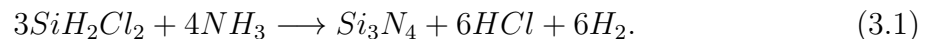


Abbildung 3.5.: Siliziumoxid und Siliziumnitrid als Isolation und Diffusionsbarriere.

[39]:



Bei einer Temperatur von  $740\text{ }^\circ\text{C}$  werden in  $23\text{ min}$  etwa  $70\text{ nm}$  Siliziumnitrid abgeschieden (Abbildung 3.5). Für eine effektive Diffusionsbarriere reicht eine dünnere Schicht Siliziumnitrid aus, verglichen mit Siliziumoxid [39]. Die genaue Schichtdicke wird mit einem Ellipsometer bestimmt (siehe Anhang B).

Der erste Lithografieschritt definiert die aktiven Bereiche für Source und Drain. Nach der Strukturierung des Siliziumnitrids und -oxids wird der Fotolack mit einer Mischung aus Aceton und Isopropanol entfernt. Um den Fotolack restlos zu entfernen, werden die Wafer noch mit einer Mischung aus Schwefelsäure und Wasserstoffperoxid gereinigt, auch als *Piranha-Clean* bekannt [43].

Die Strukturierung von Siliziumnitrid selbst erfolgt durch *Reactive-Ion-Etching* (RIE).

### 3. Prozessierung

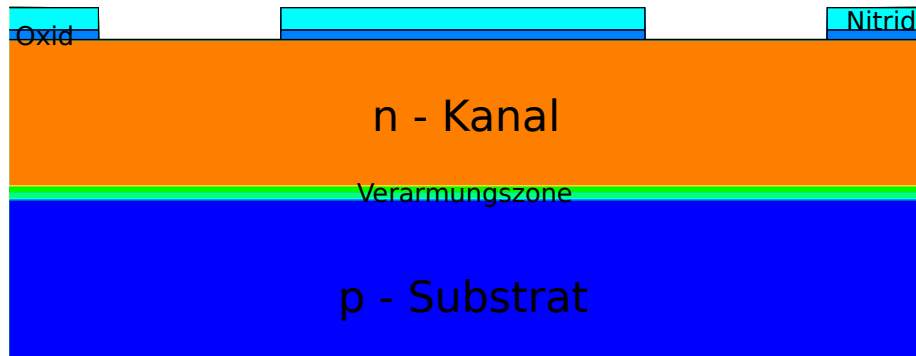
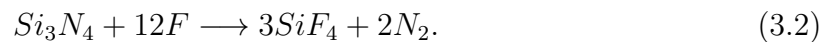
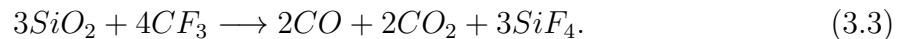


Abbildung 3.6.: Siliziumoxid und -nitrid strukturiert für die Dotierung von Source und Drain.

Bei einem RIE-Prozess kann der Ätzvorgang chemisch, physikalisch oder kombiniert erfolgen. In dem hier verwendeten Prozess wird mit einem Plasma aus Trifluormethan  $CHF_3$  und Sauerstoff  $O_2$  geätzt. Die im Plasma gebildeten Fluorradikale adsorbieren an der Oberfläche und tragen diese ab [43]:



Außerdem kann mit Trifluormethan das unter dem Siliziumnitrid liegende Siliziumoxid ebenfalls entfernt werden. Die Bildung von Radikalen aus Trifluormethan ermöglicht das Ätzen von Siliziumoxid [43]:



Nach der Öffnung der Siliziumnitrid- und Siliziumoxidschicht (Abbildung 3.6) folgt die Bestimmung der Kanaldotierung für die Wafer mit 4-Spitzen Messungen. Die gemessenen

Waferrn.	Substratwiderstand [ $\Omega \cdot cm$ ]	Schichtwiderstand [ $\Omega \cdot cm$ ]	Dotierung [ $cm^{-3}$ ]	Solldotierung [ $cm^{-3}$ ]
29081 / 1	0,01 - 0,02	0,348	$(1-2) \cdot 10^{16}$	$(1-3) \cdot 10^{16}$
29081 / 2	0,01 - 0,02	0,0142	$(2-3) \cdot 10^{18}$	$1 \cdot 10^{18}$
29081 / 3	0,01 - 0,02	0,0277	$7 \cdot 10^{17}$	$1 \cdot 10^{17}$
29081 / 5	0,2 - 0,6	0,0939	$(8-9) \cdot 10^{17}$	$(1-3) \cdot 10^{16}$
29081 / 6	0,2 - 0,6	0,0239	$1 \cdot 10^{18}$	$1 \cdot 10^{17}$
05091 / 2	0,2 - 0,6	0,0256	$(8-9) \cdot 10^{17}$	$1 \cdot 10^{17}$

Tabelle 3.1.: Substratwiderstand und Kanaldotierung der prozessierten Wafer.

senen Schichtwiderstände für die verschiedenen Kanaldotierungen sind in Tabelle 3.1

aufgelistet und aus zwei Messpunkten gemittelt. Die Dotierung ist aus den Schichtwiderständen nach [37] berechnet. Ist bei Wafer *29081 / 1* und *2908 / 2* die Solldotierung des Kanals erreicht, so ist diese bei allen anderen Wafern deutlich überschritten. Zurückzuführen ist dies auf eine unzureichende Reinigung der Epitaxiekammer nach der Schichtabscheidung für Wafer *29081 / 2* mit einer sehr hohen Dotierung. Als Folge tritt eine erhöhte Dotierung durch Phosphor auf, das aus dem abgeschiedenen Silizium der Kammerwände ausdiffundiert. Auch sollte die Reihenfolge der Schichtabscheidung in Abhängigkeit von der Konzentration der Dotierung erfolgen.

Es folgt die Dotierung von Source und Drain mit Phosphor. Nach dem Aufschleudern des SODs wird dieses erst bei  $200\text{ }^{\circ}\text{C}$  ausgehärtet. Anschließend wird der Wafer mit dem SOD auf  $1050\text{ }^{\circ}\text{C}$ , in einer *Rapid-Thermal-Annealing* (RTP) Anlage unter einem Stickstoff / Sauerstoffgemisch erhitzt. Dabei diffundiert Phosphor in das Silizium ein

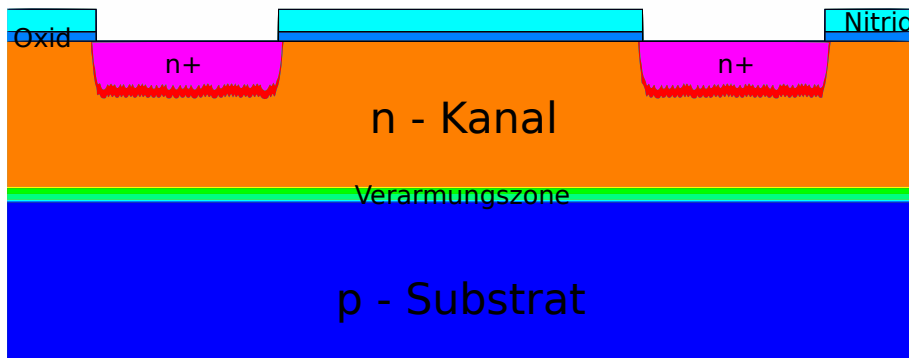


Abbildung 3.7.: Dotierung der Source- und Drainkontakte.

und hoch dotierte Bereiche für die Source- und Drainkontakte (Abbildung 3.7) entstehen. Entfernt wird das SOD mit gepufferter Flusssäure (BHF). Hierbei wird ein weiterer Vorteil bei der Verwendung von  $\text{Si}_3\text{N}_4$  als Passivierung erkennbar. Siliziumnitrid wird von BHF nur sehr langsam geätzt [43] und ist somit eine zuverlässige Maskierung. Die Entfernung des SODs und eines möglichen Oxids wird mit einer Messung des Schichtwiderstands überprüft.

Während der Dotierung des aktiven Gategebiets müssen die bereits dotierten Bereiche für Source und Drain geschützt werden. Dazu wird in  $30\text{ min}$  bei  $750\text{ }^{\circ}\text{C}$  mit LPCVD eine  $500\text{ nm}$  dicke Schicht Siliziumoxid abgeschieden. Als Präkursor kommt hierbei Tetraethylorthosilicat (TEOS<sup>1</sup>,  $\text{C}_8\text{H}_{20}\text{O}_4\text{Si}$ ) zum Einsatz. Im Gegensatz zu einem thermischen Siliziumoxid wird kein Material vom Wafer oxidiert. Die hoch dotierten Bereiche an der Siliziumoberfläche bleiben erhalten.

Bedingt durch den Maskensatz muss für die Lithografie zum Öffnen des Gates Negativ-

<sup>1</sup>Im weiteren Verlauf ist mit Nitrid Siliziumnitrid bzw. mit TEOS ein abgeschiedenes Siliziumoxid gemeint.

### 3. Prozessierung

lack verwendet werden. Im Unterschied zum Positivlack werden bei Negativlack die unbelichteten Stellen des Lacks vom Entwickler entfernt. Um die Haftung des Negativlacks auf dem Silizium zu verbessern, wird vorab gesondert ein Haftvermittler aufgeschleudert. Die Entfernung des Negativlacks erfolgt analog zum Positivlack mit einer Mischung aus Aceton und Isopropanol. Eventuell noch vorhandene Lackreste werden durch einen anschließenden *Piranha-Clean* entfernt.

Das abgeschiedene Siliziumoxid wird nun mit gepufferter Flusssäure strukturiert. Das

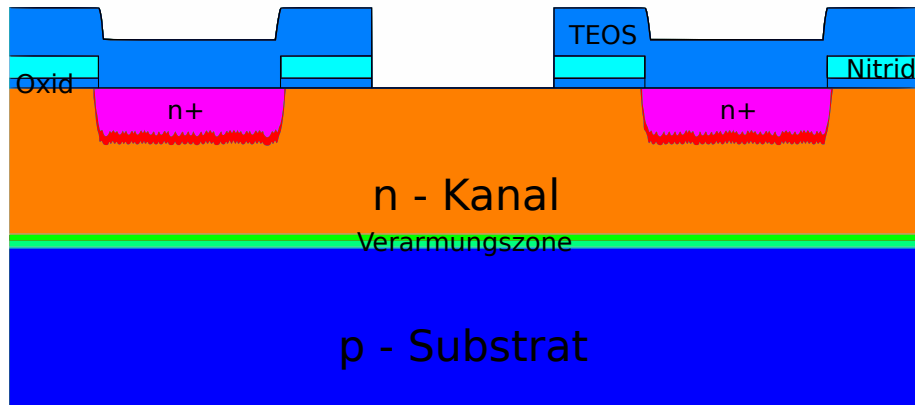


Abbildung 3.8.: Siliziumoxid und -nitrid strukturiert für die Dotierung des Gates.

Siliziumnitrid und die darunterliegende thermische Siliziumoxidschicht werden wieder mittels RIE-Ätzer strukturiert. Somit ist das aktive Gebiet für die Dotierung des Gates offen (Abbildung 3.8).

Die Dotierung erfolgt analog zur Dotierung von Source und Drain, ebenfalls mit einem SOD Glas. Als Dotierstoff kommt diesmal Bor zum Einsatz.

Das Bor wird in einer Sauerstoffatmosphäre bei  $1050\text{ }^{\circ}\text{C}$  in das Silizium eindiffundiert. Die Entfernung des SODs erfolgt mit verdünnter Flusssäure (HF). Anschließend wird das abgeschiedene Siliziumoxid mit BHF entfernt (Abbildung 3.9).

Nach der Entfernung des abgeschiedenen Siliziumoxids werden die Wafer direkt in die Sputteranlage eingeschleust für die Metallisierung. Dazu wird ein Schichtstapel aus Titan, Titannitrid und Aluminium aufgesputtert. Die dünne Titanschicht reagiert unter Temperatur mit dem Silizium zu  $TiSi_2$ . Das Titansilizid bildet einen Kontakt mit geringem Widerstand aus. Um eine Diffusion des Aluminiums in das Silizium hinein (*spiking*) zu verhindern eignet sich eine Schicht aus Titannitrid ( $TiN$ ) [39].

Mit dem letzten Lithografieschritt werden die Kontakte hergestellt (Abbildung 3.10). Zuerst wird die Aluminiumschicht mit einer kommerziellen Phosphorsäureätzmischung (PNA / PWS) strukturiert. Diese enthält unter anderem Phosphorsäure ( $H_3PO_4$ ) und Salpetersäure ( $HNO_3$ ). Die unter dem Aluminium befindlichen Titannitrid- und Titanschichten werden mit einer Mischung aus deionisiertem Wasser (DI-Wasser), Ammoniumhydroxid ( $NH_4OH$ ) und Wasserstoffperoxid strukturiert. Um die Reaktion der Ätze mit dem Fotolack zu verlangsamen wird noch Kieselsäure in die Lösung gemischt.

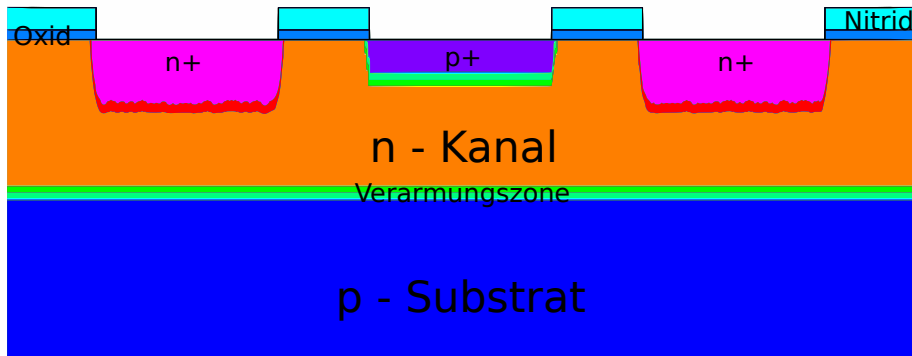


Abbildung 3.9.: Vollständige Dotierung für Source-, Drain- und Gatekontakt.

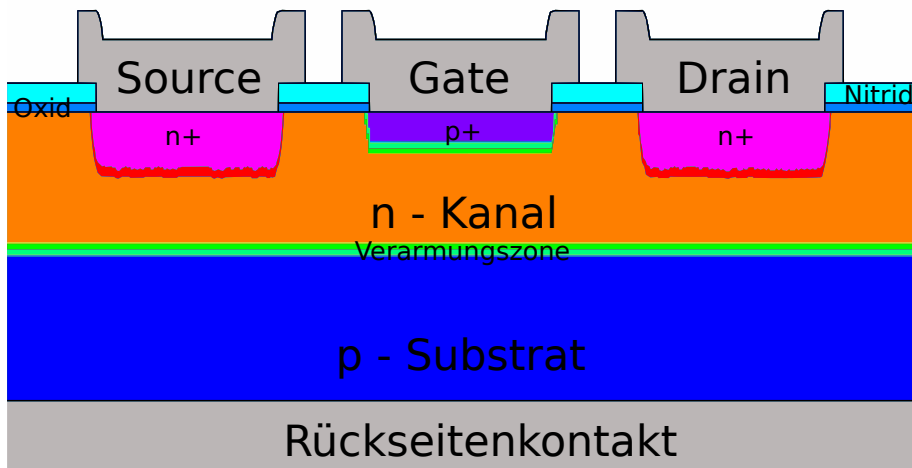


Abbildung 3.10.: Vollständig prozessierter JFET.

Nach dem Entfernen des Fotolacks mit Aceton und Isopropanol wird eine Schicht Schutzlack auf die Struktur aufgebracht. Als Nächstes wird im RIE-Ätzer das Siliziumnitrid und das Siliziumoxid auf der Rückseite entfernt. Um die Entstehung eines neuen Siliziumoxids zu verhindern, werden die Wafer anschließend sofort in die Sputteranlage eingeschleust und die Rückseite ebenfalls metallisiert. Hier kommt nur Aluminium zum Einsatz.

Der Prozess wird abgeschlossen mit dem Tempern der Wafer bei  $350\text{ }^{\circ}\text{C}$  in einer Atmosphäre aus Stickstoff und Wasserstoff. Dies ermöglicht das Silizidieren des Titans und des Aluminiums.

### 3.3. Elektrische Charakterisierung der JFETs

Die elektrische Charakterisierung der JFETs erfolgt mit einem halb automatischen Messplatz, Rucker & Kolls Semi-Automatic-Wafer-Prober. Es können bis zu vier Messköpfe gleichzeitig angesteuert werden. Dies geschieht mittels eines speziell entwickelten Labview Programms. So ist es möglich sowohl Spannungen als auch Ströme zu messen und die Messdaten zu speichern. Eine ausführliche Beschreibung des Messplatzaufbaus ist bei [44, 45] zu finden.

Um einen Wafer automatisch zu vermessen, müssen zwei Dateien generiert werden. Die erste Datei enthält die Koordinaten der zu vermessenden Bauteile, die zweite Datei enthält die zu den Koordinaten gehörigen Dateinamen. Jedem einzelnen Chip (*engl. Die*) auf dem Wafer wird eine Nummer zugewiesen. Wie in Abbildung 3.11 zu sehen ist, werden 63 Chips vermessen. Der Ursprung des Koordinatensystems für den halb auto-

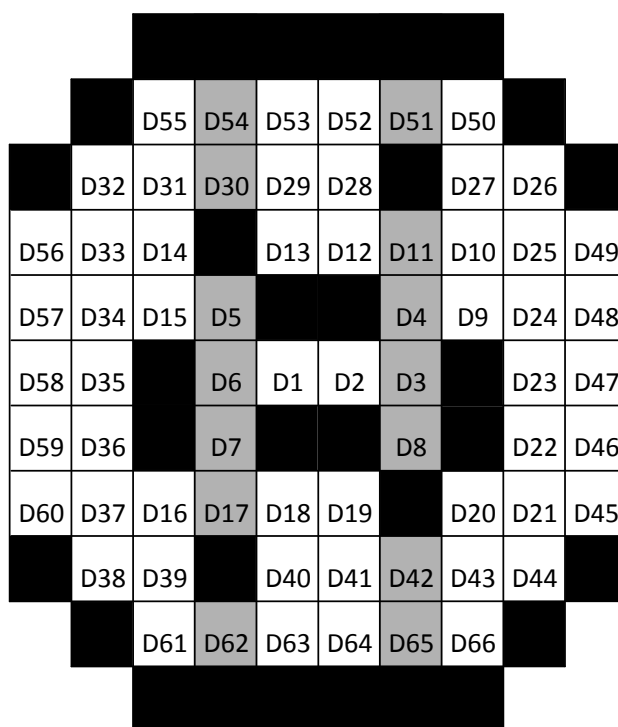


Abbildung 3.11.: Position und Nummerierung der einzelnen Chips auf dem Wafer für die automatische Messung.

matischen Messplatz liegt im Chip D1. Dieser wiederum ist in der Mitte des Wafers. Die Nummerierung wird spiralförmig nach außen geführt. Ein Chip wiederum besteht aus sechs Reihen und neun Spalten mit verschiedenen Transistoren (vgl. Abbildung 3.12(a)). Dabei ist jeder Transistor vierfach vorhanden. Wie Abbildung 3.12(b) zeigt, sind die Transistoren paarweise um  $180^\circ$  zueinander rotiert. Für die Messung hat dies zur Folge, dass immer nur ein Transistorpaar gemessen werden kann.

Der Transistor im Koordinatenursprung ist D1\_R1\_L100\_W100\_001. Der Dateiname für die Messergebnisse setzt wie folgt zusammen:



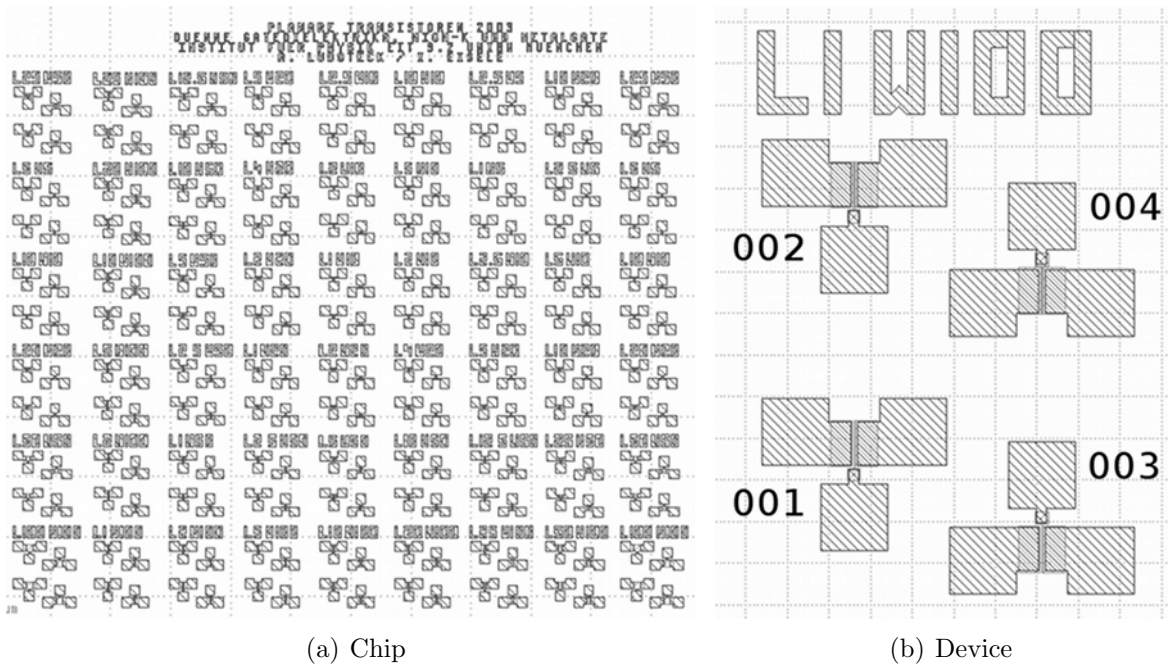


Abbildung 3.12.: Abbildung der Position der verschiedenen JFET-Gruppen innerhalb eines Chips (a) und die Lage der JFETs innerhalb einer Gruppe (b).

1. der Chipnummer (z. B. D1),
2. der Reihennummer (z. B. R2),
3. der Gatelänge (z. B. L50),
4. der Gatebreite (z. B. W100) und
5. einer Nummer für den Transistor (z. B. 004).

Somit ergibt sich für dieses Beispiel folgender Dateiname: D1\_R2\_L50\_W100.004.txt.

Zu beachten für die Auswertung ist, dass aufgrund der verwendeten Masken die auf dem Chip angegebenen Gatebreiten nicht mit den tatsächlichen Gatebreiten übereinstimmt. Ursache hierfür ist, dass nicht alle Masken verwendet werden. In Tabelle 3.2 sind die nominellen Gatebreiten und die dazugehörigen physikalischen Gatebreiten aufgelistet.

Die zweite Datei enthält die Koordinaten der Transistoren, die zu messen sind. Für die Erstellung der Koordinaten wird auf dem Wafer ein beliebiger Nullpunkt gewählt. Im weiteren folgen die relativen Koordinaten, bezogen auf den Ursprung, der zu vermessen den Bauteile.

Zur Verfügung stehen Programme zur Messung der Ausgangs- und Transferkennlinien. Außerdem ist es möglich die Charakteristika der verschiedenen pn-Dioden eines JFETs zu messen. Wichtig für die Positionierung der Messspitzen ist aufgrund der variablen Gatelänge, dass sich sowohl der Kontakt für das Gate, als auch einer der Kontakte

### 3. Prozessierung

Gatebreite [ $\mu m$ ]	Physikalische Gatebreite [ $\mu m$ ]
100	110
50	60
20	30
10	16
5	16

Tabelle 3.2.: Nominelle und realisierte Gatebreiten der SOD–JFETs.

für Source/Drain verschiebt. Der zweite Kontakt für Drain/Source hingegen ist fest positioniert.

### 3.4. Prozessablauf für SDDs

Für die SDDs kommen als Substrat kommerzielle hochohmige Wafer, dotiert mit Phosphor zum Einsatz. Der Widerstand beträgt  $3000 \Omega cm$ , dies entspricht einer Dotierung von  $1 \cdot 10^{13} cm^{-3} - 2 \cdot 10^{13} cm^{-3}$  [37].

Die elektrische Isolierung der Bauteile erfolgt durch ein ca.  $230 nm$  dickes thermisches Nassoxid. Dieses wird nacheinander auf beiden Seiten der Wafer nasschemisch mit BHF strukturiert. Nach dem Entfernen des Fotolacks mit einem Gemisch aus Aceton und Isopropanol werden die Wafer noch in einem Bad mit RCA 1 Lösung und RCA 2 Lösung gereinigt. Die RCA 1 Lösung besteht aus Wasser  $H_2O$ , Ammoniumhydroxid  $NH_4OH$  und Wasserstoffperoxid  $H_2O_2$  und wird hier im Verhältnis von 7:1:1 verwendet. In der RCA 2 Lösung kommt anstatt Ammoniumhydroxid Salzsäure  $HCl$  im gleichen Verhältnis zum Einsatz.

Anschließend wird eine Schicht aus Polysilizium abgeschieden, das als Elektrode fungiert. Die beidseitige Strukturierung der etwa  $500 nm$  dicken Polysiliziumschicht erfolgt mit einer kommerziellen Ätzmischung.

Es folgen die ersten beiden Implantationen für den JFET. Zuerst wird Bor implantiert um eine elektrische Isolierung des Detektors zum JFET zu realisieren. Mit der zweiten Implantation wird durch Phosphor das Kanalgebiet dotiert. Bei beiden Implantationen kommt jeweils eine Maske aus Fotolack zum Einsatz. Nach den Implantationen werden diese in einem Bad aus Caroscher Säure entfernt.

Die Implantationen für die Kontakte werden ohne Streuoxid realisiert. Hierfür wird im nächsten Schritt das Siliziumoxid für alle weiteren Implantationen geöffnet. Für die weiteren Implantationen wird als Maske ebenfalls Fotolack verwendet. Es folgt eine Implantation von Bor, um die Driftringe zu dotieren. Gleichzeitig wird die elektrische Isolation des JFETs gegenüber dem Substrat kontaktiert.

Um mögliche Auswirkungen des fehlenden Streuoxids zu untersuchen, ist auf zwei Wafern ein  $30 nm$  dickes Streuoxid aufgebracht. Die Oxidation erfolgt bei  $800 ^\circ C$  mit Wasser. Im Anschluss werden die entsprechenden Kontakte für den Detektor und die JFETs in zwei separaten Implantationen bei allen Wafern mit Bor bzw. Phosphor erzeugt.

Der Fotolack ließ sich im Anschluss an eine Implantation mit Phosphor für die Kon-

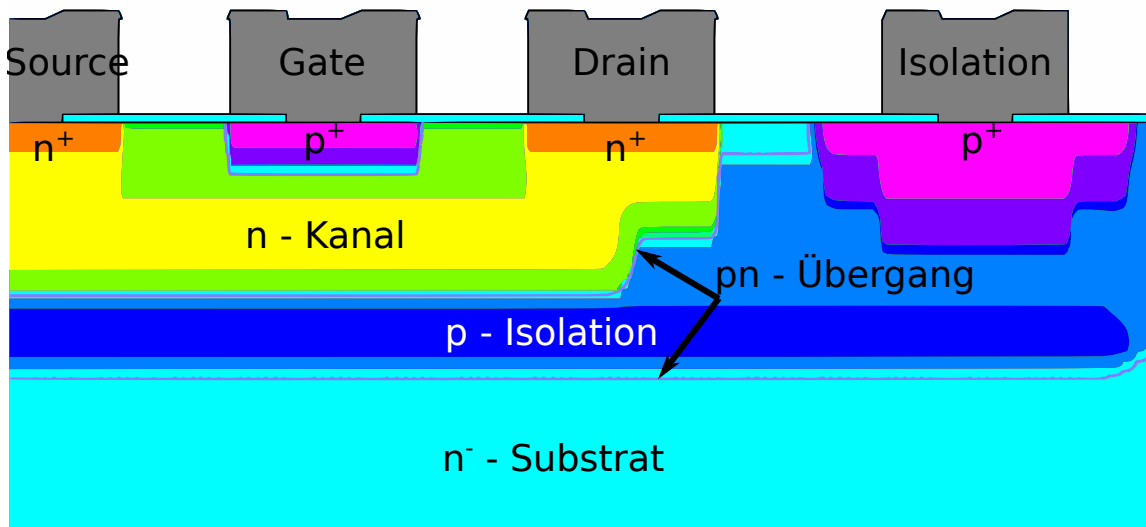


Abbildung 3.13.: Querschnitt des integrierten JFETs.

takte auch nach mehreren Reinigungen mit Caroscher Säure nicht mehr vollständig entfernen. Auch eine Variation des Mischungsverhältnisses von  $H_2SO_4$  und  $H_2O_2$  oder das Vorwärmen der Lösungen war erfolglos, ebenso wie eine Reinigung in RCA 1 und anschließend in RCA 2 Lösungen. Erst eine Reinigung mit Caroscher Säure unter ständiger Temperaturzufuhr entfernte den Fotolack vollständig. Bei diesem Prozess ist Wafer 230 beim Abkühlen zerbrochen.

Eine Veraschung des Fotolacks mit Sauerstoff im RIE-Ätzer sollte vermieden werden, um eine Schädigung der Bauteile durch das Plasma zu vermeiden. Zur Untersuchung möglicher Auswirkungen des Plasmas auf die Eigenschaften der Bauteile wird der Lack auf zwei Wafern, Wafer 235 und 236, mit einem Sauerstoffplasma entfernt.

Nach erfolgreicher Entfernung des Fotolacks erfolgte die Dotierung der Spannungsteiler mit Bor durch eine weitere Implantation. Die Spannungsteiler verbinden die Driftringe des Detektors. Mit der letzten Implantation wird das Eintrittsfenster für die Röntgenstrahlung mit Bor implantiert.

Anschließend erfolgt die Passivierung der Detektoren. Zum Einsatz kommt ein LPCVD Siliziumnitrid bzw. ein LPCVD Siliziumoxid. Bei einer Temperatur von  $T = 740\text{ °C}$  wird eine Schicht Siliziumoxid von  $d = 25\text{ nm}$  auf den Wafern 233 und 234 abgeschieden. Alle anderen Wafer erhalten eine Passivierung aus Siliziumnitrid mit einer Dicke von  $d = 50\text{ nm}$ . Diese wird bei einer Temperatur von  $T = 750\text{ °C}$  abgeschieden.

Im Folgenden wird die Passivierung nacheinander auf beiden Seiten des Wafers strukturiert. Für Siliziumnitrid erfolgt dies im RIE-Ätzer, für das abgeschiedene Oxid mit BHF. Die mit Siliziumoxid passivierten Wafer werden jeweils nach Strukturieren des Oxids und Entfernen des Fotolacks sofort metallisiert. Somit wird eine zusätzliche Entfernung von natürlichem Oxid und ein Ausdünnen der abgeschiedenen Passivierung verhindert. Notwendig ist dies, da das abgeschiedene  $SiO_2$  gleichzeitig auch als Dielektrikum für die Feedbackkapazität verwendet wird. Erst nach dem Sputtern von Aluminium auf die ers-

### 3. Prozessierung

te Seite der beiden Wafer wird das Oxid auf der anderen Seite des Wafers strukturiert. Im Anschluss erfolgt umgehend die Metallisierung mit Aluminium. Ein Querschnitt des integrierten JFETs ist in Abbildung 3.13 zu sehen.

Im Gegensatz dazu werden die Wafer mit einer Passivierung aus Siliziumnitrid erst beidseitig strukturiert. Nach Entfernen des natürlichen Oxids in einem Bad aus 1 % HF, werden die Wafer in die Sputteranlage eingebracht und nacheinander auf beiden Seiten mit Aluminium beschichtet. Diese Aluminiumschicht wird danach auf beiden Seiten der Wafer strukturiert. Zum Abschluss werden alle Wafer noch in einer Wasserstoff-, Stickstoffatmosphäre getempert.

#### 3.4.1. Kapazität

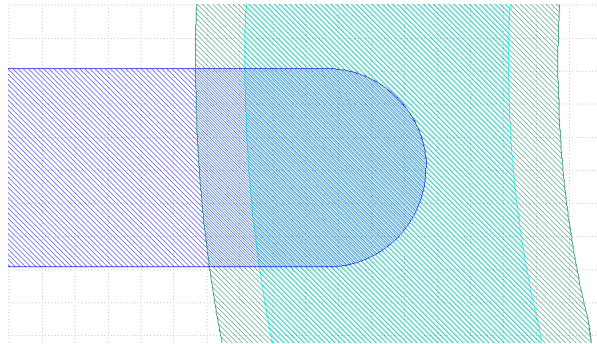


Abbildung 3.14.: Draufsicht auf die Feedbackkapazität.

Dielektrikum	$\epsilon_r$	Fläche [ $\mu m^2$ ]	Schichtdicke [ $nm$ ]
Nitrid	7,5	30	50
Oxid	3,9	30	25

Tabelle 3.3.: Übersicht über die Parameter der Feedbackkapazitäten.

Für die Resetschaltung ist eine Kapazität erforderlich. Diese soll im Bereich von 30  $fF$  bis 50  $fF$  liegen. Hierzu wird eine Leiterbahn zur Anode geführt. Beide sind durch ein Dielektrikum getrennt. Das Design ist aus [12] entnommen, mit einer Kapazität von 50  $fF$ .

Abbildung 3.14 zeigt das Design für die Feedbackkapazität. Die Leiterbahn aus Aluminium (blau) wird zur Anode (cyan) geführt. Die Fläche der Leiterbahn über dem hoch dotierten Kontaktgebiet der Anode hat eine Fläche von  $A_K = 30 \mu m^2$ . Die nötige Schichtdicke für den Kondensator wird mit folgender Gleichung berechnet:

$$C = \epsilon_r \epsilon_o \frac{A}{d} \quad (3.4)$$

Die Kapazität  $C$  des Kondensators ist abhängig von der Fläche  $A$  der Elektroden, der Dicke  $d$  des Dielektrikums und dessen relativen Permeabilität  $\epsilon_r$ . Die Permeabilität des

Vakuums ist  $\epsilon_0$ . Für die Berechnung der Kapazität wird die ideale relative Permeabilität aus [24] verwendet. Mögliche Randeﬀekte werden vernachlässigt. Die Werte für einen Kondensator mit einem Dielektrikum aus  $Si_3N_4$  und  $SiO_2$  sind in Tabelle 3.3 zusammengefasst.

Um eine Kapazität von  $C = 40 \text{ fF}$  zu bekommen ist eine Schichtdicke von  $d = 50 \text{ nm}$  Siliziumnitrid notwendig, bzw. eine Siliziumoxidschicht mit einer Dicke  $d = 29 \text{ nm}$ .



## 4. Technologie

### 4.1. Kanalausdünnung

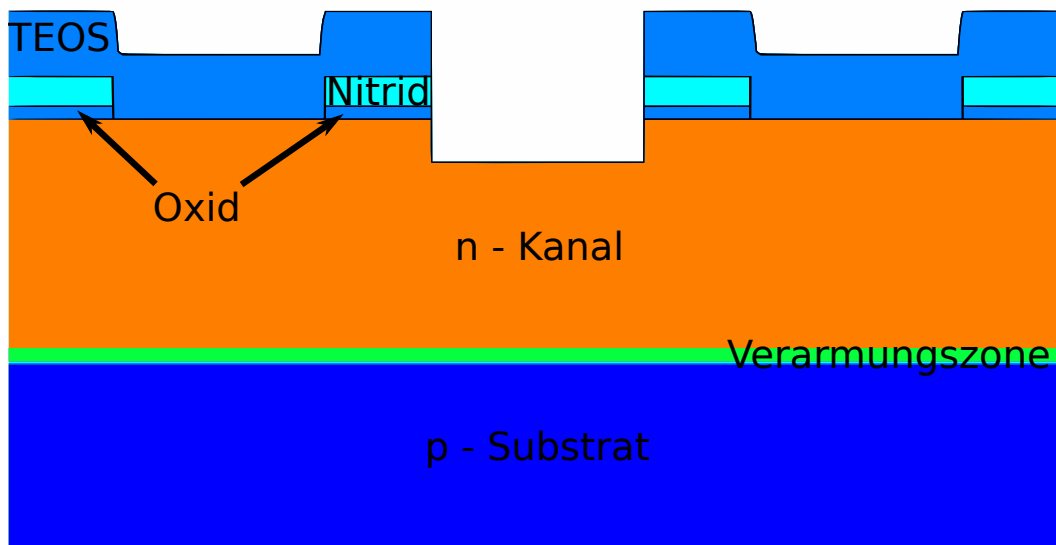


Abbildung 4.1.: JFET mit dünnerem Kanalgebiet.

Um die Auswirkung verschiedener Kanalhöhen auf die Charakteristik eines JFETs zu untersuchen, werden die Kanalgebiete auf den Wafern partiell geätzt. Dies geschieht direkt vor der Dotierung des Kanalgebiets. Um ein Unterätzen sowohl des thermischen als auch des abgeschiedenen Siliziumoxids zu vermeiden (vgl. Abbildung 3.8), wird das Kanalgebiet mit einem RIE-Ätzprozess ausgedünnt. Im linken Drittel des Wafers wird die Kanalschicht um ca.  $100\text{ nm}$ , im rechten Drittel des Wafers um ca.  $200\text{ nm}$  reduziert. Zum Einsatz kommt ein Gasgemisch aus Sauerstoff  $O_2$ , Argon  $Ar$  und Schwefelhexafluorid  $SF_6$ . Zur Abdeckung der Fläche, die nicht strukturiert werden soll, wird ein zweiter Wafer verwendet. Damit können  $\frac{2}{3}$  des Wafers abgedeckt und ein Ätzen verhindert werden. Im Anschluss wird die Ätztiefe mit einem Profilometer an neun Punkten auf dem Wafer bestimmt (siehe Abbildung A.1). Nach Abbildung 4.1 kann die Schichtdicke des Siliziumnitrids gemessen werden, sowie die gesamte Schichtdicke, bestehend aus dem abgeschiedenen Siliziumoxid, dem Siliziumnitrid, dem thermischen Siliziumoxid und der geätzten Kanalschicht im Silizium. Ersteres setzt eine konforme Abscheidung des Siliziumoxids voraus.

Die in Tabelle 4.1 aufgelisteten Werte sind Mittelwerte aus insgesamt jeweils drei Mes-

## 4. Technologie

Position	Ellipsometer	Profilometer			
	Dicke [nm]	Dicke [nm]	Nitrid [nm]	Ätztiefe [nm]	Ätzrate [nm/s]
1	0,0	572,97	70,76	130,15	10,0
4	0,0	590,70	73,56	161,52	12,4
7	0,0	596,87	76,91	146,64	11,3
2	464,8	442,82	76,29	0,00	0,0
5	456,8	429,17	71,73	0,00	0,0
8	479,1	450,23	76,86	0,00	0,0
3	0,0	660,93	76,90	218,11	8,4
6	0,0	714,55	77,51	285,37	11,0
9	0,0	705,27	77,82	255,04	9,8

Tabelle 4.1.: Gemessen ist die Gesamtdicke (Dicke) bestehend aus thermischem Siliziumoxid, Siliziumnitrid und abgeschiedenem Siliziumoxid. Berechnet sind die Ätztiefe und die Ätzrate.

sungen pro Position für die Gesamtdicke und sechs Messungen für die Dicke des Siliziumnitrids. Für das mittlere Drittel des Wafers wird angenommen, dass dieses dem Plasma nicht ausgesetzt wurde. Ein Vergleich der Messungen mit dem Profilometer und dem Ellipsometer für die Schichten aus Siliziumnitrid und -oxid bestätigt dies. Aufgrund der Strukturierung des Wafers ist der Einsatz des Ellipsometers nur an bestimmten Punkten auf dem Wafer möglich.

Aus Tabelle 4.1 ist ersichtlich, dass die Ätzrate auf der rechten Seite des Wafers geringer ist, verglichen mit der linken Seite des Wafers. Ursache ist die Inhomogenität des Ätzers [46]. Für die Ätzung der Wafer mit den JFETs wurde die Ätzzeit um 3 s verringert. Dies entspricht einer Reduzierung der Ätztiefe um ca. 30 nm.

## 4.2. Dotierung

### 4.2.1. Implantation

Wie bereits erwähnt, verfügt das Institut für Physik nicht über einen Implanter zur Dotierung. Die Implantationen werden deshalb am Helmholtz Zentrum in Dresden durchgeführt. Um die geeigneten Dosen und Energien für die Implantation, zu bestimmen, wird der Vorgang der Implantation mit Athena von Silvaco simuliert. Athena ist ein Simulationsprogramm für Prozesse zur Herstellung von Halbleiterstrukturen, basierend auf SUPREM. Die nun folgende kurze Übersicht über die Implantation ist ausführlich in [39] nachzulesen.

Ein Implanter besteht aus einer Ionenquelle, einer Röhre zur Beschleunigung der Ionen und einer Halterung für die Wafer. Eine schematische Darstellung ist in Abbildung 4.2 zu sehen. Als Quelle für die Ionen kommen je nach gewünschter Dotierung verschiedene Gase zum Einsatz, wie zum Beispiel  $BF_3$ ,  $AsH_3$  oder  $PH_3$ . Alternativ kann das Gas auch durch Verdampfen aus einem Feststoff gewonnen werden. Mittels beschleunigten



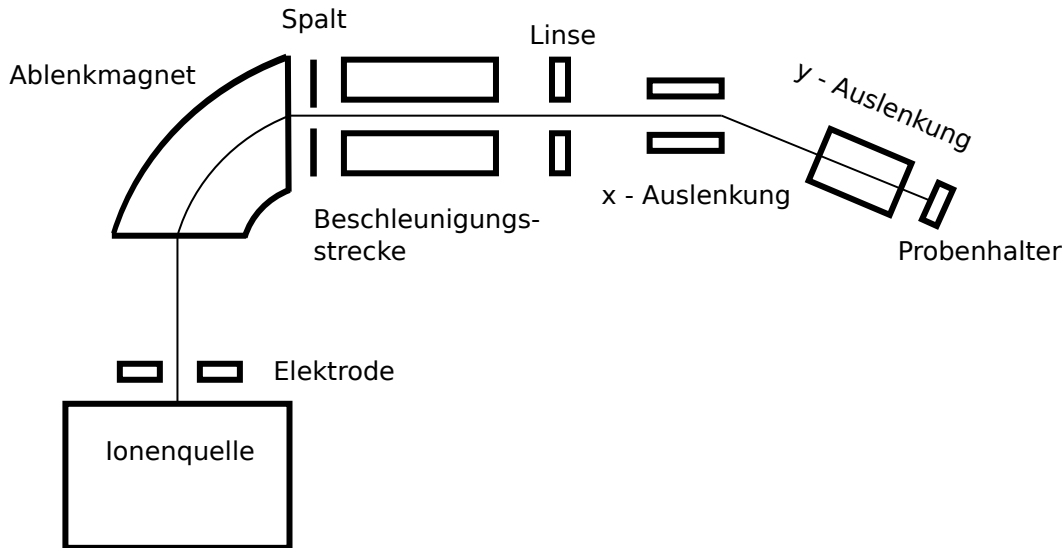


Abbildung 4.2.: Schematische Darstellung eines Implanters nach [39].

Elektronen aus einer Glühelktrode werden die Gasmoleküle dissoziiert. Somit entstehen positiv geladene Dotieratome, die zum Ausgang der Ionenquelle hin beschleunigt und mittels eines Spalts fokussiert werden. Die Beschleunigung der Ionen erfolgt durch ein elektrisches Feld. Aufgrund der Energieerhaltung gilt [39]:

$$\frac{1}{2}mv^2 = qV_{ext}. \quad (4.1)$$

Hierbei ist  $m$  die Masse des beschleunigten Teilchens,  $v$  dessen Geschwindigkeitsbetrag und  $q$  die Ladung.  $V_{ext}$  ist die Extraktionsspannung, mit der das Teilchen beschleunigt wird. Die Geschwindigkeit der Ionen beträgt [39]:

$$v = \sqrt{\frac{2qV_{ext}}{m}}. \quad (4.2)$$

Durch ein Magnetfeld werden die verschiedenen positiv geladenen Ionen auf eine Kreisbahn gelenkt. Die Kraft eines geladenen Teilchens im Magnetfeld lässt sich beschreiben durch die Lorentzkraft, die mit der Zentripetalkraft gleichgesetzt wird [39]:

$$\frac{mv^2}{r} = qvB. \quad (4.3)$$

$B$  ist die magnetische Flussdichte und  $r$  ist der Radius der Kreisbewegung, auf der sich das ionisierte Teilchen bewegt. Durch einen Spalt werden die Ionen, abhängig von ihrem Verhältnis  $\frac{q}{m}$  voneinander separiert.

In einer evakuierten Röhre ( $p < 10^{-6}$  torr) werden die Ionen anschließend beschleunigt. Bei der Beschleunigung erhalten die Ionen ihre kinetische Energie, die dann die Eindringtiefe in das Substrat bestimmt. Mittels Plattenkondensatoren wird der beschleunigte Ionenstrahl auf die Wafer gelenkt. Somit lässt sich gleichzeitig vermeiden, dass Ionen

## 4. Technologie

die mit thermischen Elektronen zu neutralen Atomen rekombiniert sind, auf die Wafer treffen. Der Ionenstrahl rastert über den Wafer, damit dieser homogen dotiert wird. Die Anzahl der implantierten Dotieratome pro Fläche  $N$  [Atome/cm<sup>2</sup>], auch Dosis genannt kann wie folgt berechnet werden [39]:

$$N = \frac{1}{z \cdot e \cdot A} \int I dt. \quad (4.4)$$

Das zeitliche Integral des Ionenstroms  $I$  wird normiert auf die Waferoberfläche  $A$  und die Ladung der Ionen  $z \cdot e$ .

Im Substrat wechselwirken die Dotierionen einerseits mit den Ionen des Kristalls, andererseits mit den Elektronen. Hierzu gibt es verschiedene Modelle, die die Wechselwirkung der Ionen beschreiben, aber auf die in dieser Arbeit nicht weiter eingegangen, sondern auf [39] verwiesen wird. Die Eindringtiefe  $R_p$  der Ionen ist abhängig von deren kinetischer Energie. Sobald die Ionen in das Substrat eindringen, verlieren diese durch statistische Streuprozesse Energie. Es ergibt sich eine gaußförmige Konzentration des Dotierstoffs ( $N(x)$ ) mit Maximum bei  $x = R_p$  [39]:

$$N(x) \propto e^{-(x-R_p)}. \quad (4.5)$$

Es sei hier auch noch auf den Effekt des *channeling* hingewiesen. Fliegen Ionen parallel zu den Kristallebenen, können diese sehr viel tiefer in das Substrat eindringen. Hierfür ist eine geringere Wechselwirkung, in Form von Stößen und Streuung, der Ionen mit den Atomen des Festkörpers verantwortlich. Um dies zu vermeiden, wird das Substrat gegen den Ionenstrahl geneigt. Typischerweise wird ein Winkel von 7° verwendet, so auch bei all den Implantationen zur Herstellung des Siliziumdriftdetektors.

### 4.2.2. Konzentration der Dotierstoffe

Die Konzentration der Dotierstoffe im Wafer wird mit SIMS – Messungen und die Konzentration der freien Ladungsträger mit SRP – Messungen überprüft. SIMS steht für *Secondary Ion Mass Spectrometry* und SRP für *Spreading Resistance Probe* [39]. Letztere Methode ermöglicht die Konzentrationen der freien Ladungsträger in einem Bereich von 10<sup>13</sup> cm<sup>-3</sup> bis 10<sup>21</sup> cm<sup>-3</sup> zu bestimmen, während dies bei SIMS – Messungen erst ab einer Konzentration von 10<sup>15</sup> cm<sup>-3</sup> möglich ist. Jedoch hängt die Qualität einer SRP – Messung von einigen Faktoren ab, unter anderem von den Kontakten, der Kalibrierung des Gerätes und auch von der Erfahrung des Anwenders [39, 47]. Für weitergehende Informationen zu SIMS – Messungen sei an dieser Stelle auf [39] verwiesen.

Bei einer SRP – Messung wird zuerst die zu untersuchende Probe schräg geschliffen. Zur Kontaktierung werden zwei Spitzen mit hohem Druck auf die Probe gepresst. Es wird dabei der Widerstand der Probe gemessen, was eine Berechnung der Konzentration der freien Ladungsträger in der Probe erlaubt [39].

In Tabelle 4.2 sind die Implantationen und deren Energien für die einzelnen Proben zusammengefasst. Nach der Implantation werden die Proben erst für 40 *min* bei 600 °C und anschließend für 50 *min* bei 800 °C ausgeheilt. Dieser Schritt ist notwendig, um einerseits die Schäden, hervorgerufen durch die Implantation, am Kristall zu regenerieren,

Probe	Beschleunigungsspannung [keV]		
	Isolation Bor	Kanal P	Kontakt Bor
4	550	550	12.5
9	580	—	—
10	580	560	—
11	—	560	—

Tabelle 4.2.: Übersicht über die Implantationsenergien, um die Konzentration der Dotierungen mit SIMS – und SRP – Messungen zu prüfen.

andererseits um die Dotieratome in das Kristallgitter einzubauen und somit zu aktivieren [39].

Abbildung 4.3 zeigt das SIMS – Profil der Implantationen von Probe 10. Dabei ist die

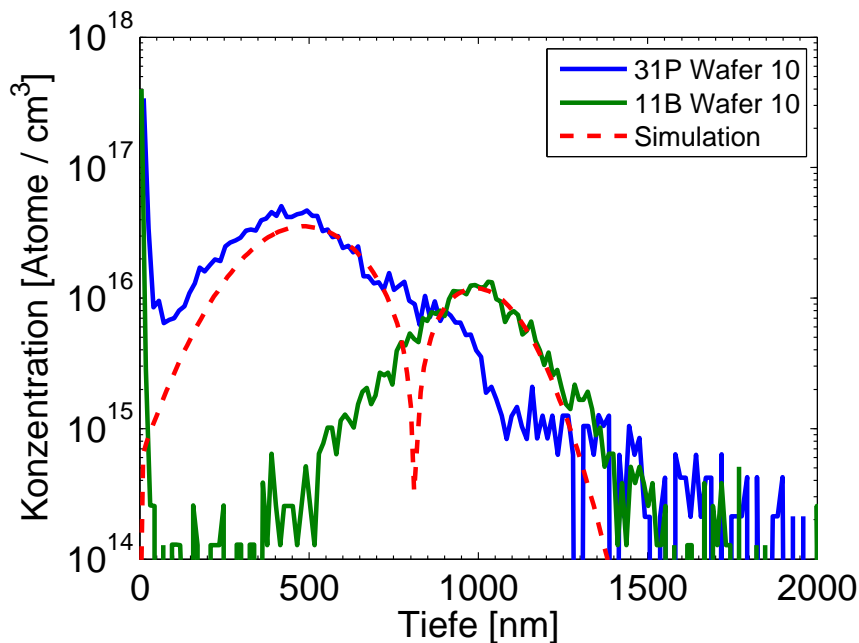


Abbildung 4.3.: SIMS – Messung der Dotierung des Isolationsrings und des Kanals, sowie mit Athena simuliert.

Konzentration der Dotieratome gegen die Tiefe aufgetragen. Grün ist die Borkonzentration aufgetragen, die den Isolationsring des JFETs gegenüber dem Detektor bildet. Hierbei ist eine Beschleunigungsspannung von  $V_B = 580 \text{ keV}$  und eine Dosis von  $D_A = 4 \cdot 10^{11} \text{ cm}^{-2}$  gewählt worden. Das Maximum der Borkonzentration von ungefähr  $N_A \approx 1 \cdot 10^{16} \text{ cm}^{-3}$  liegt bei etwa  $1030 \text{ nm}$  unterhalb der Oberfläche und reicht bis etwa  $1400 \text{ nm}$  in den Wafer hinein.

Die Phosphorkonzentration im Kanal ist blau eingetragen. Die Beschleunigungsspan-

#### 4. Technologie

nung während der Implantation beträgt  $V_B = 560 \text{ keV}$ , bei einer verwendeten Dosis von  $D_D = 1,5 \cdot 10^{12} \text{ cm}^{-2}$ . Die maximale Konzentration von Phosphor  $N_D \approx 5 \cdot 10^{16} \text{ cm}^{-3}$  befindet sich in etwa  $420 \text{ nm}$  unterhalb der Waferoberfläche. Bei ca.  $860 \text{ nm}$  Tiefe befindet sich der metallurgische pn-Übergang. Die Konzentration der beiden Dotierstoffe in diesem Punkt ist gleich.

Zum Vergleich ist noch die simulierte Nettokonzentration der Dotierstoffe (rot) eingezeichnet, bei entsprechenden Energien und Dosen. Wie zu sehen ist, ist die Übereinstimmung zwischen Messung und Simulation für die Implantation von Bor sehr gut. Die Simulation von Phosphor für das Kanalgebiet zeigt eine etwas geringere Konzentration, als mittels SIMS gemessen.

Die Konzentration der freien Ladungsträger aus der SRP-Messung von Probe 10 ist in

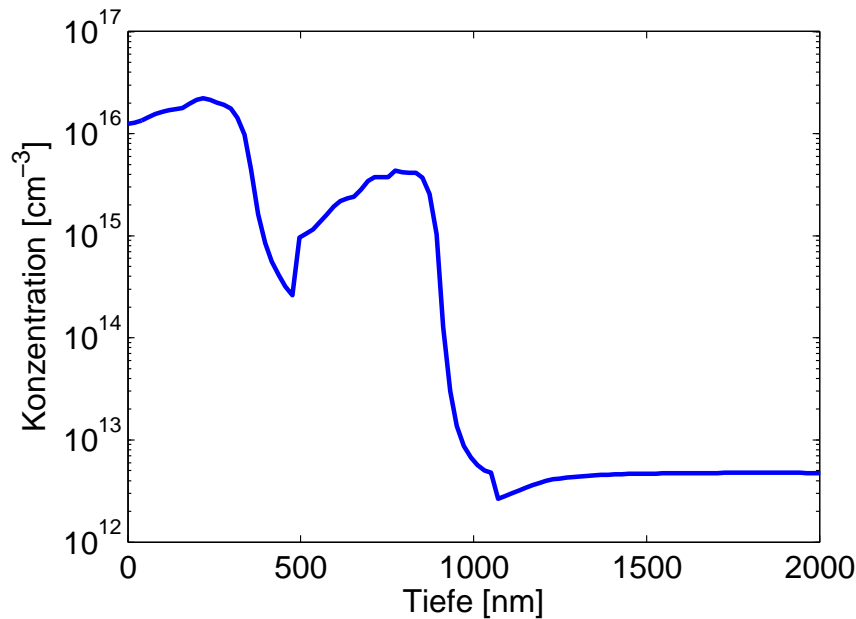


Abbildung 4.4.: SRP-Messungen der Konzentration der Ladungsträger im Kanal und im Isolationsring.

Abbildung 4.4 zeigt. Es sind deutliche Unterschiede zum SIMS-Profil erkennbar. Die Dotierung mit Phosphor reicht etwa  $475 \text{ nm}$  in den Wafer hinein und erreicht eine mittlere Konzentration freier Ladungsträger im Kanal von etwa  $n = N_D \approx 2,6 \cdot 10^{16} \text{ cm}^{-3}$ . Die Konzentration im Isolationsgebiet beträgt knapp  $p = N_A \approx 4 \cdot 10^{15} \text{ cm}^{-3}$ . Im weiteren Verlauf dieser Arbeit wird angenommen, dass jedes Dotieratom einfach ionisiert ist. Somit ist die Anzahl der Elektronen gleich der Anzahl an Donatoren ( $n = N_D$ ) und die Anzahl der freien Löcher gleich der Anzahl an Akzeptoren ( $p = N_A$ ). Der pn-Übergang zum Substrat ist etwa  $1070 \text{ nm}$  unterhalb der Waferoberfläche.

Im Vergleich zu der SIMS-Messung aus Abbildung 4.3 fällt auf, dass die Konzentration der freien Ladungsträger geringer ist, als die Konzentration der Dotieratome. Ebenso lie-

gen die Übergänge zwischen den verschiedenen dotierten Gebieten näher an der Oberfläche bzw. enger zusammen, als bei der SIMS-Messung. Es ergibt sich jeweils ein Unterschied von ca.  $390\text{ nm}$  in der Lage des Übergangs von Kanal zum Isolationsring und von ca.  $330\text{ nm}$  beim Übergang vom Isolationsring zum Substrat.

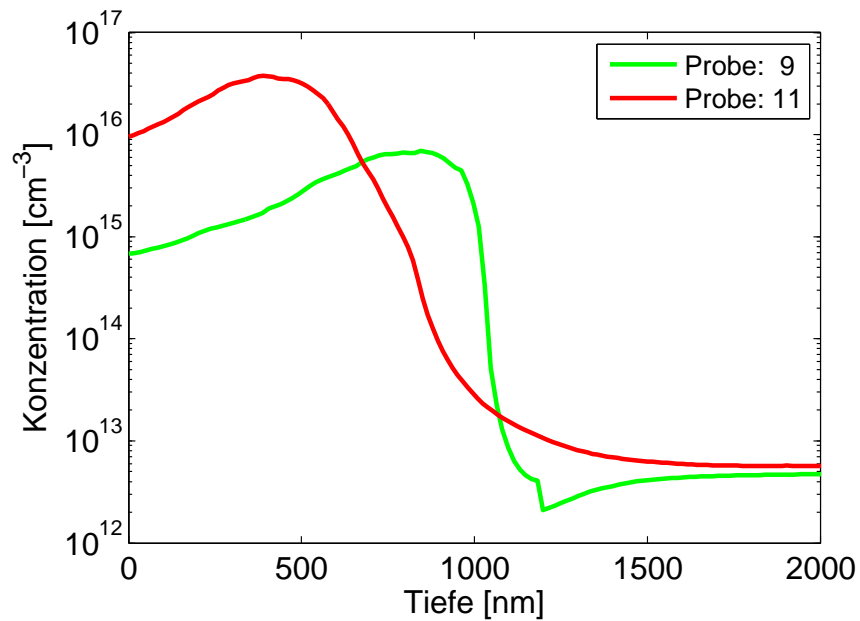
Die geringere Konzentration der freien Ladungsträger lässt sich dadurch erklären, dass bei einer vergleichsweise geringen Temperatur von  $800\text{ }^\circ\text{C}$  nicht alle Dotieratome auf einen Gitterplatz gelangen. Die Dotieratome, die sich nicht auf einem Gitterplatz befinden, geben auch keine Elektronen oder Löcher für den Ladungstransport ab [39]. Somit sollte die SRP-Methode akkurater zur Bestimmung der Kanaldotierung und -dicke sein. Das Phänomen der unterschiedlichen Positionen der pn-Übergänge bei SIMS- und SRP-Messungen wird ausführlich in der Literatur diskutiert [48, 47, 49, 50, 51, 52]. Die unterschiedliche Lage der pn-Übergänge wird verursacht durch die Behandlung der Oberfläche [50, 52], sowie eine höhere Permittivität aufgrund hoher lokaler Drücke ( $\sim 10\text{ GPa}$ ). Die hohen Drücke werden verursacht durch die Kontaktspitzen [48]. Bei Konzentrationen von Ladungsträgern kleiner als  $N < 1 \cdot 10^{17}\text{ cm}^{-3}$  ist die Verschiebung der pn-Übergänge beträchtlich [49]. Außerdem scheint es nicht vernachlässigbar zu sein, ob ein pn- oder np-Übergang vorliegt. Diese Effekte können jedoch rechnerisch korrigiert werden [48]. Dies ist für die vorliegenden Messungen auch geschehen. Messungen mit *Scanning Spreading Resistance Microscopy*, *SSRM* zeigen allerdings, dass die bis dato vernachlässigten Oberflächenzustände von Proben eine erhebliche Bedeutung besitzen [48]. Im folgenden werden für die Berechnung der Kenngrößen der JFETs nach der Theorie von Shockley die aus den SRP-Messungen ermittelten Parameter verwendet. Zusätzlich werden bei den Berechnungen die Parameter an entsprechender Stelle immer mit angegeben.

Abbildung 4.5 zeigt jeweils zwei unterschiedliche SRP-Messungen in einem Graphen zusammengefasst. In Abbildung 4.5(a) sind SRP-Messungen des Kanals und des Isolationsrings dargestellt. Der pn-Übergang vom Kanal zum Isolationsring (gleiche Ladungsträgerkonzentration) ist  $678\text{ nm}$  unterhalb der Waferoberfläche.

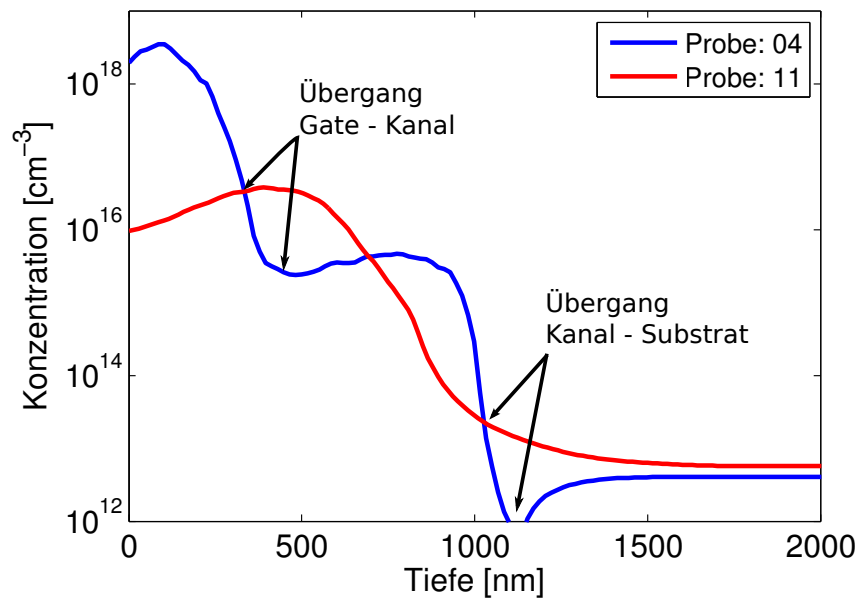
In Abbildung 4.5(b) sind die SRP-Messungen von Probe 4 und 11 dargestellt. In Probe 4 ist das Gate mit implantiert, jedoch die Energie für die Kanaldotierung und die Dotierung des Isolationsrings geringer als im späteren Prozess. Deswegen wird zu Bestimmung des Übergangs von Gate zum Kanal Probe 4 und Probe 11 verglichen. Demnach ist der Übergang bei ca.  $332\text{ nm}$ .

Ausgehend von der Annahme, dass ein systematischer Fehler den Unterschied in der Lage der pn-Übergänge zwischen SIMS-Messungen und SRP-Messungen zugrunde liegt, beträgt die Dicke des Kanals  $a = 346\text{ nm}$ . Hierbei wird von einer symmetrischen Verschiebung von pn- und np-Übergängen ausgegangen.

#### 4. Technologie



(a) Unabhängige SRP-Messungen der Ladungsträgerkonzentrationen im Kanal und im Isolationsring.



(b) Unabhängige SRP-Messung der Ladungsträgerkonzentrationen im Gate und im Kanal.

Abbildung 4.5.: Unabhängige SRP-Messungen verschiedener Proben zur Bestimmung der Position der pn-Übergänge.

## 5. Experimentelle Ergebnisse

Die Charakterisierung eines Transistors erfolgt in der Regel über verschiedene Kennlinien und Kenngrößen. So werden in dieser Arbeit die JFETs in erster Linie anhand ihrer Eingangs- und Ausgangskennlinien charakterisiert. Diese werden mit der Theorie aus Kapitel 2.1 sowie mit zwei- und dreidimensionalen Simulationen von den Transistoren verglichen.

Simulationen sind mit der TCAD-Software (*Technology-Computer-Aided-Design*) *Atlas* von *Silvaco* durchgeführt. Verschiedene Parameter (z. B. Kanaldotierung) werden variiert und ihr Einfluss auf die Eigenschaften der JFETs untersucht.

Im Folgenden werden kurz die in der Simulation verwendeten Modelle vorgestellt und erläutert. Die Erläuterungen sind der Bedienungsanleitung von Atlas entnommen und können dort detaillierter nachgelesen werden [53]. Über das Modellmakro BIPOLAR werden die folgenden physikalischen Modelle eingebunden:

- **CONMOB**: Das Modell berücksichtigt die Beweglichkeit der Ladungsträger für Silizium bei einer Temperatur von  $T = 300\text{ K}$ , abhängig von der Konzentration der Dotierung.
- **FLDMOB**: Die Sättigung der Ladungsträgerschwindigkeit im elektrischen Feld wird berücksichtigt.
- **BGN**: Es wird die statistische Verteilung von Ladungsträgern in sehr hoch dotiertem Material berechnet.
- **CONSRH**: Ein Modell für die Lebensdauer von Ladungsträgern, in Abhängigkeit der Konzentration von Dotierstoffen.
- **AUGER**: Simuliert wird die Rekombination von Ladungsträgern bei hohen Stromdichten.

Die numerische Berechnung der Kennlinien erfolgte mit **NEWTON**. Hierbei handelt es sich um ein Verfahren zur Lösung differenzieller, gekoppelter Gleichungssysteme. Über die Einstellung **CARRIERS=2** werden in der Simulation sowohl Löcher als auch Elektronen berücksichtigt. Alle Modelle werden in den Grundeinstellungen verwendet.

## 5.1. Elektrische Charakterisierung der SOD JFETs

### 5.1.1. Ausgangskennlinie

In der Literatur wird zur Charakterisierung von JFETs meist die Ausgangskennlinie herangezogen [24, 19, 32, 28]. In diesem Abschnitt werden die Ausgangskennlinien der SOD-JFETs untersucht. Weiter werden diese mit der Theorie nach Shockley verglichen, sowie mit Simulationen der dreidimensionalen Transistormodelle aus Abbildung 2.12. Um Abweichungen von der idealen Ausgangskennlinie zu erklären wird die simulierte Verteilung der Stromdichte bei den JFETs untersucht.

#### Ausgangskennlinien

Abbildung 5.1 zeigt die gemessene Ausgangskennlinie des JFET *D12 L10 W10 002* vom Wafer # 29081/1. Der Transistor hat eine Gatelänge von  $L = 10 \mu m$  und eine Gatebreite von  $Z = 16 \mu m$ . Die Herstellung der Transistoren ist in Kapitel 3.2 beschrieben.

Dargestellt ist der Drainstrom  $I_D$ , in Abhängigkeit von der angelegten Drainspan-

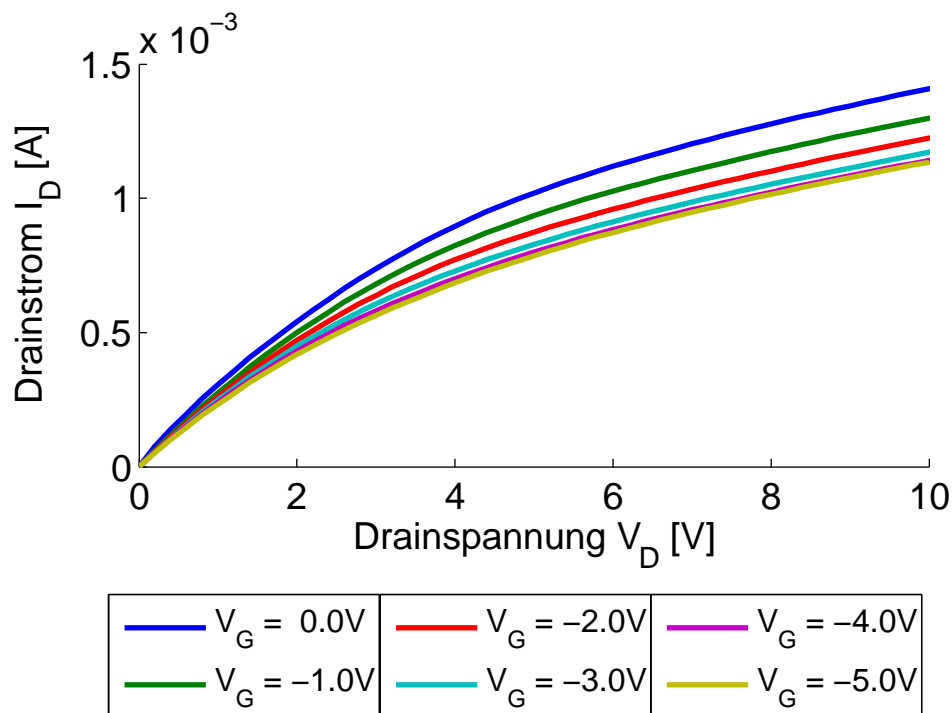


Abbildung 5.1.: Gemessene Ausgangskennlinien des JFETs *D12 L10 W10 002*.

nung  $V_D$  mit der Gatespannung  $V_G$  als Parameter. Im Bereich kleiner Drainspannungen,



$V_D = 0\text{ V}$  bis ca.  $V_D = 2\text{ V}$ , steigt der Drainstrom näherungsweise linear mit der Drainspannung an. Danach folgt der Übergang in den Sättigungsbereich des Transistors, der ab ungefähr  $V_D = 5\text{ V}$  beginnt. Der Drainstrom zeigt hier ebenfalls wieder eine lineare Abhängigkeit von der Drainspannung. Wird eine Spannung in Sperrrichtung an das Gate angelegt, so verringert sich der Drainstrom mit abnehmender Gatespannung, wie in der Theorie beschrieben [24]. Einen Einfluss des Gates auf den gemessenen Drainstrom ist bis  $V_G = -4\text{ V}$  zu sehen. Gatespannungen  $V_G < -4\text{ V}$  scheinen keinen Einfluss mehr auf den Stromfluss im Transistor zu haben. Somit sollte der Kanal vollständig abgeschnürt sein. Entgegen der Theorie fließt allerdings noch immer ein deutlich messbarer Strom und der Transistor ist nicht als ausgeschaltet zu betrachten. Die Ursache soll im weiteren detaillierter untersucht werden.

Die gemessene Ausgangskennlinie von JFET *D12 L10 W10 002* (durchgezogene Linien) im Vergleich mit theoretischen Kennlinien (gestrichelte Linien) zeigt Abbildung 5.2. Diese sind nach den Gleichungen 2.5 und 2.12 berechnet. Für die Berechnung der Kennlinien wird eine Temperatur  $T = 300\text{ K}$ , eine Gatelänge von  $L = 10\text{ }\mu\text{m}$ , eine Gateweite von  $Z = 16\text{ }\mu\text{m}$  und eine Kanalhöhe von  $a = 0.6\text{ }\mu\text{m}$  angenommen. Nach den Messungen für die Kanaldotierung wird in Abbildung 5.2(a) für die theoretische Berechnung der Ausgangskennlinien eine Kanaldotierung von  $N_D = 2 \cdot 10^{16}\text{ cm}^{-3}$  angenommen. Entsprechend der Theorie ist auch in der Messung zu sehen, dass sich der Drainstrom mit abnehmender Gatespannung verringert. Jedoch ist die Wirkung des Gates deutlich schwächer, als wie in der Theorie vorhergesagt.

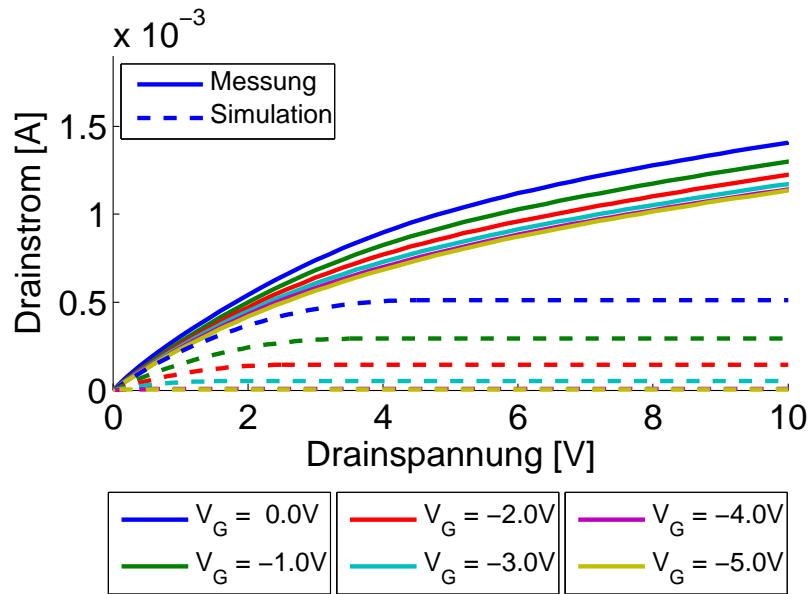
Beide Ausgangskennlinienfelder zeigen ebenfalls einen linearen Anstieg bei kleinen Drainspannungen wie in Abbildung 5.2(b) zu sehen ist. Auffallend ist hierbei, dass für eine Gatespannung von  $V_G = 0,0\text{ V}$  die Abweichung zwischen Theorie und Messung relativ gering ist. Jedoch mit kleiner werdender Gatespannung nimmt der gemessene Drainstrom wesentlich geringer ab, als theoretisch berechnet.

Eine deutliche Abweichung zwischen Messung und Theorie zeigt sich auch im Sättigungsbereich des Transistors. Nach Gleichung 2.12 ist der Drainstrom im Sättigungsbereich in erster Näherung unabhängig von der angelegten Drainspannung. Jedoch kann eine Zunahme des Drainstroms im Sättigungsbereich mit einer sich verringernden effektiven Gatelänge erklärt werden. Allerdings ist die Zunahme des Drainstroms bedeutend schwächer, als bei den Messungen der JFETs. Die Änderung der Position des Abschnürpunkts mit zunehmender Drainspannung kann hier also nicht die Ursache sein.

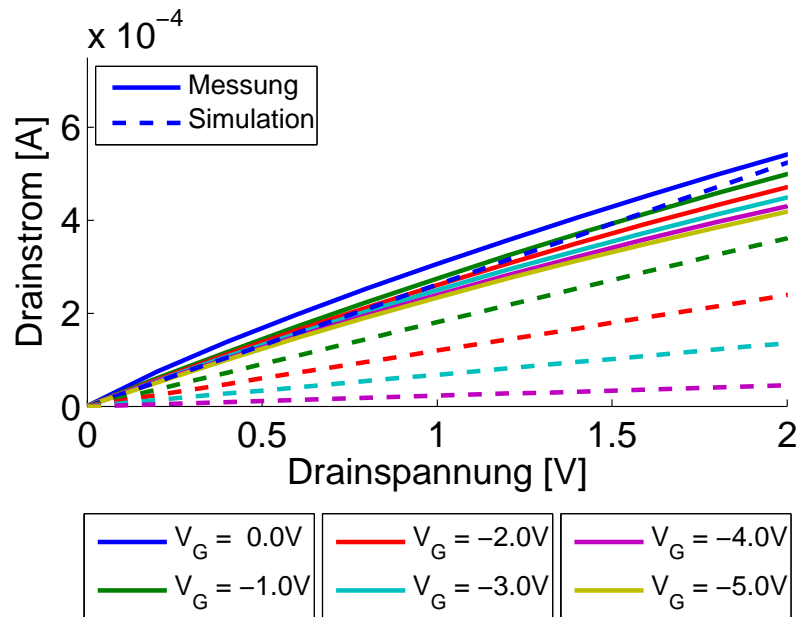
Für die weitere Betrachtung der gemessenen Ausgangskennlinien sind in Abbildung 5.3 die simulierten Ausgangskennlinien des JFETs mit isoliertem Kanal abgebildet. Bei einer Dotierung im Kanal von  $2 \cdot 10^{16}\text{ cm}^{-3}$  ist die Änderung des Drainstroms ab einer Gatespannung von  $V_G = -2,0\text{ V}$  bis  $V_G = -3,0\text{ V}$  sehr gering (siehe Abbildung 5.3(a)) und der Transistor ist ausgeschaltet. Mit höherer Kanaldotierung sind, in Übereinstimmung mit der Theorie, auch geringere Gatespannungen nötig, um den Kanal abzuschneiden. So ist bei einer Kanaldotierung von  $3 \cdot 10^{16}\text{ cm}^{-3}$  der JFET erst bei einer Gatespannung von  $V_G = -3,0\text{ V}$  bis  $V_G = -4,0\text{ V}$  ausgeschaltet (Abbildung 5.3(b)). Bei noch höheren Kanaldotierungen sind Gatespannungen kleiner als  $V_G = -5,0\text{ V}$  nötig um den Transistor zu deaktivieren (vgl. Abbildung 5.4).

Ein Vergleich von Abbildung 5.2(a) und Abbildung 5.3(a) zeigt, dass die nach der Theorie

5. Experimentelle Ergebnisse

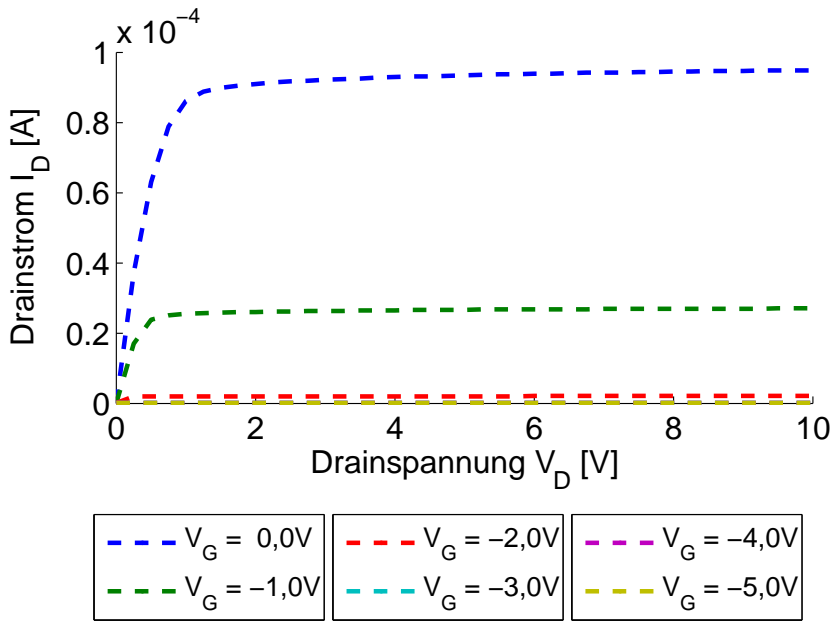


(a) Gemessene und theoretische Ausgangskennlinie.

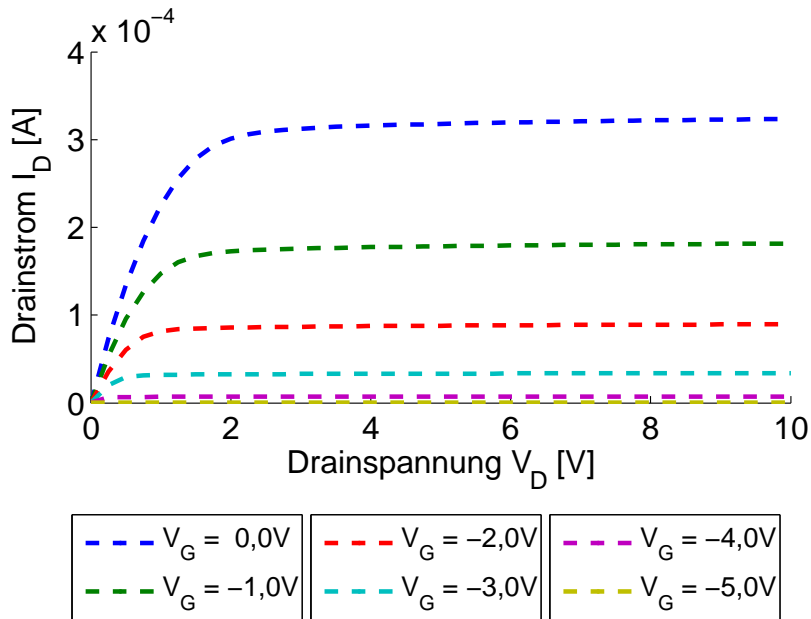


(b) Linearer Bereich einer gemessenen und einer theoretischen Ausgangskennlinie.

Abbildung 5.2.: Theoretische Ausgangskennlinie (gestrichelt), berechnet nach [24], mit einer Kanaldotierung von  $N_D = 2 \cdot 10^{16} \text{ cm}^{-3}$  im Vergleich mit Messungen (durchgezogen) des Transistors *D12 L10 W10 002*.



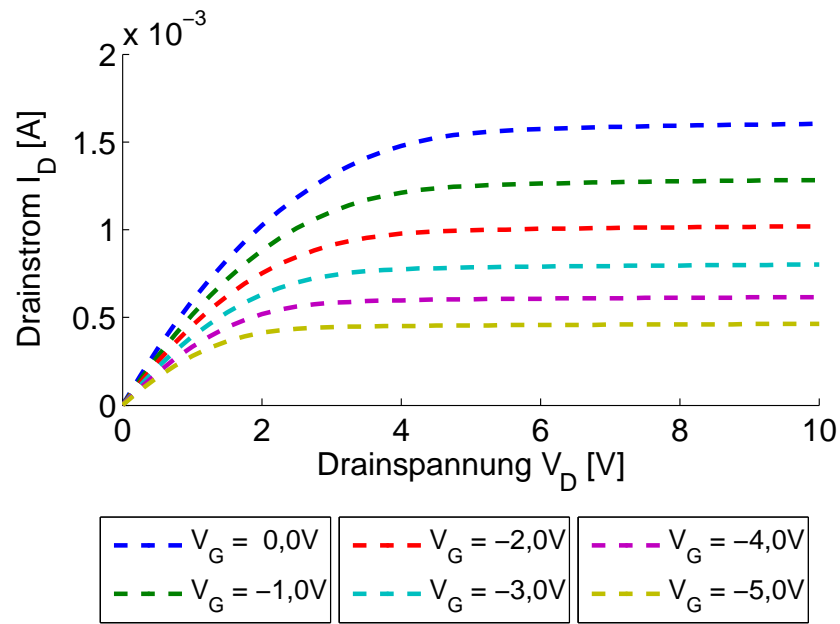
(a) Kanaldotierung  $N_D = 2 \cdot 10^{16} cm^{-3}$ .



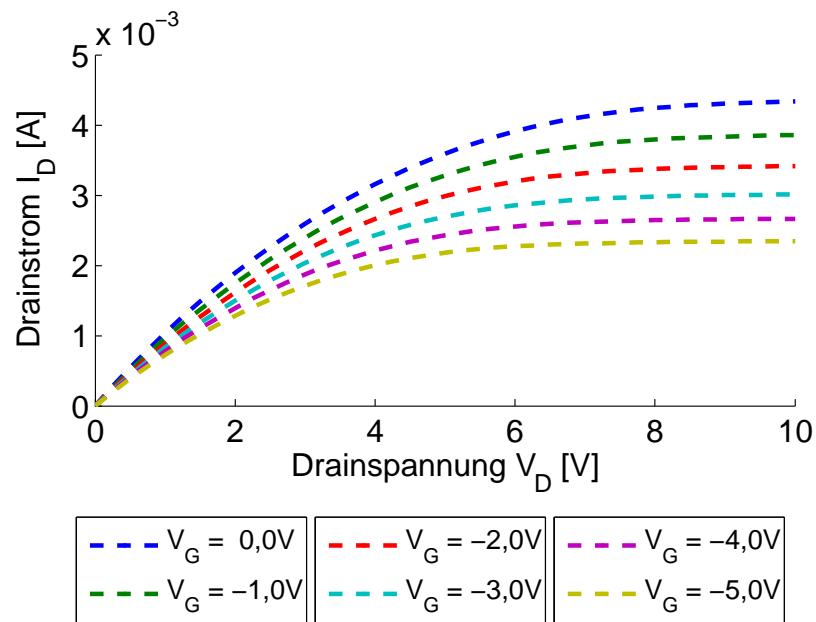
(b) Kanaldotierung  $N_D = 3 \cdot 10^{16} cm^{-3}$ .

Abbildung 5.3.: Simulierte Ausgangskennlinien für verschiedene Kanaldotierungen von  $N_D = 2 \cdot 10^{16} cm^{-3}$  (a) und  $N_D = 3 \cdot 10^{16} cm^{-3}$  (b) mit vollständig isoliertem Kanal.

5. Experimentelle Ergebnisse



(a) Kanaldotierung  $N_D = 6 \cdot 10^{16} cm^{-3}$ .



(b) Kanaldotierung  $N_D = 1 \cdot 10^{17} cm^{-3}$ .

Abbildung 5.4.: Simulierte Ausgangskennlinien mit verschiedenen Kanaldotierungen von  $N_D = 6 \cdot 10^{16} cm^{-3}$  (a) und  $N_D = 1 \cdot 10^{17} cm^{-3}$  (b) mit vollständig isoliertem Kanal.

von Shockley berechneten Drainströme größer sind als die simulierten. Bei der Berechnung nach Shockley wird eine konstante Beweglichkeit der Ladungsträger angenommen. Modelle mit einer vom elektrischen Feld abhängigen Beweglichkeit der Ladungsträger, wie sie in der Simulation mit Silvaco zum Einsatz kommen, zeigen generell einen geringeren Drainstrom im Sättigungsbereich des JFETs [24, 27]. So ist in Gleichung 2.5 und Gleichung 2.12 im Gegensatz zu den Simulationen nicht die Sättigung der Elektronengeschwindigkeit im elektrischen Feld berücksichtigt [24, 27].

Aus dem Verlauf der Ausgangskennlinie werden im Folgenden die Kontaktwiderstände von Source und Drain, sowie die Dotierung im Kanal abgeschätzt. Mit Abbildung 5.1 lässt sich der Widerstand im linearen Bereich der Ausgangskennlinie ermitteln. Bei einer angelegten Drainspannung von  $V_D = 2,0 \text{ V}$  und einer Gatespannung von  $V_G = 0,0 \text{ V}$  beträgt der Drainstrom  $I_D = 5,4 \cdot 10^{-4} \text{ A}$  und es ergibt sich ein Widerstand von  $R_{ges} = 3,7 \text{ k}\Omega$ .

Nach Gleichung 2.22 setzt sich dieser aus dem Widerstand vom Sourcekontakt  $R_S$ , Drainkontakt  $R_D$  und dem Widerstand des Kanals  $R_0$  zusammen. Die Kontaktwiderstände von Source und Drain berechnen sich nach Gleichung 2.23. Im hier vorliegenden Fall ist die Länge des Kontakts  $x = 45 \text{ }\mu\text{m}$  und die Breite  $y = 14 \text{ }\mu\text{m}$ . Bei einer Dotierung von  $1 \cdot 10^{20} \text{ cm}^{-3}$  auf den ersten  $100 \text{ nm}$  des Kontakts ergibt sich ein Schichtwiderstand von  $R_{\square} = 77 \text{ }\Omega$ . Somit kann der spezifische Kontaktwiderstand mit  $\rho_C \approx 2 \cdot 10^{-7} \text{ }\Omega\text{cm}^2$  abgeschätzt werden [24]. Es ergibt sich für den Kontaktwiderstand nach Gleichung 2.23  $R_C \approx 3 \text{ }\Omega$ . Die Kontaktwiderstände von Source und Drain können somit vernachlässigt werden.

Ausgehend von der Annahme, dass sämtlicher Drainstrom durch den Kanal fließt, lässt sich aus dem Widerstand  $R_{ges}$  der spezifische Widerstand des Kanals  $\rho_K$  berechnen:

$$\rho_K = R \cdot \frac{A}{l} = R \cdot \frac{a \cdot Z}{L} \quad (5.1)$$

Der Querschnitt  $A = a \cdot Z$  setzt sich aus der Kanalhöhe  $a$  und der Gatebreite  $Z$  zusammen. Die Länge entspricht der Gatelänge des Transistors  $l = L$  [35]. Somit errechnet sich ein spezifischer Widerstand von  $\rho = 0,4 \text{ }\Omega\text{cm}$ , der einer Dotierung von  $(1-2) \cdot 10^{16} \text{ cm}^{-3}$  entspricht [37]. Das Ergebnis stimmt sehr gut mit den Messungen für Wafer # 29081/1 (siehe Tabelle 3.1) und den Simulationen überein.

Wie bereits in Kapitel 2.1 beschrieben, verursachen Kurzkanaleffekte einen stärkeren Anstieg des Drainstroms im Sättigungsbereich [27, 32, 28, 33]. Kurzkanaleffekte können aber aufgrund der Geometrien der hier hergestellten JFETs ebenfalls ausgeschlossen werden. In Tabelle 5.1 sind die Gatelängen und die dazugehörigen Kanalhöhen aufgelistet, sowie das resultierende Verhältnis von  $\frac{L}{a}$ . Für die Berechnung der Kanalhöhe ist die Dicke der epitaktisch gewachsenen Kanalschicht von  $1 \text{ }\mu\text{m}$  angenommen und die Tiefe der Gatedotierung mit  $400 \text{ nm}$  nach [54].

Laut Hauser beschreibt die Theorie von Shockley ab einem Verhältnis von  $\frac{L}{a} > 4$  das Verhalten von JFETs hinreichend genau und Kurzkanaleffekte sind vernachlässigbar [32]. Bei den Geometrien der hier charakterisierten JFETs sind nach Tabelle 5.1 nur bei den Transistoren mit einer Gatelänge von  $L = 1 \text{ }\mu\text{m}$  und  $L = 2 \text{ }\mu\text{m}$  Kurzkanaleffekte nicht zu vernachlässigen. Somit sollten diese Effekte bei einem JFET mit Gatelänge  $L = 10 \text{ }\mu\text{m}$

## 5. Experimentelle Ergebnisse

Gatelänge $L$ [ $\mu m$ ]	Kanalhöhe $a$ [ $\mu m$ ]	Verhältnis $L/a$
1,0	0,6	1,7
2,0	0,6	3,3
4,0	0,6	6,7
5,0	0,6	8,3
10,0	0,6	16,7
12,5	0,6	20,8
20,0	0,6	33,3
50,0	0,6	83,3
100,0	0,6	166,7

Tabelle 5.1.: Verhältnis von Kanallänge zu Kanalhöhe der prozessierten JFETs.

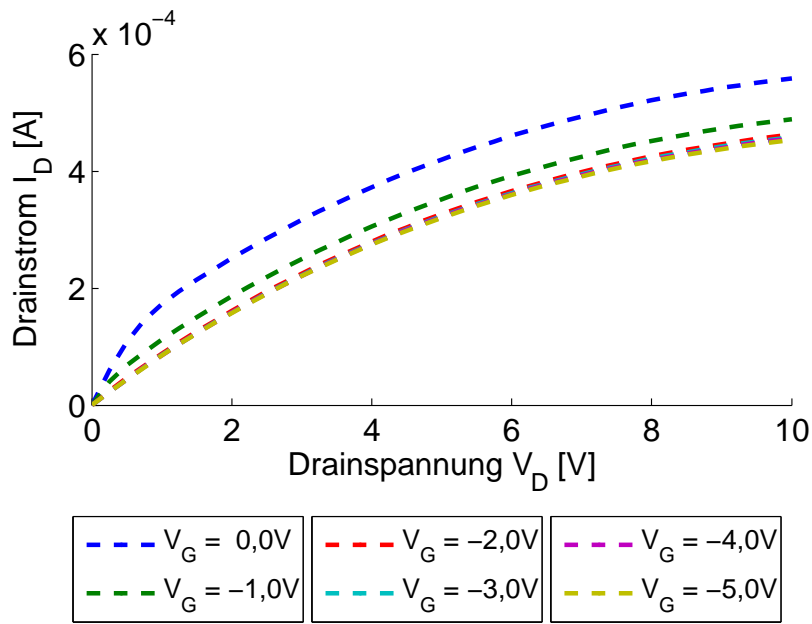
und einem Verhältnis von  $\frac{L}{a} = 16,7$  nicht dominieren. Folglich sind Kurzkanaleffekte als Ursache für den Anstieg des Drainstroms im Sättigungsbereich der Ausgangskennlinie auszuschließen.

Im Weiteren wird das Fehlen der vollständigen Isolation zwischen dem Kanal des JFETs und dem Substrat untersucht. Eine hierfür durchgeführte Simulation basiert auf dem Design aus Abbildung 2.12(b). In der  $xz$ -Ebene schließt das Substrat nicht mit dem Steg des Gates ab. Die simulierte Verteilung der Stromdichte im Transistor soll Aufschluss über mögliche Leckströme geben, die wegen der fehlenden Isolierung des Kanals auftreten können.

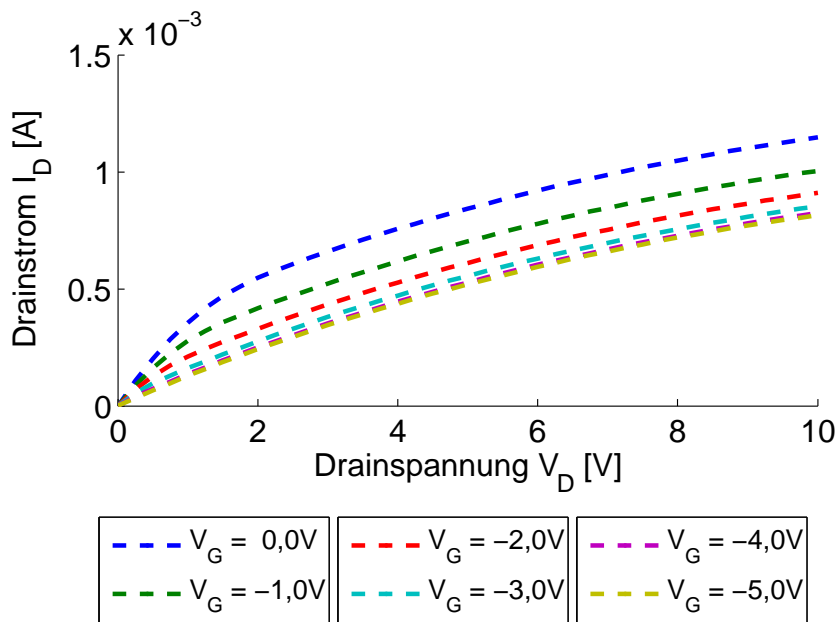
Die simulierten Ausgangskennlinien, gezeigt in Abbildung 5.5 und 5.6, weisen das gleiche Verhalten auf, entsprechend den gemessenen Ausgangskennlinien in Abbildung 5.1. Die Kanaldotierungen betragen  $N_D = 2 \cdot 10^{16} \text{ cm}^{-3}$ ,  $N_D = 3 \cdot 10^{16} \text{ cm}^{-3}$ ,  $N_D = 6 \cdot 10^{16} \text{ cm}^{-3}$  und  $N_D = 1 \cdot 10^{17} \text{ cm}^{-3}$ . Es zeigt sich eine lineare Zunahme des Drainstroms mit kleinen Drainspannungen, abhängig von der Dotierung im Kanal. Im Sättigungsbereich des Transistors nimmt der Drainstrom weiter deutlich mit der Drainspannung zu, verglichen mit einem JFET mit vollständig isoliertem Kanalgebiet (siehe Abbildungen 5.3 und 5.4). Beim Vergleichen der Abbildungen 5.5(a) und 5.6(b) ist ersichtlich, dass die Änderung der Kanaldotierung um einen Faktor 5 in einer Erhöhung des Drainstroms um mehr als einen Faktor 10 resultiert. Noch stärkere Kanaldotierungen, siehe Tabelle 3.1, haben einen noch höheren Drainstrom zur Folge.

Weiterhin ändert sich der Einfluss der Gatespannung erheblich auf den Drainstrom, jedoch ist in allen Fällen ein starker Anstieg des Drainstroms im Sättigungsbereich zu sehen. Ist bei einer Kanaldotierung von  $2 \cdot 10^{16} \text{ cm}^{-3}$  und für Gatespannungen von  $V_G \leq -3,0 \text{ V}$  kein Einfluss mehr auf den Drainstrom zu sehen (siehe Abbildung 5.5(a)), ist in Abbildung 5.5(b) bei einer Kanaldotierung von  $3 \cdot 10^{16} \text{ cm}^{-3}$  noch eine Änderung im Drainstrom bis zu einer Gatespannung von  $V_G = -4,0 \text{ V}$  erkennbar. Bei noch höheren Dotierungen im Kanal sind zum vollständigen Abschnüren des Kanals Gatespannungen von  $V_G < -5,0 \text{ V}$  nötig.

Die Betrachtung von Abbildung 5.1 und Abbildung 5.5(b) zeigt, dass die Auswirkungen des Gates auf den Drainstrom vergleichbar sind. In beiden Fällen ist ab einer Gatespan-



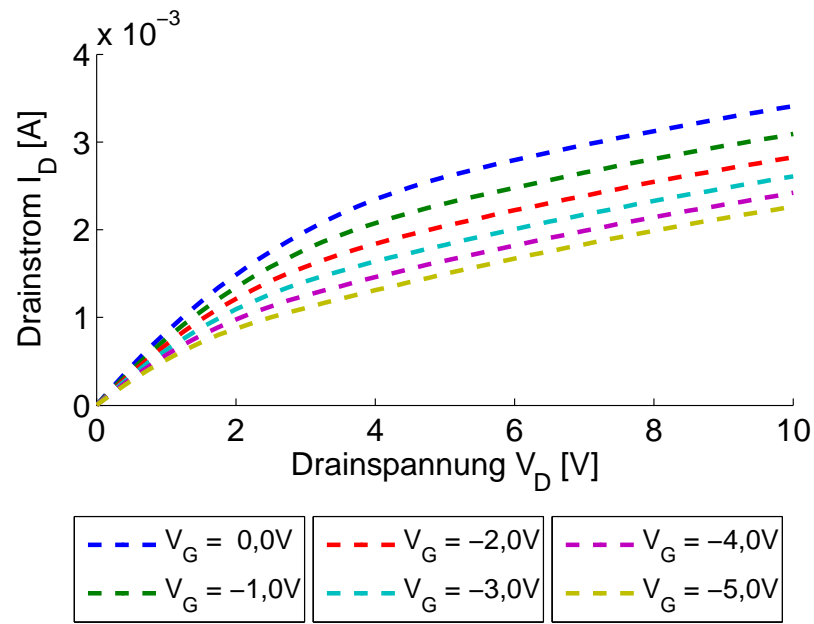
(a) Kanaldotierung  $N_D = 2 \cdot 10^{16} \text{ cm}^{-3}$ .



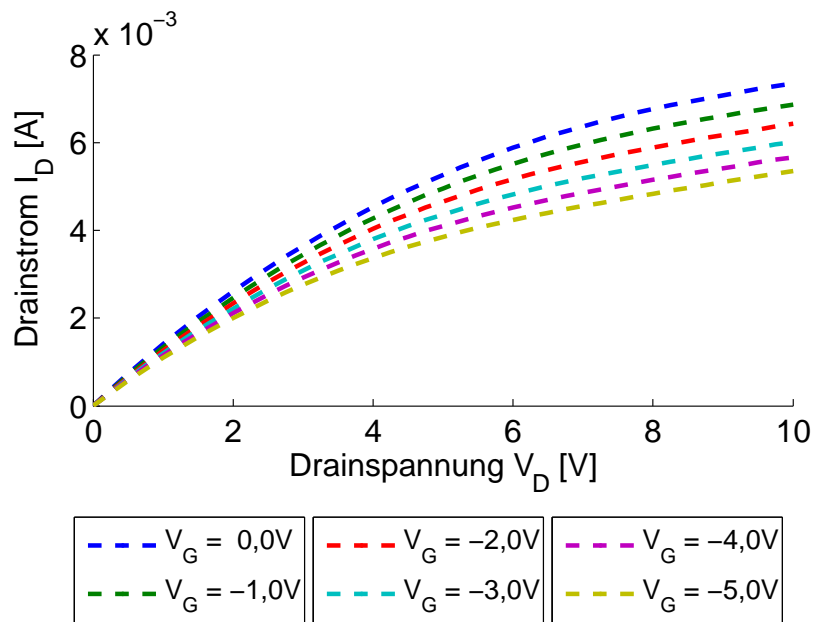
(b) Kanaldotierung  $N_D = 3 \cdot 10^{16} \text{ cm}^{-3}$ .

Abbildung 5.5.: Simulierte Ausgangskennlinien für verschiedene Kanaldotierungen von  $N_D = 2 \cdot 10^{16} \text{ cm}^{-3}$  (a) und  $N_D = 3 \cdot 10^{16} \text{ cm}^{-3}$  (b) mit nicht vollständig isoliertem Kanal.

5. Experimentelle Ergebnisse



(a) Kanaldotierung  $N_D = 6 \cdot 10^{16} cm^{-3}$ .



(b) Kanaldotierung  $N_D = 1 \cdot 10^{17} cm^{-3}$ .

Abbildung 5.6.: Simulierte Ausgangskennlinien für verschiedene Kanaldotierungen von  $N_D = 6 \cdot 10^{16} cm^{-3}$  (a) und  $N_D = 1 \cdot 10^{17} cm^{-3}$  (b) mit nicht vollständig isoliertem Kanal.



nung von  $V_G = -4,0 \text{ V}$  keine weitere Reduzierung des Drainstroms erkennbar.

Ein direkter Vergleich der gemessenen Ausgangskennlinien (durchgezogen) des JFETs mit den simulierten (gestrichelt) ist in Abbildung 5.7 zu sehen. In Abbildung 5.7(a) ist der Transistor mit einer Kanaldotierung von  $N_D = 3 \cdot 10^{16} \text{ cm}^{-3}$  simuliert. Die gemessenen Drainströme sind minimal höher im Vergleich zu den simulierten und stimmen sehr gut mit der idealisierten Simulation überein. Auch die bereits erwähnte Steuerwirkung des Gates bis zu einer Gatespannung von  $V_G = -4,0 \text{ V}$  zeigt sich in beiden Fällen.

Im Gegensatz dazu verringert sich bei einer höheren Dotierung im Kanalgebiet der Drainstrom noch merklich bei einer Änderung der Gatespannung von  $V_G = -4,0 \text{ V}$  auf  $V_G = -5,0 \text{ V}$ , wie Abbildung 5.7(b) zeigt. In diesem Fall beträgt die Dotierung im Kanal des simulierten JFETs  $N_D = 4 \cdot 10^{16} \text{ cm}^{-3}$ . Aufgrund der sehr guten Übereinstimmung der Simulationen mit den gemessenen Kennlinien werden im weiteren Verlauf dieses Kapitels Simulationen mit einer Kanaldotierung von  $3 \cdot 10^{16} \text{ cm}^{-3}$  zum Vergleich mit den Messungen herangezogen. Ausnahmen werden explizit erwähnt.

### Simulierte Stromdichten der SOD – JFETs

Die Betrachtung der Stromdichte des JFETs zeigt die Ursache für den Anstieg des Drainstroms im Sättigungsbereich des Transistors. In Abbildung 5.8 ist die Dichte des Stromflusses für verschiedene  $xz$ -Ebenen (vgl. auch Abbildung 2.12(b)) gezeigt. Es ist eine Drainspannung von  $V_D = 10,0 \text{ V}$  und eine Gatespannung von  $V_G = 0,0 \text{ V}$  angelegt, der JFET befindet sich also im Sättigungsbereich.

Abbildung 5.8(a) zeigt die Dichte des Leitungsstroms an der Oberfläche des Transistors, der ohne Passivierungsschicht simuliert ist. Deutlich sichtbar ist eine hohe Stromdichte zwischen der Sourceelektrode und der Drainelektrode, die um das dotierte Gebiet des Gates zieht. Dabei ist die Stromdichte an den Ecken des Gatestegs am höchsten.

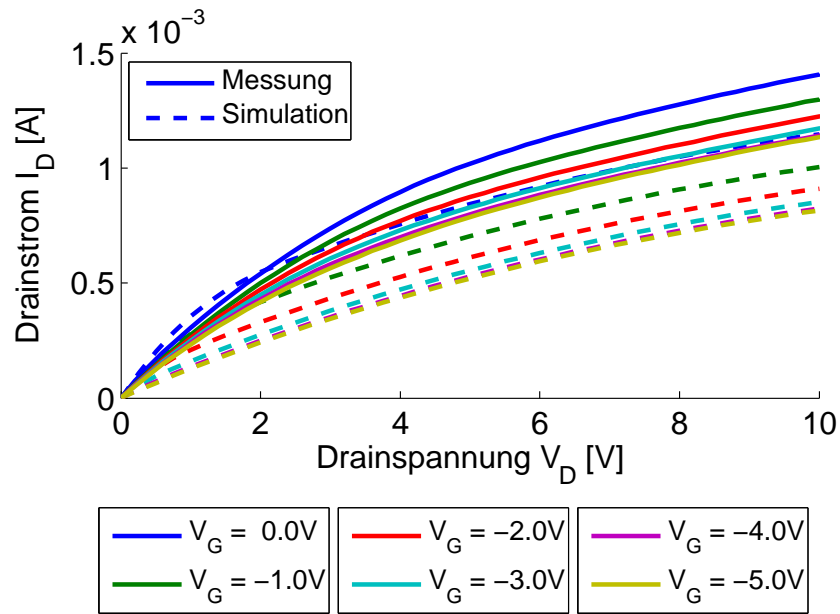
Ein Schnitt durch die  $xz$ -Ebene  $200 \text{ nm}$  unterhalb der Oberfläche zeigt ein analoges Bild (siehe Abbildung 5.8(b)). Zwar ist die Stromdichte zwischen den Elektroden und dem Gatesteg deutlich geringer, aber noch immer ist ein Stromfluss um das dotierte Gebiet des Gates herum zu beobachten. Es handelt sich somit nicht um ein Phänomen, das ausschließlich auf Oberflächeneffekte zurückzuführen ist.

Abbildung 5.8(c) schließlich zeigt die  $xz$ -Ebene  $700 \text{ nm}$  unterhalb der Oberfläche. Dies liegt unterhalb des dotierten Gates, auf Kanalhöhe. Ein Reststrom fließt in dieser Ebene, entsprechend der Theorie, von Source nach Drain durch das Kanalgebiet, da dieses nicht vollständig verarmt wird [27, 28]. Außerdem fließt auch hier noch immer ein kleiner Anteil des Stroms von Source nach Drain um das Gate herum.

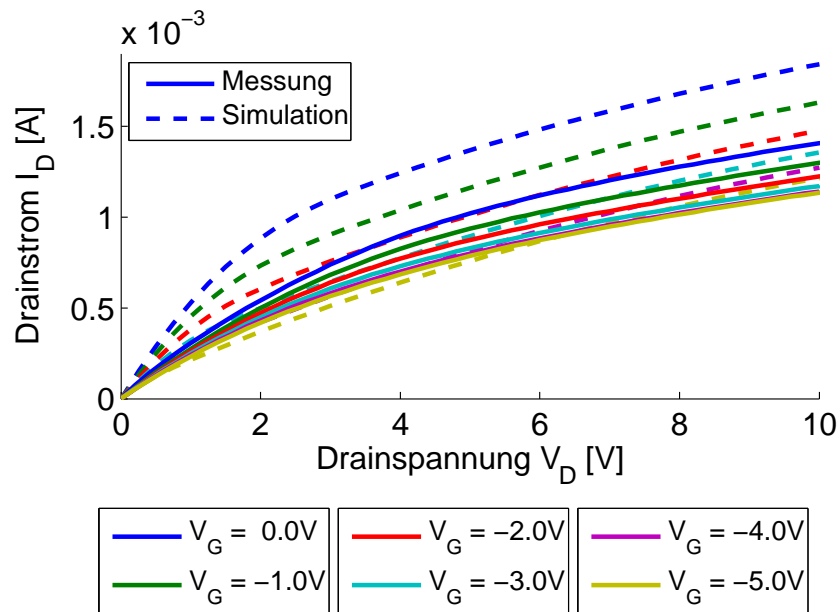
Interessant ist in diesem Zusammenhang auch eine Analyse des Drainstroms im linearen Bereich der Ausgangskennlinie. So stimmt die Abschätzung zur Dotierung der Kanalschicht aus der Ausgangskennlinie mit der Messung mittels 4-Spitzen Methode sehr gut überein. Dies legt den Schluss nahe, dass der Strom von Source nach Drain hauptsächlich durch den Kanal des Transistors fließt. Um dies zu untersuchen, ist in Abbildung 5.9 die simulierte Dichte des Stromflusses für den JFET bei  $V_D = 1,0 \text{ V}$  und  $V_G = 0,0 \text{ V}$  dargestellt, mit einer Kanaldotierung von  $3 \cdot 10^{16} \text{ cm}^{-3}$ .

An der Oberfläche ist die höchste Stromdichte ebenfalls im Bereich der Source- bzw.

5. Experimentelle Ergebnisse

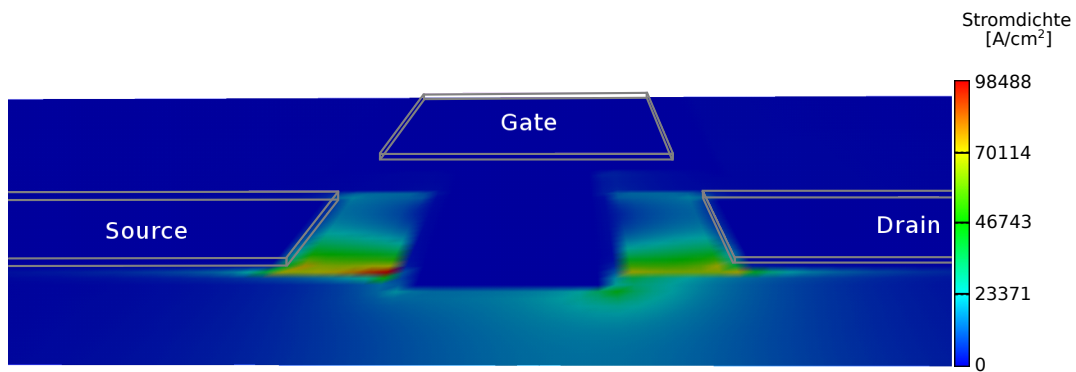


(a) Kanaldotierung in der Simulation  $N_D = 3 \cdot 10^{16} \text{ cm}^{-3}$ .

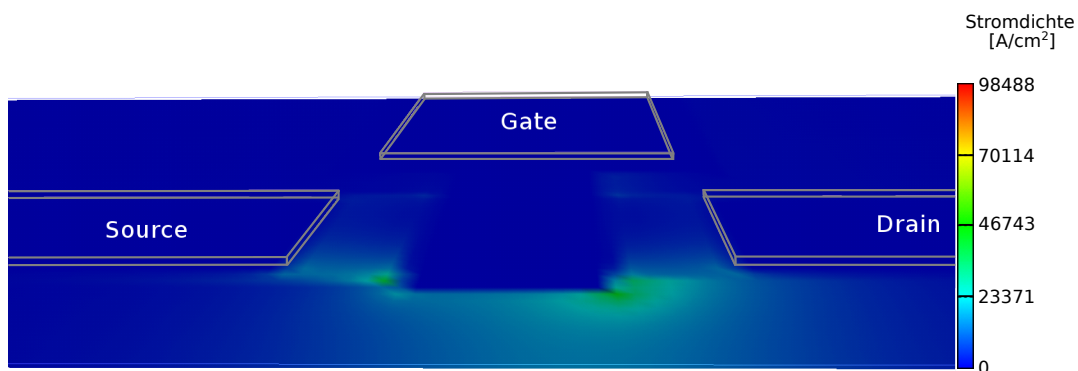


(b) Kanaldotierung in der Simulation  $N_D = 4 \cdot 10^{16} \text{ cm}^{-3}$ .

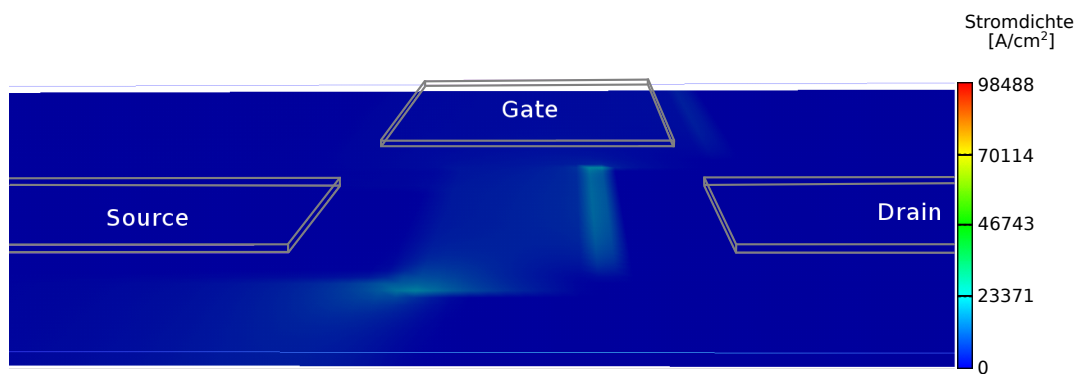
Abbildung 5.7.: Gemessene (durchgezogen) und simulierte (gestrichelt) Kennlinie eines JFETs mit Gatelänge  $L = 10 \mu\text{m}$  und Gatebreite  $Z = 16 \mu\text{m}$ , für verschiedene Kanaldotierungen in der Simulation.



(a) Stromdichte an der Oberfläche.



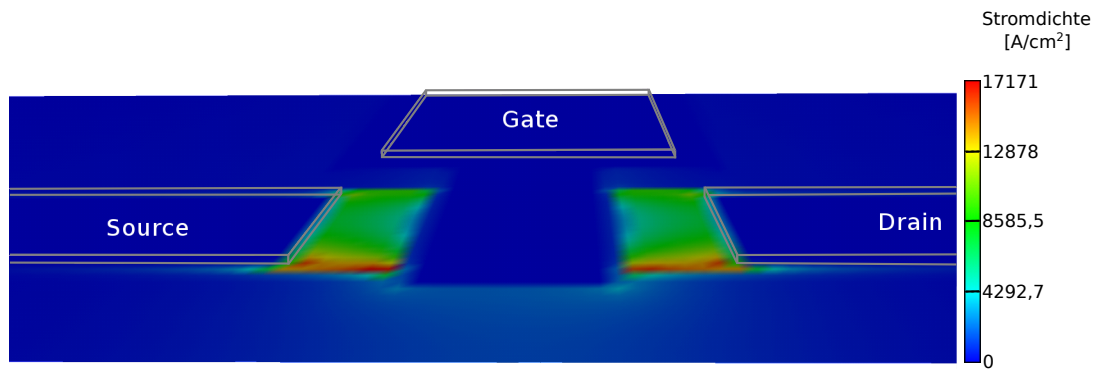
(b) Stromdichte 200 nm unterhalb der Oberfläche.



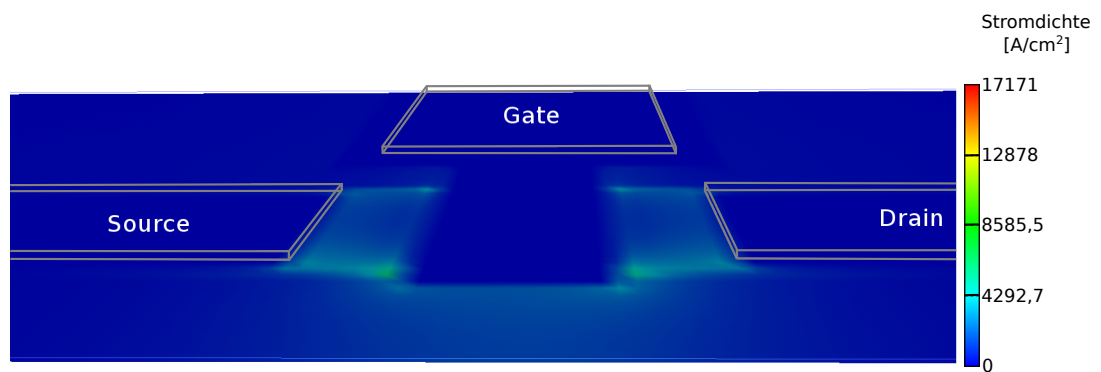
(c) Stromdichte 700 nm unterhalb der Oberfläche.

Abbildung 5.8.: Simulierte Stromdichte auf der Oberfläche (a), 200 nm unterhalb der Oberfläche (b) und 700 nm unterhalb der Oberfläche (c), bei angelegten Spannungen von  $V_D = 10,0 \text{ V}$  und  $V_G = 0,0 \text{ V}$  und einer Kanaldotierung von  $3 \cdot 10^{16} \text{ cm}^{-3}$ .

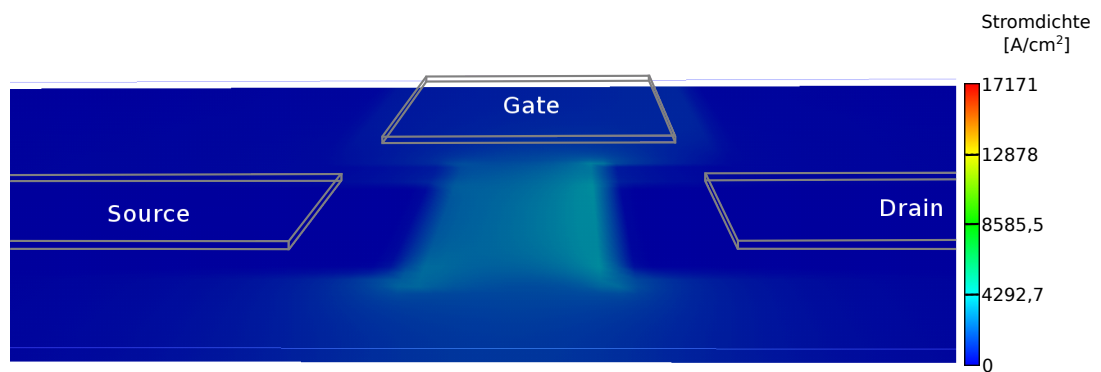
## 5. Experimentelle Ergebnisse



(a) Stromdichte an der Oberfläche.



(b) Stromdichte 200 nm unterhalb der Oberfläche.



(c) Stromdichte 700 nm unterhalb der Oberfläche.

Abbildung 5.9.: Simulierte Stromdichte auf der Oberfläche (a), 200 nm unterhalb der Oberfläche (b) und 700 nm unterhalb der Oberfläche (c), bei angelegten Spannungen von  $V_D = 1,0 V$  und  $V_G = 0,0 V$  und einer Kanaldotierung von  $3 \cdot 10^{16} \text{ cm}^{-3}$ .

Drainelektrode zu sehen. Es existiert auch hier ein Stromfluss zwischen Source und Drain um den Gatestieg herum (siehe Abbildung 5.9(a)). Dieser ist aufgrund der geringeren Drainspannung kleiner im Vergleich zum Stromfluss bei einer angelegten Drainspannung von  $V_D = 10,0 \text{ V}$ .

Abbildung 5.9(b) zeigt die Verteilung der Stromdichte in der  $xz$ -Ebene  $200 \text{ nm}$  unterhalb der Oberfläche. Die Stromdichte zwischen der Source- bzw. Drainelektrode um den dotierten Gatestieg herum ist geringer als an der Oberfläche.

Im Kanalgebiet,  $700 \text{ nm}$  unterhalb der Oberfläche, ist die Stromdichte unterhalb des dotierten Gatebereichs am höchsten. Entsprechend der Theorie fließt der Strom von Source nach Drain durch den noch nicht abgeschnürten Kanal. Aber auch in dieser Ebene fließt noch ein vergleichsweise kleiner Teil des Stromes zwischen Source und Drain am Gate vorbei.

Somit ist eindeutig, dass im linearen Bereich der Ausgangskennlinie der Stromfluss durch den Kanal dominiert. Nur ein geringerer Anteil des Stromes zwischen Source und Drain fließt aufgrund der fehlenden Isolierung des Kanals zum Substrat außerhalb des eigentlichen Kanalgebiets. Wird das Kanalgebiet verarmt, dominiert allerdings der Stromfluss um den Gatestieg herum durch das Substrat und führt zu einem deutlich stärkeren Anstieg des Drainstroms im Sättigungsbereich des JFETs, als erwartet. Auch in der Literatur wird auf dieses Problem hingewiesen, beispielsweise bei Dalla Betta [55].

## Fazit

Die Ausgangskennlinien der SOD-JFETs steigen im Sättigungsbereich deutlich an. Außerdem weisen die Transistoren nur eine begrenzte Steuerwirkung des Gates auf. Ein Vergleich mit theoretisch berechneten und simulierten Ausgangskennlinien zeigt eine gute Übereinstimmung bei der Gatesteuerwirkung. Somit werden die gemessene Konzentration der Kanaldotierung und die Dicke der gewachsenen Kanalschicht bestätigt. Mittels dreidimensionaler Simulationen lässt sich der starke Anstieg des Drainstroms im Sättigungsbereich der JFETs auf die fehlende Isolierung zwischen Kanal und Substrat zurückführen. Eine Simulation des Stromflusses verdeutlicht, wie der Strom zwischen Source und Drain um das verarmte Kanalgebiet fließt.

### 5.1.2. Transferkennlinie

Abbildung 5.10 zeigt die experimentelle Transferkennlinie des Transistors *D12 L10 W10 002*. Gemessen ist der Drainstrom  $I_D$  in Abhängigkeit von der angelegten Gatespannung  $V_G$  bei verschiedenen Drainspannungen  $V_D$ . Entgegen der sonst üblichen Darstellung sind die Messungen der Transferkennlinie hier linear aufgetragen. Wie gut zu erkennen ist, nimmt der Drainstrom  $I_D$  nur sehr langsam mit der Gatespannung  $V_G$  ab.

Zum Vergleich ist in Abbildung 5.11 eine simulierte Transferkennlinie eines JFETs, dessen Kanalgebiet isoliert gegen das Substrat ist, zu sehen (vgl. Abbildung 2.12(a)). In der Simulation beträgt die Gatelänge  $L = 10 \mu\text{m}$ , die Gatebreite  $Z = 16 \mu\text{m}$  und die Kanalhöhe  $a = 0,6 \mu\text{m}$ . Die Kanaldotierung ist in Abbildung 5.11(a)  $N_{Da} = 2 \cdot 10^{16} \text{ cm}^{-3}$  und in Abbildung 5.11(b)  $N_{Db} = 3 \cdot 10^{16} \text{ cm}^{-3}$ . Dies entspricht in etwa den Kanaldo-

## 5. Experimentelle Ergebnisse

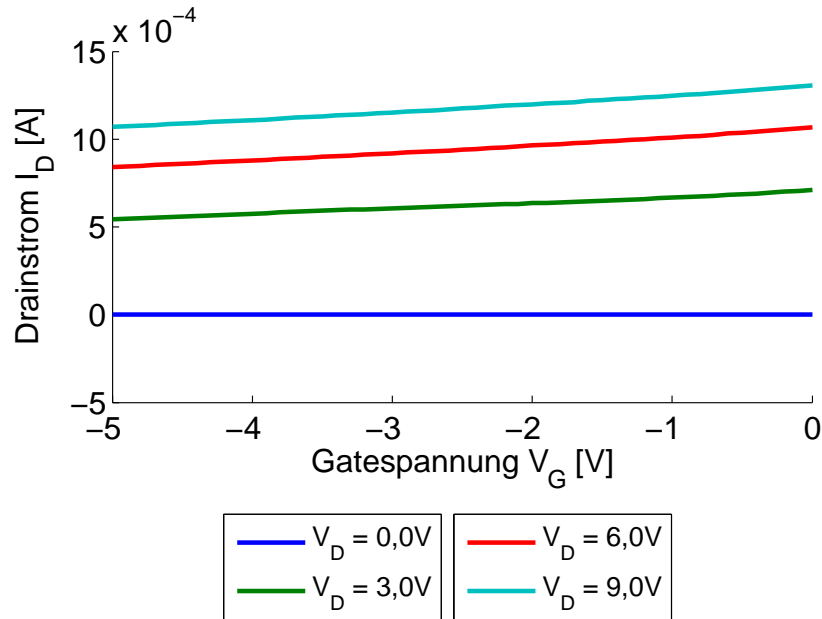


Abbildung 5.10.: Transferkennlinie des JFETs *D12 L10 W10 002*.

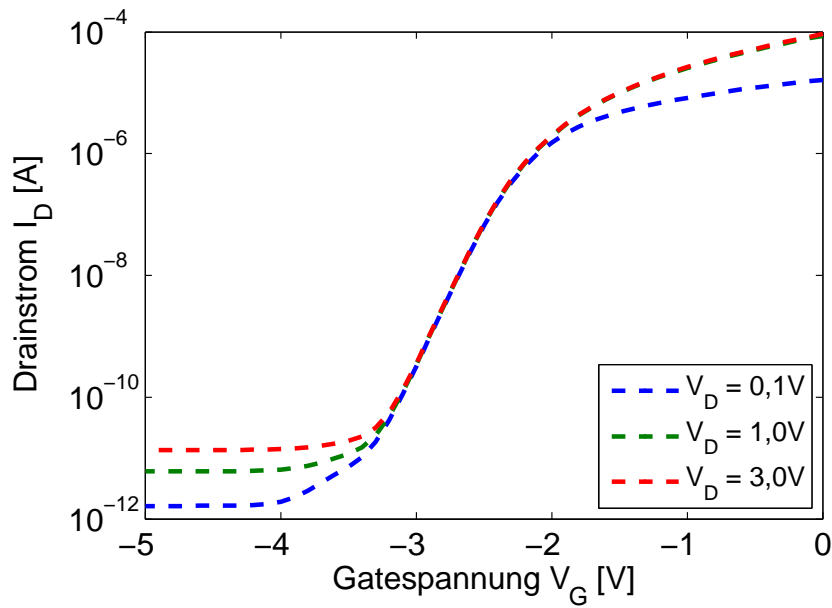
tierungen aus der Messung mit der Methode der 4-Spitzen, bzw. dem Vergleich von gemessenen und simulierten Ausgangskennlinien.

Aufgetragen ist in einer halblogarithmischen Darstellung der Drainstrom  $I_D$  in Abhängigkeit von der angelegten Gatespannung  $V_G$ , mit der Drainspannung  $V_D$  als Parameter. Wie schon die Simulationen der Ausgangskennlinien zeigen, hat der Transistor eine Einsatzspannung von etwa  $V_T \approx -2 V$ . Nach Gleichung 2.10 berechnet sich die Einsatzspannung des Transistors zu  $V_T = -4,5 V$ . Angenommen ist eine Kanalhöhe von  $a = 0,6 \mu m$  und eine Kanaldotierung  $N_D = 2 \cdot 10^{16} cm^{-3}$ .

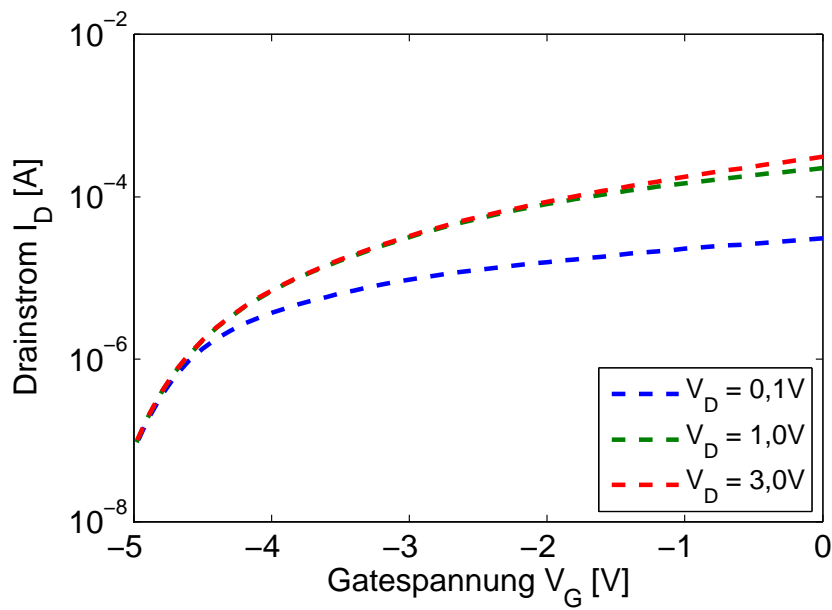
Für eine Kanaldotierung von  $N_D = 3 \cdot 10^{16} cm^{-3}$  ergibt sich eine Einsatzspannung von  $V_T \approx -4 V$  aus der Simulation. Nach Gleichung 2.10 beträgt die Einsatzspannung für den JFET  $V_T = -7,3 V$ . Die niedrigeren Einsatzspannungen nach Gleichung 2.10 sind, wie bereits erläutert, auf die als konstant angenommene Beweglichkeit der Ladungsträger zurückzuführen [24].

Abbildung 5.12 zeigt die gemessenen Transferkennlinien des JFETs *12 L10 W10 002* im Vergleich mit simulierten Transferkennlinien. Wie schon bei den Ausgangskennlinien ist für diese Simulation der Kanal nicht mehr vollständig gegenüber dem Substrat isoliert. Das entsprechende Modell für die Simulation ist in Abbildung 2.12(b) zu sehen.

Die gemessenen Drainströme, es ist die lineare Darstellung zu beachten, sind etwas größer als die simulierten. Auch ist bei den gemessenen Drainströmen der Abfall bei kleinen Gatespannungen nicht so deutlich sichtbar, wie im Vergleich zu den simulierten Kennlinien. Insgesamt stimmen die Simulationen jedoch gut mit den experimentellen Transferkennlinien überein. Die geringen Abweichungen sind auf kleine Unterschiede



(a) Simulierte Transferkennlinie mit einer Kanaldotierung von  $2 \cdot 10^{16} \text{ cm}^{-3}$ .



(b) Simulierte Transferkennlinie mit einer Kanaldotierung von  $3 \cdot 10^{16} \text{ cm}^{-3}$ .

Abbildung 5.11.: Simulierte Transferkennlinien des Transistors *D12 L10 W10 002*.

## 5. Experimentelle Ergebnisse

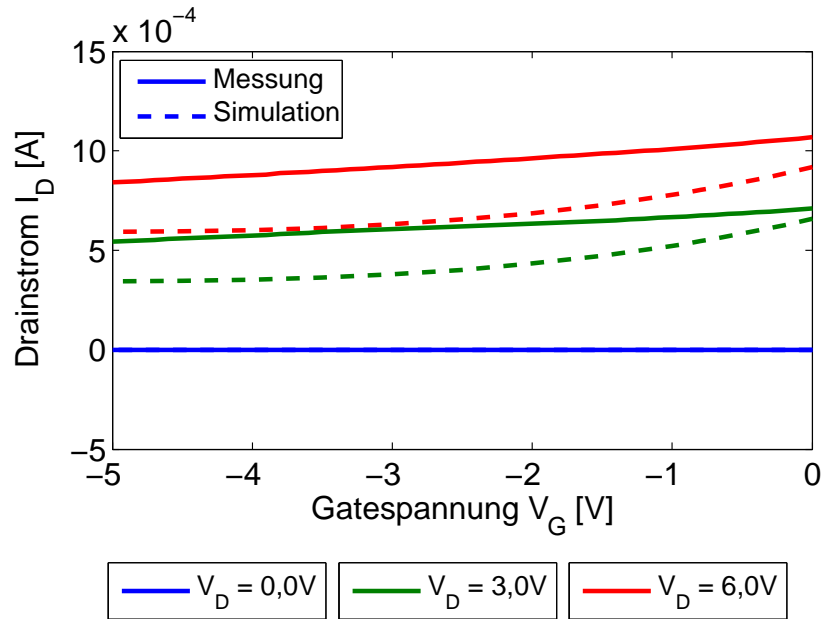


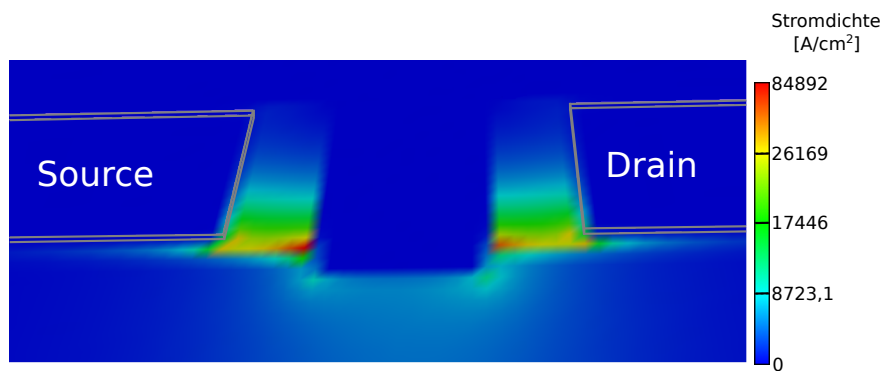
Abbildung 5.12.: Gemessene (durchgezogenen Linien) und simulierte (gestrichelten Linien) Transferkennlinien des Transistors *D12 L10 W10 002*.

beispielsweise in der Kanalhöhe oder Kanaldotierung zurückzuführen.

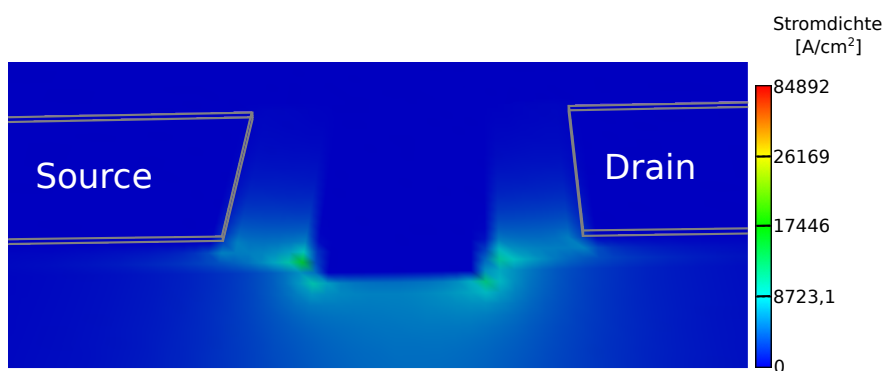
In Abbildung 5.13 ist die Stromdichte aus der Simulation der Transferkennlinien gezeigt. Wie schon in Abbildung 5.8 zu sehen, ist die Stromdichte zwischen dem Ende des Gatestegs und Source bzw. Drain am größten. Besonders an der Oberfläche ist ein hoher Stromfluss vorhanden, wie Abbildung 5.13(a) verdeutlicht. In einer Tiefe von  $200\text{ nm}$  unterhalb der Oberfläche ist ebenfalls noch ein Stromfluss von Source nach Drain zu sehen (Abbildung 5.13(b)), jedoch geringer als an der Oberfläche. In einer Tiefe von  $700\text{ nm}$  ist die Stromdichte zwischen Source und Drain deutlich geringer (siehe Abbildung 5.13(c)).

Auch hier trägt der Strom, der direkt von Source nach Drain und um das Gate herum fließt, entscheidend zum Drainstrom bei. Dies ist in der fehlenden Isolation des Kanals gegenüber dem Substrat begründet. Die sehr gute Übereinstimmung von Messung und Simulation zeigt, dass weitere Ströme, wie beispielsweise Leckströme zwischen Gate und Drain, falls vorhanden, nur einen minimalen Einfluss auf den Drainstrom haben.





(a) Simulierte Stromdichte des Leitungsstroms an der Oberfläche.



(b) Simulierte Leitungsstromdichte 200 *nm* unterhalb der Oberfläche.



(c) Simulierte Leitungsstromdichte 700 *nm* unterhalb der Oberfläche.

Abbildung 5.13.: Leitungsstromdichte des simulierten JFETs bei einer Gatespannung von  $V_G = -5,0 \text{ V}$ , einer Drainspannung von  $V_D = 3,0 \text{ V}$  und einer Kanaldotierung von  $N_D = 3 \cdot 10^{16} \text{ cm}^{-3}$ .

### 5.1.3. Gateströme

Da der pn-Übergang zwischen Gate und Kanal von zentraler Bedeutung für die Funktionsweise eines JFETs ist, wird im Folgenden der Gatestrom untersucht. Wie bereits in Kapitel 2.1 erwähnt, basiert die theoretische Beschreibung eines JFETs von Shockley auf einigen Annahmen, unter anderem der Vernachlässigung von möglichen Gateleckströmen. Die Ergebnisse aus den bisher gezeigten Simulationen verdeutlichen, dass dies für die oben gezeigten JFETs zulässig ist. Jedoch treten Gateströme auf, die genauer betrachtet werden sollen.

Abbildung 5.14 zeigt den Gatestrom  $I_G$  aufgetragen gegen die Gatespannung  $V_G$ , bei ei-

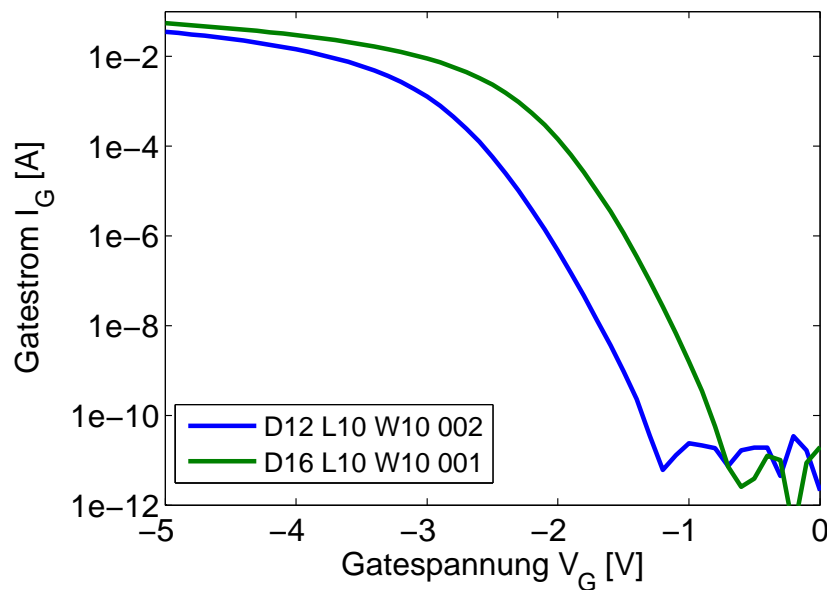


Abbildung 5.14.: Experimenteller Gatestrom in Abhängigkeit der Gatespannung in Sperrrichtung der Gatediode für JFETs mit einer Kanalhöhe von  $a \approx 0,6 \mu\text{m}$  (blau) und einer Kanalhöhe von  $a \approx 0,5 \mu\text{m}$  (grün).

ner Drainspannung von  $V_D = 0,0 \text{ V}$ . Die Gatelängen beider JFETs betragen  $L = 10 \mu\text{m}$  und die Gatebreiten betragen  $Z = 16 \mu\text{m}$ . Der Transistor *D12 L10 W10 002* befindet sich im mittleren Drittel des Wafers und hat somit eine Kanalhöhe von etwa  $a \approx 0,6 \mu\text{m}$ . Der JFET *D16 L10 W10 001* hingegen liegt im linken Drittel des Wafers. Die Kanalhöhe ist somit auf knapp  $a \approx 0,5 \mu\text{m}$  verringert.

Die Kennlinien sind aus den Messungen der Transfercharakteristik entnommen. Für die Messung der Transferkennlinie wird der Sourcekontakt geerdet und an den Drainkontakt eine konstante Spannung  $V_D$  angelegt, während die Gatespannung  $V_G$  kontinuierlich variiert wird. Der Rückseitenkontakt des Wafers ist ebenfalls geerdet. Vom Messprogramm wird der Substratstrom  $I_{Sub}$  nicht gespeichert und kann auch nicht gezeigt werden. Bei

JFET *D12 L10 W10 002* ist für Gatespannungen bis hin zu  $V_G \approx -1,4 \text{ V}$  der Gatestrom  $I_G < 1 \cdot 10^{-10} \text{ A}$  sehr klein. Jedoch steigt dieser mit weiter abnehmender Gatespannung exponentiell an. Im Gegensatz dazu erhöht sich der Gatestrom bei Transistor *D16 L10 W10 001* bereits ab einer Gatespannung von  $V_G \approx -0,9 \text{ V}$  auf  $I_G > 1 \cdot 10^{-10} \text{ A}$ .

Abbildung 5.15 zeigt den Gatestrom  $I_G$  und den Substratstrom  $I_{Sub}$  aus der bereits

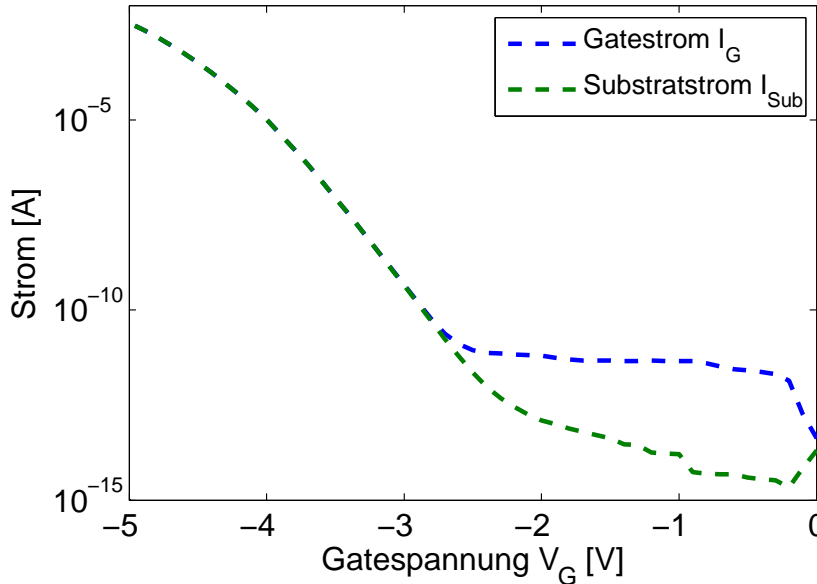


Abbildung 5.15.: Simulierter Gatestrom und Substratstrom.

präsentierten Simulation der Transferkennlinie mit einer Phosphordotierung im Kanal von  $N_D = 2 \cdot 10^{16} \text{ cm}^{-3}$ . Für Gatespannungen von  $V_G \leq -2,4 \text{ V}$  ist ein deutlicher Anstieg im Gatestrom  $I_G$  erkennbar. Im Vergleich zur Messung steigt der Strom aber erst bei kleineren Gatespannungen exponentiell an. Zu beachten ist, dass die Simulation idealisiert ist. So sind in der Simulation keine Versetzungen berücksichtigt. Bei einer epitaktisch gewachsenen Schicht entstehen Versetzungen, die für Leitungspfade in vertikaler Richtung verantwortlich sind und zu einem erhöhten Strom führen [56].

Weiterhin ist eine konstante und homogene Kanaldotierung in der Simulation angenommen. Beim Wachsen der Kanalschicht kann diese gewissen Schwankungen unterliegen, besonders da für die hier vorliegenden JFETs eine intrinsische Kanaldotierung gewählt wurde. Die Konzentration der Dotierung wird bestimmt über das Ausdiffundieren von Dotierstoffen aus Silizium, das sich bereits an der Kammerwand abgesetzt hat. Abhängig von der Dotierung des Kanals ist auch die Kanalhöhe, die Substrat und Gate trennt. Bei einer Simulation mit einer Kanaldotierung von  $N_D = 3 \cdot 10^{16} \text{ cm}^{-3}$  ist kein Anstieg im Gatestrom  $I_G$  bei Spannungen  $V_G > -5,0 \text{ V}$  zu erkennen. Dies lässt auf eine Kanaldotierung von  $N_D < 3 \cdot 10^{16} \text{ cm}^{-3}$  schließen.

In der Simulation zeigt sich, dass der Strom an der Substratelektrode ebenfalls exponen-

## 5. Experimentelle Ergebnisse

tiell ansteigt. Für Gatespannungen  $V_G < -2,4\text{ V}$  sind Substratstrom  $I_{Sub}$  und Gatestrom  $I_G$  betragsmäßig annähernd gleich groß. Hierbei handelt es sich um einen Löcherstrom zwischen dem p-dotierten Substrat und dem p-dotierten Gate. Dies belegt Abbil-

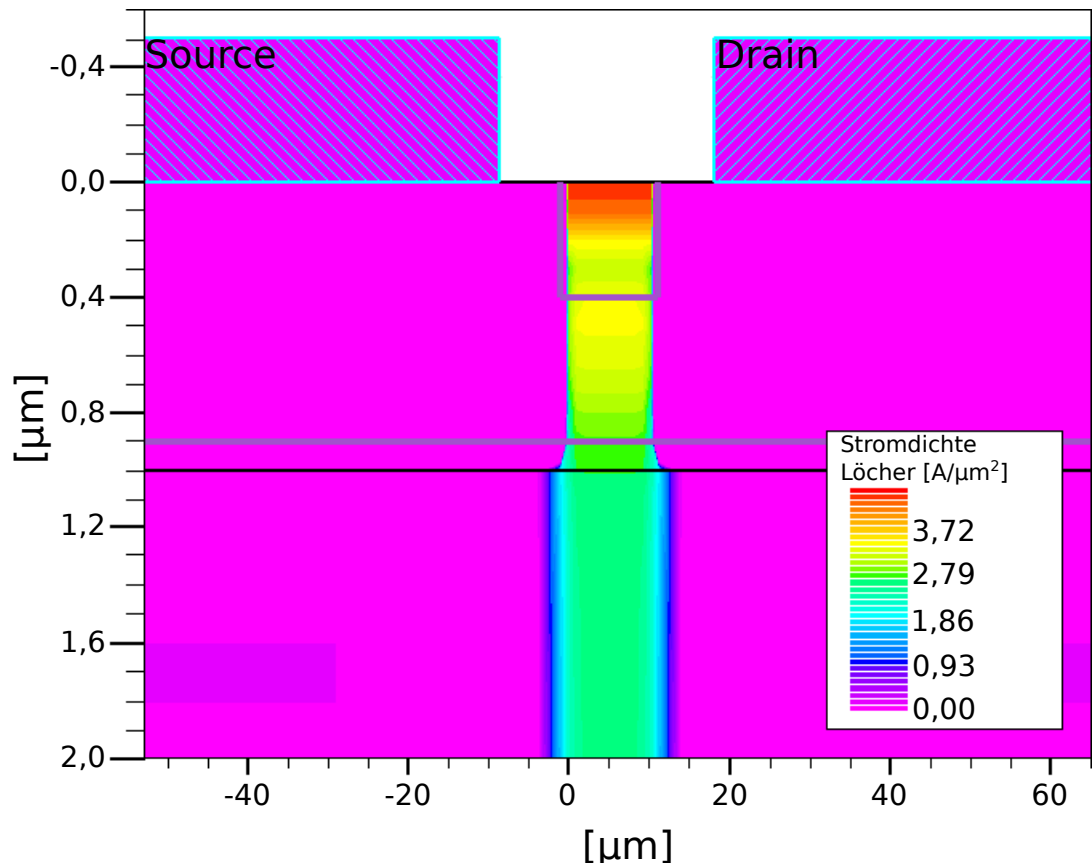


Abbildung 5.16.: Simulierte Stromdichte zwischen Gate und Substrat.

dung 5.16, die einen Querschnitt durch den Transistor zeigt. Abgebildet ist die simulierte Stromdichte der Löcher in logarithmischer Darstellung. An den Elektroden für Source, Drain und das Substrat ist jeweils keine Spannung angelegt ( $V_S = V_D = V_{Sub} = 0,0\text{ V}$ ). An der Gateelektrode ist eine Spannung von  $V_G = -5,0\text{ V}$  angelegt. Klar zu sehen ist ein Bereich, indem sich ein Löcherstrom zwischen der Gateelektrode und der Substratelektrode ausbildet. Die Simulation belegt, dass der gemessene Strom auf einen Löcherstrom zwischen dem p-dotierten Substrat und dem ebenfalls p-dotierten Gate zurückzuführen ist. Dieser ist stark abhängig von der Dotierung des Kanals und der Kanalhöhe. Eine Möglichkeit, den Gatestrom zu reduzieren, ist die Erhöhung der Dotierung im Kanal, wie Simulationen zeigen.

Der Einfluss unterschiedlicher Kanalhöhen lässt sich in Tabelle 5.2 erkennen. Ermittelt sind die Werte aus den Messungen der Transferkennlinien. Die Drainspannung beträgt für alle Messungen  $V_D = 0,0\text{ V}$ . Dabei werden Dioden unterschieden, deren Gatestrom sehr gering ist  $I_G < 1 \cdot 10^{-8}\text{ A}$ , ein mittlerer Strombereich  $1 \cdot 10^{-8}\text{ A} < I_G < 1 \cdot 10^{-4}\text{ A}$  und ein hoher Gatestrom von  $I_G > 1 \cdot 10^{-4}\text{ A}$ . Weiter ist in der Tabelle unterschieden, ob

$V_G[V]$	$I_G < 1 \cdot 10^{-8} A$			$1 \cdot 10^{-8} A < I_G < 1 \cdot 10^{-4} A$			$I_G > 1 \cdot 10^{-4} A$		
	Links	Mitte	Rechts	Links	Mitte	Rechts	Links	Mitte	Rechts
-1,0	132	396	13	587	975	715	951	377	1250
-2,0	13	171	7	88	919	4	1567	659	1670
-3,0	13	14	7	3	353	0	1652	1377	1674
-4,0	13	15	7	1	46	0	1654	1683	1674
-5,0	13	15	6	1	8	0	1654	1721	1675

Tabelle 5.2.: Anzahl der Transistoren deren Gatestrom unterhalb bestimmter Ströme liegen. Die Einteilung des Wafers zeigt Abbildung 5.18

die Transistoren im linken Drittel, in der Mitte oder im rechten Drittel des Wafers liegen (siehe Abbildung 5.18) und dementsprechend unterschiedliche Kanalhöhen besitzen.

Im mittleren Bereich des Wafers weisen einige JFETs bei einer angelegten Gatespannung  $V_G = -2,0 V$  einen Gatestrom  $I_G < 1 \cdot 10^{-8} A$  auf. Mehr als die Hälfte aller Transistoren hat bei dieser Gatespannung einen Gatestrom im Bereich von  $1 \cdot 10^{-8} A < I_G < 1 \cdot 10^{-4} A$ . Mit abnehmender Gatespannung nimmt die Anzahl der Transistoren mit einem Gatestrom  $I_G > 1 \cdot 10^{-4} A$  zu. Dies entspricht dem Verhalten aus der Simulation.

Weiterhin zeigt sich, dass mit abnehmender Kanalhöhe  $a$  der Gatestrom schon bei höheren Gatespannungen zunimmt. So zeigen im linken Drittel des Wafers noch einige Transistoren einen Gatestrom  $I_G < 1 \cdot 10^{-8} A$  bei einer Gatespannung von  $V_G = -1,0 V$ . Im rechten Drittel haben die Transistoren bei dieser Gatespannung bereits einen Gatestrom  $I_G > 1 \cdot 10^{-8} A$ .

Die Anordnung von Gate, Kanal und Isolation entspricht dem Aufbau eines Bipolartransistors [12]. Dabei ist der Kanal gleichzeitig die Basis, durch die die Löcher diffundieren. Je geringer die Kanalhöhe  $a$  ist, desto mehr Löcher sind in der Lage durch dieses Gebiet zu diffundieren [24]. Folglich erhöht sich auch der Strom, wie die Messungen bestätigen.

#### 5.1.4. Kanalhöhen

Wie bereits erwähnt hat auch die Dicke des Kanals einen deutlichen Einfluss auf die Ausgangscharakteristik eines JFETs. Um den Effekt verschiedener Kanalhöhen bei JFETs zu untersuchen und zu vergleichen werden auf einem Wafer Transistoren mit drei verschiedenen Kanalhöhen  $a$  hergestellt. Eine Ausgangskennlinie von einem JFET mit einer Höhe von  $a = 500 nm$  ist in Abbildung 5.17 gezeigt (durchgezogene Linien). Mit dargestellt sind die simulierten<sup>1</sup> Ausgangskennlinien des JFETs (gestrichelte Linien).

Simuliert ist ein Transistor mit Gatelänge  $L = 10 \mu m$ , Gatebreite  $Z = 16 \mu m$  und einer Kanalhöhe  $a = 0,5 \mu m$ , bei einer abgeschiedenen Schichtdicke von  $0,9 \mu m$ . Die Dotierung im Kanal bei der hier gezeigten Simulation beträgt  $N_D = 4 \cdot 10^{16} cm^{-3}$ .

Sowohl der gemessene Transistor, als auch die Simulationen zeigen analoges Verhalten unter dem Einfluss einer angelegten Gatespannung. Eine Steuerung durch das Gate ist bis etwa  $V_G \approx -3 V$  erkennbar. Die Wirkung auf den Drainstrom, bei einer Verringe-

<sup>1</sup>Die Simulationen sind mit Atlas von Silvaco durchgeführt.

## 5. Experimentelle Ergebnisse

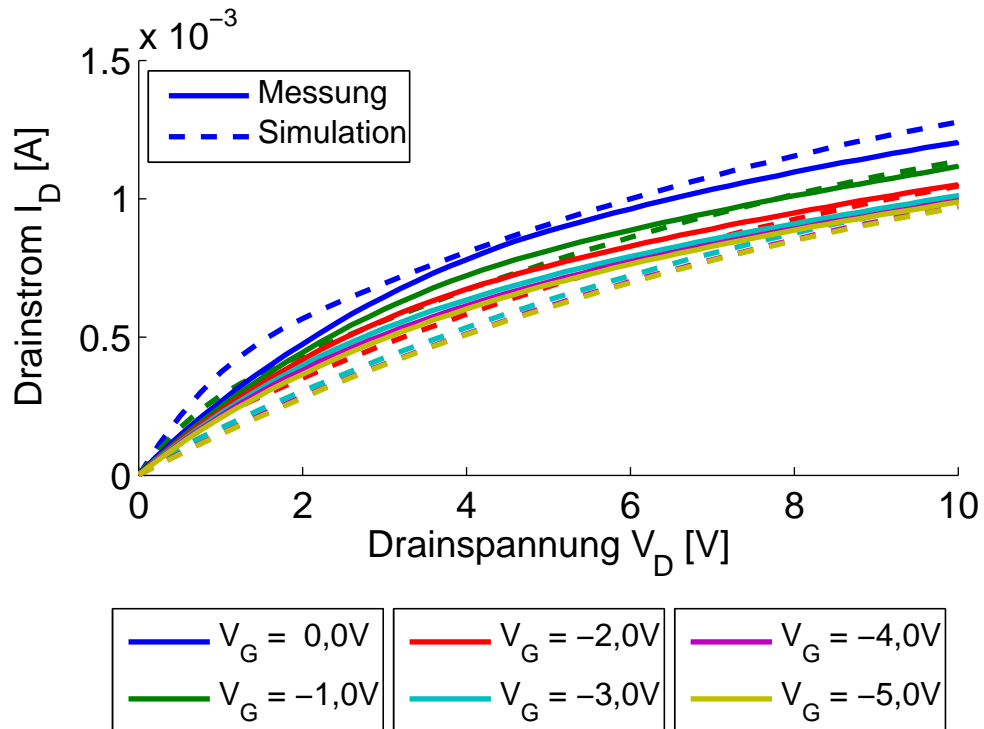


Abbildung 5.17.: Gemessene (durchgezogene Linien) und simulierte (gestrichelte Linien) Ausgangskennlinie eines JFETs mit Gatelänge  $L = 10 \mu\text{m}$ , Gatebreite  $Z = 16 \mu\text{m}$  und Kanalhöhe  $a = 0,5 \mu\text{m}$ , bei einer Kanaldotierung in der Simulation von  $N_D = 4 \cdot 10^{16} \text{ cm}^{-3}$ .

$V_G$ [V]	D12 L10 W10 002 $I_D$ [mA]	D16 L10 W10 001 $I_D$ [mA]	D43 L10 W10 002 $I_D$ [mA]
0	1,41	1,20	0,959
-1	1,30	1,11	0,889
-2	1,22	1,04	0,841
-3	1,17	1,00	0,816
-4	1,14	0,985	0,796
-5	1,14	0,979	0,797

Tabelle 5.3.: Die Drainströme der JFETs  $D12 L10 W10 002$  mit einer Kanalhöhe von  $a_{D12} = 0,6 \mu\text{m}$ ,  $D16 L10 W10 001$  mit einer Kanalhöhe von  $a_{D16} = 0,5 \mu\text{m}$  und  $D43 L10 W10 002$  mit einer Kanalhöhe von  $a_{D43} = 0,4 \mu\text{m}$ . Die Drainströme sind bei einer angelegten Drainspannung von  $V_D = 10,0 \text{ V}$  gemessen.

Die Gatespannung von  $V_G = -3,0\text{ V}$  auf  $V_G = -4,0\text{ V}$ , ist minimal. Noch kleinere Gatespannungen haben keine weitere Verringerung des Drainstroms zur Folge.

Beim Vergleich mit Abbildung 5.1 zeigt sich, dass entsprechend der Theorie der Drainstrom im Sättigungsbereich der JFETs mit kleinerer Kanalhöhe sich verringert. Die Drainströme, bei einer Drainspannung  $V_D = 10,0\text{ V}$ , der beiden Transistoren sind in Tabelle 5.3 aufgelistet. In Kombination mit den Resultaten aus den Simulationen lässt sich dennoch sagen, dass auf den Wafern eine etwa  $1\text{ }\mu\text{m}$  dicke Schicht abgeschieden wurde. Diese hat eine Dotierung von ca.  $N_D \approx (2 - 4) \cdot 10^{16}\text{ cm}^{-3}$ . Auch die angestrebte Ausdünnung der Kanalhöhe auf  $a_{D16} = 0,5\text{ }\mu\text{m}$  bzw.  $a_{D43} = 0,4\text{ }\mu\text{m}$  mittels RIE - Ätzen ist erfolgreich.

### 5.1.5. Statistische Auswertung

		D55	D54	D53	D52	D51	D50		
		14%	0%	98%	100%	0%	14%		
	D32	D31	D30	D29	D28		D27	D26	
	29%	100%	0%	100%	100%		100%	30%	
D56	D33	D14		D13	D12	D11	D10	D25	D49
14%	98%	100%		100%	100%	0%	100%	90%	6%
D57	D34	D15	D5			D4	D9	D24	D48
40%	98%	100%	0%			0%	100%	100%	40%
D58	D35		D6	D1	D2	D3		D23	D47
49%	100%		0%	100%	100%	0%		100%	56%
D59	D36		D7			D8		D22	D46
46%	98%		0%			0%		98%	48%
D60	D37	D16	D17	D18	D19		D20	D21	D45
16%	97%	100%	0%	100%	97%		98%	89%	5%
	D38	D39		D40	D41	D42	D43	D44	
	51%	98%		100%	100%	0%	95%	46%	
		D61	D62	D63	D64	D65	D66		
		30%	0%	97%	94%	0%	30%		

Abbildung 5.18.: Übersicht über die Ausbeute der JFETs auf Wafer 29081/1. Angegeben in Prozent ist die Anzahl der als funktionsfähig eingestuft Transistoren. Die Chips an den Rändern sind nur unvollständig auf dem Wafer, somit ist die Ausbeute dort geringer. Die grau markierten Chips unterteilen den Wafer bezüglich der Kanalausdünnung und sind in der Auswertung nicht berücksichtigt.

Elektrisch charakterisiert sind auf dem Wafer # 29081/1 8316 JFETs und 4158 ausgewertet. Von den 4158 JFETs sind 644 Transistoren nicht kontaktiert. Die Ursache

hierfür ist in der automatischen Erstellung der Eingangsdateien für die Messung der Transistoren zu finden. Am Rand des Wafers sind nicht alle JFETs eines Chips enthalten, aber aufgrund der automatischen Generierung der Wafermap sind diese Transistoren mit vermessen worden. Weitere 234 Transistoren erreichten bei einer Drainspannung von  $V_D = 5,0 \text{ V}$  einen Drainstrom größer als  $I_D > 8 \cdot 10^{-2} \text{ A}$  und sind als nicht funktionsfähig eingestuft.

Die verbleibenden 3280 JFETs, dies entspricht 78,9 % der Transistoren, werden als funktionsfähig eingestuft. Die Verteilung der funktionierenden JFETs über den Wafer ist in Abbildung 5.18 gezeigt. Zu beachten ist, dass die grau markierten Chips in der Statistik nicht berücksichtigt werden. Für die Kanalausdünnung verläuft in diesen Chips die Grenze zwischen dem geätzten Bereich und dem geschützten. Die Grenze der Bereiche ist nicht klar definierbar.

## 5.2. Elektrische Charakterisierung der integrierten JFETs

Um die Eigenschaften der JFETs detailliert zu untersuchen, werden separate JFETs als Referenz auf jedem Chip mit hergestellt. Diese werden im Folgenden ausführlich charakterisiert. Anhand eines Transistors (H8 von Wafer 232) sollen zunächst die verschiedenen Kennlinien und Kenngrößen im Vergleich zur Theorie diskutiert werden. Ziel ist es, eine erste Einschätzung der Eigenschaften des Transistors zu bekommen. Im nächsten Abschnitt werden die Einflüsse unterschiedlicher Prozesse bei der Herstellung auf die Transistoreigenschaften untersucht. Abschließend wird noch eine statistische Auswertung vorgenommen.

Die Analyse beginnt mit den verschiedenen pn-Dioden eines JFETs. Weiter werden die Ausgangs- und Transferkennlinien und einige Kenngrößen der JFETs untersucht. In diesem Zusammenhang erfolgt ein Vergleich mit der Theorie von Shockley und Simulationen von den Transistoren.

### 5.2.1. Einzelner Transistor

#### Dioden

Wichtig für die Funktionalität des JFETs ist die Qualität hinsichtlich des Sperrstroms der verschiedenen pn-Übergänge, die in einem JFET existieren. In den hier vorgestellten JFETs sind folgende pn-Dioden vorhanden:

1. Source-Isolation ( $n^+ - n - p$ )
2. Drain-Isolation ( $n^+ - n - p$ )
3. Source-Gate ( $n^+ - n - p^+$ )
4. Drain-Gate ( $n^+ - n - p^+$ )



Die an den Isolationsring angelegte Sperrspannung kann bei SDDs zwischen  $V_I = -10 V$  und  $V_I = -25 V$  liegen [36]. Die Vorgabe für die hier hergestellten SDDs liegt bei  $V_I = -15 V$  und einem Leckstrom  $I_L < 1 \cdot 10^{-10} A$ . Somit erfolgt die Charakterisierung aller verschiedenen pn-Dioden bis zu einer Sperrspannung von  $|V_S| = 15 V$ , um eine konsistente Analyse zu gewährleisten.

In Abbildung 5.19 sind exemplarisch die Kennlinien der einzelnen Dioden von Transistor H8 auf Wafer 232 gezeigt. Die Abbildung 5.19(a) zeigt sowohl die Kennlinie der Source-Gate-Diode (blau), als auch die der Drain-Gate-Diode (grün). Entsprechend der Theorie nimmt der Strom in Durchlassrichtung  $V < 0 V$  exponentiell zu [24]. In Sperrrichtung  $V > 0 V$  unterschreiten, für eine angelegte Sperrspannung im Bereich von  $0,0 V < V_S < 1,5 V$ , die Leckströme den Messbereich [57] und es ist nur Rauschen zu erkennen. Anschließend steigen die Leckströme<sup>2</sup> an bis diese einen konstanten Wert erreichen. Diese Werte entsprechen den Vorgaben für die Source-Gate-Diode:

$$I_{LSG} < 100 \text{ pA} \quad \text{bzw.} \quad J_{LSG} = 100 \text{ pA} / (2\pi \cdot 6 \text{ } \mu\text{m}) = 2,65 \cdot 10^{-12} \text{ A}/\mu\text{m}$$

und für die Drain-Gate-Diode:

$$I_{LDG} < 100 \text{ pA} \quad \text{bzw.} \quad J_{LDG} = 100 \text{ pA} / (2\pi \cdot 11 \text{ } \mu\text{m}) = 1,45 \cdot 10^{-12} \text{ A}/\mu\text{m}$$

wie aus Tabelle 5.4 zu entnehmen ist.

Die Drain-Gate-Diode weist einen höheren Strom auf, als die Source-Gate-Diode.

	$I_{LSG}[A]$	$I_{LDG}[A]$	$I_{LSI}[A]$	$I_{LDI}[A]$
Messung	$1,09 \cdot 10^{-12}$	$1,99 \cdot 10^{-12}$	$9,01 \cdot 10^{-11}$	$1,15 \cdot 10^{-10}$
Simulation	$7,19 \cdot 10^{-12}$	$1,47 \cdot 10^{-11}$	$2,59 \cdot 10^{-11}$	$2,59 \cdot 10^{-11}$
Maximum	$1,00 \cdot 10^{-10}$	$1,00 \cdot 10^{-10}$	$1,00 \cdot 10^{-10}$	$1,00 \cdot 10^{-10}$

Tabelle 5.4.: Leckströme der verschiedenen pn-Dioden von JFET H8 auf Wafer 232 bei einer angelegten Sperrspannung von  $|V_S| = 15 V$ . Der Leckstrom sollte maximal  $100 \text{ pA}$  betragen.

Besonders deutlich ist dies anhand des Leckstroms zu erkennen. Der Strom  $I$  einer Diode ist direkt proportional zu ihrer Fläche  $A_{Diode}$  [24]:

$$I \propto A_{Diode}$$

Für konzentrische Dioden, wie die Source-Gate und Drain-Gate-Dioden gilt für die Fläche:

$$A_{Diode} = 2\pi r \cdot h$$

Dies entspricht der Mantelfläche eines Zylinders mit Radius  $r$  und Höhe  $h$ . Letztere wird bestimmt durch die Tiefe der Kontaktdotierung. Der Zylinderboden der Diode wird

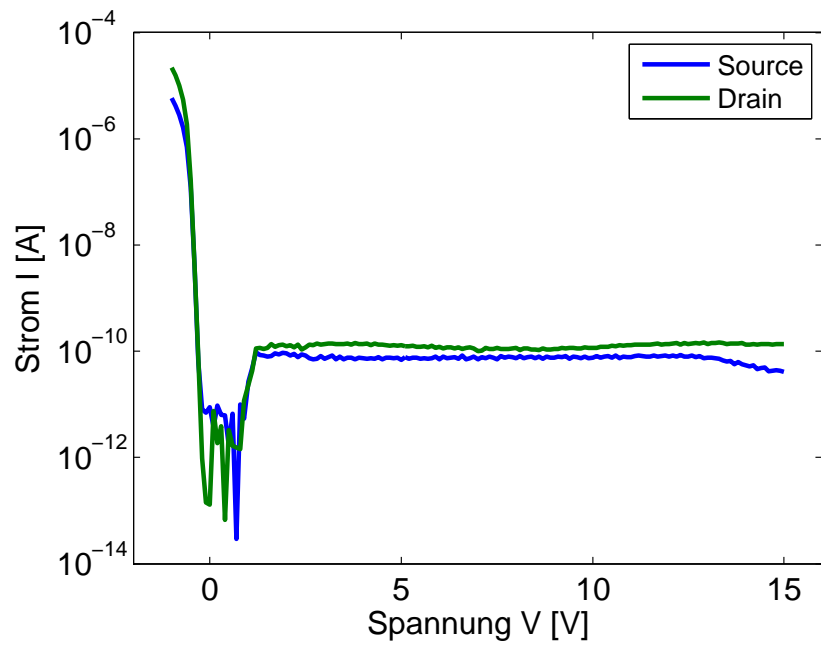
<sup>2</sup> $I_{LSG}$ : Leckstrom der Source-Gate-Diode.

$I_{LDG}$ : Leckstrom der Drain-Gate-Diode.

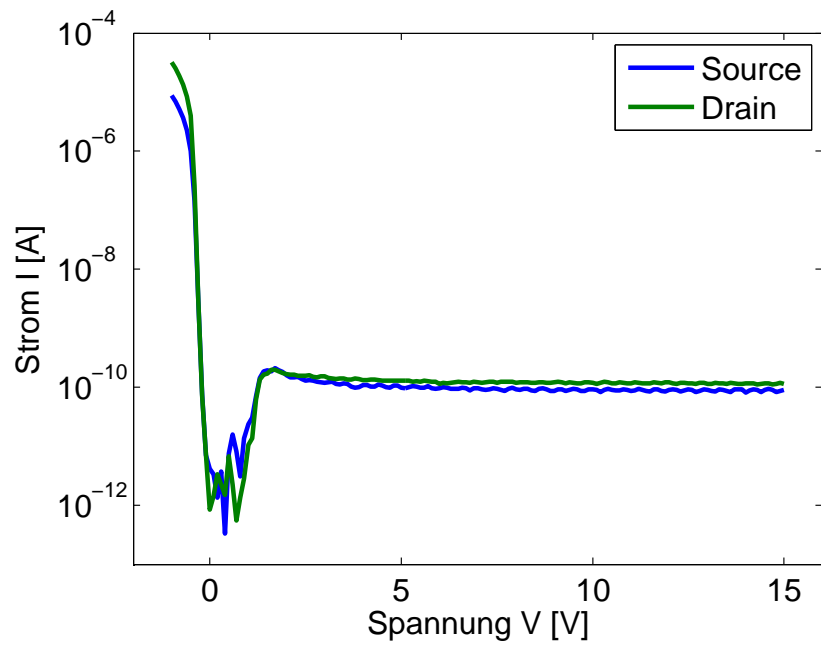
$I_{LSI}$ : Leckstrom der Source-Isolations-Diode.

$I_{LDI}$ : Leckstrom der Drain-Isolations-Diode.

5. Experimentelle Ergebnisse



(a) Leckstrom der Source-Gate und Drain-Gate-Dioden.



(b) Leckstrom der Source-Isolations und Drain-Isolations-Dioden.

Abbildung 5.19.: Gemessene Kennlinien der verschiedenen pn-Dioden von JFET H8 auf Wafer 232.

vernachlässigt. Die Position des pn-Übergangs zwischen Source und Gate entspricht der Lage des Innenradius der Gateimplantation  $r_{Gi}$ . Entsprechend liegt der pn-Übergang von Drain und Gate am Außenradius des Gates  $r_{Ga}$ . Somit ist ersichtlich, dass das Verhältnis der Source-Gate und Drain-Gate-Ströme zueinander nur von den beiden Radien abhängt.

In Abbildung 5.20 ist die Stromdichte  $J$  der Source-Gate und Drain-Gate-Dioden

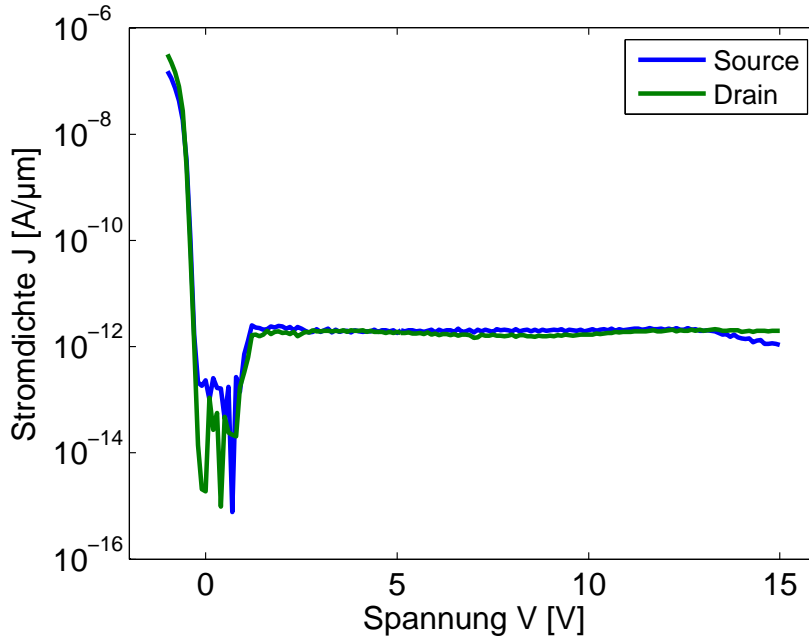


Abbildung 5.20.: Gemessene Kennlinien der Source-Gate und Drain-Gate-Dioden von JFET H8 auf Wafer 232.

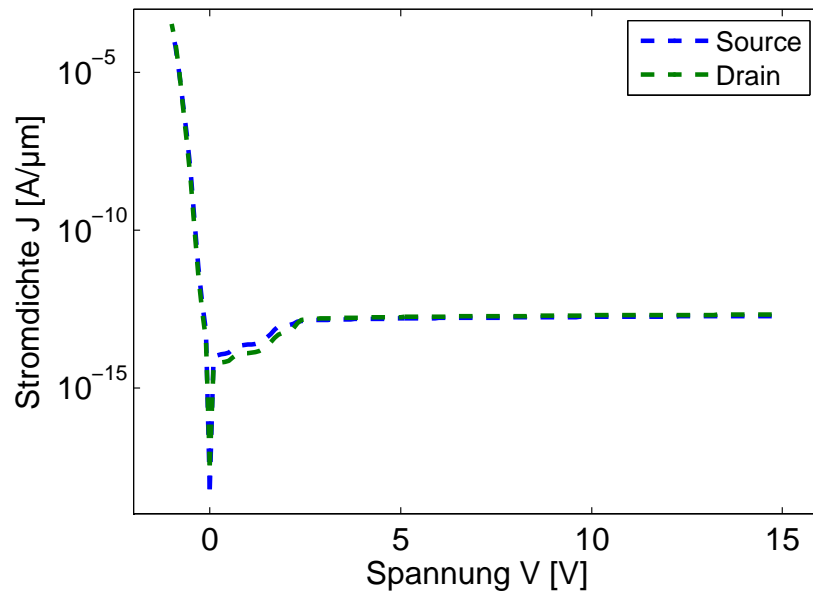
über der angelegten Spannung  $V$  aufgetragen:

$$J = \frac{I}{2\pi r}$$

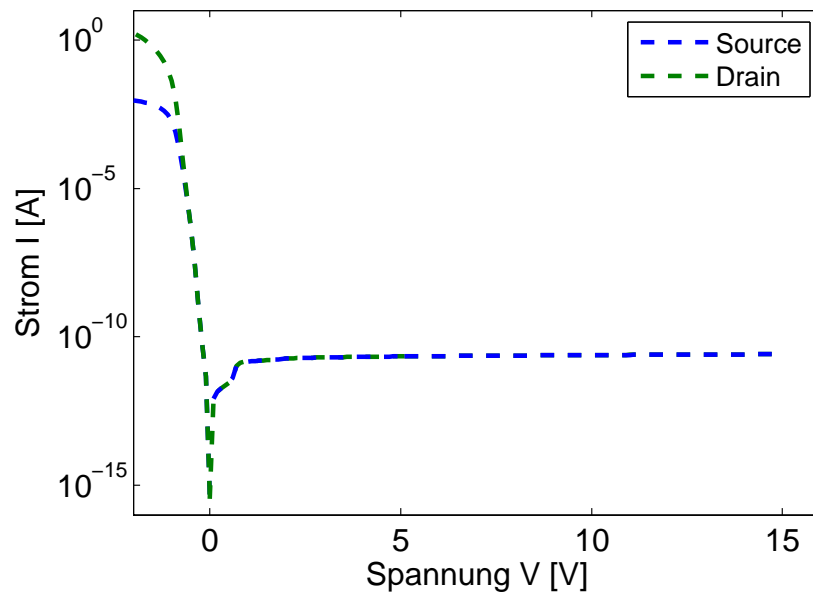
Normiert auf die Radien zeigt sich entsprechend der Theorie, dass die Stromdichten gleich sind. Um jedoch eine bessere Vergleichbarkeit der Dioden untereinander zu ermöglichen, werden im Weiteren immer die Ströme dargestellt. Aufgrund der sehr großen Fläche zwischen Kanal und Isolation, ist der Unterschied von Source und Drain in der Fläche zu vernachlässigen. Folglich ist insbesondere der Unterschied im Leckstrom der beiden Isolationsdioden sehr gering. Dies bestätigen auch Simulationen der Dioden, wie aus Tabelle 5.4 ersichtlich ist.

Zum Vergleich sind in Abbildung 5.21(a) die simulierten Source-Gate und Drain-Gate-Kennlinien abgebildet. Die aufgetragenen Stromdichten sind auf die dazugehörigen Umfänge normiert. Die Simulation zeigt geringere Leckströme, als die Messung. In der Simulation sind, abgesehen von den Standardeinstellungen, keine Verunreinigungen

## 5. Experimentelle Ergebnisse



(a) Simulierte und auf die Umfänge normierte Stromdichten der beiden Gatedioden.



(b) Simulierte Absolutströme der beiden Isolationsdioden.

Abbildung 5.21.: Simulierte Kennlinien der verschiedenen pn-Dioden eines JFETs entsprechend den Spezifikationen von JFET H8 auf Wafer 232.

oder Oberflächeneffekte berücksichtigt.

Berücksichtigt ist allerdings die Generation und Rekombination von Ladungsträgern. Nach Gleichung 2.21 wird idealerweise der Leckstrom durch Generation von Minoritätsladungsträgern bestimmt. In der Simulation kommt das Modell von Shockley–Read–Hall (SRH) zum Einsatz, mit einer von der Dotierung abhängigen Lebensdauer der Ladungsträger. Mittels der SRH–Lebensdauer für Elektronen ( $\tau_{n0} = 1,0 \cdot 10^{-7} \text{ s}$ ) und Löcher ( $\tau_{p0} = 1,0 \cdot 10^{-7} \text{ s}$ ) und der beiden SRH–Konzentration für die Elektronen ( $N_{SRHn} = 5,0 \cdot 10^{16} \text{ cm}^{-3}$ ) und Löcher ( $N_{SRHp} = 5,0 \cdot 10^{16} \text{ cm}^{-3}$ ) wird die Lebensdauer ( $\tau_n$  bzw.  $\tau_p$ ) berechnet [53]. Die tatsächliche Lebensdauer der Minoritätsladungsträger unterscheidet sich jedoch von der simulierten. Da weder die Lebensdauern der Minoritätsladungsträger, noch deren Konzentration bekannt ist, wird auf ein Anpassen der Simulationsparameter verzichtet.

Ein etwas anderes Verhalten zeigt sich bei den Dioden zwischen Source–Isolation und Drain–Isolation, deren Kennlinien für den Chip H8 auf Wafer 232 in Abbildung 5.19(b) gezeigt ist. Es ist deutlich zu sehen, dass der Unterschied in den Leckströmen der beiden Dioden sehr gering ist. Die Vorgaben  $I_L < 100 \text{ pA}$  für den Leckstrom der Source–Isolations–Diode und der Drain–Isolations–Diode sind erfüllt (siehe Tabelle 5.4). In Durchlassrichtung ist erst ab dem Einschaltpunkt der Dioden ein Unterschied in den Strömen erkennbar. Dieser ist auf die unterschiedlichen Diodenflächen zurückzuführen. Weiterhin ist ein Anstieg des Leckstroms bis zu einer Sperrspannung von etwa  $V_S = 2 \text{ V}$  bei allen Dioden zu erkennen (siehe Abbildung 5.19). Bei Spannungen  $V > 2 \text{ V}$  ist der Leckstrom konstant. Dies entspricht dem Verhalten einer idealen pn–Diode (vgl. Abbildung 2.6) und zeigt sich auch bei den simulierten Dioden (vgl. Abbildung 5.21). Ursache hierfür ist die Rekombination bzw. Generation von Ladungsträgern in der Raumladungszone. Diese bewirken einen Stromanteil  $I_{GR}$ , der direkt proportional zur Ausdehnung der Raumladungszone  $W$  ist, wie auch zur Wurzel der angelegten Sperrspannung  $\sqrt{V}$  [34]. Im Abschnitt über die Transferkennlinie wird die Einsatzspannung für den Transistor mit etwa  $V_T \approx -1 \text{ V}$  ermittelt. Somit ist davon auszugehen, dass im Spannungsbereich von  $V = 1 \text{ V}$  bis etwa  $V = 2 \text{ V}$  die Raumladungszone zwischen den beiden Kontakten der Diode vollständig ausgebildet ist. Folglich bleibt der Stromanteil  $I_{GR}$  konstant und steigt nicht weiter an. Einen zweiten Beitrag zu Leckströmen liefern Oberflächeneffekte [34].

### Ausgangskennlinien

Abbildung 5.22 zeigt die Ausgangskennlinien des JFETs von Wafer 232, Chip H8. Der Transistor hat eine Gatelänge von  $L = 5 \text{ }\mu\text{m}$ , einen inneren Gateradius  $r_{Gi} = 6 \text{ }\mu\text{m}$  und einen äußeren Gateradius von  $r_{Ga} = 11 \text{ }\mu\text{m}$ , sowie eine Kanalhöhe, bezogen auf die Lage der pn–Übergänge der SIMS–Profile, von etwa  $a = 0,6 \text{ }\mu\text{m}$ . Als Passivierung kommt Siliziumnitrid zum Einsatz.

Die Ausgangskennlinien des Transistors zeigen einen analogen Verlauf zu der Theorie (vgl. Abbildung 2.2). Der Drainstrom  $I_D$  nimmt linear mit kleinen Drainspannungen  $V_D < 1,0 \text{ V}$  zu, um dann in die Sättigung überzugehen. Mit abnehmender Gatespannung verringert sich der maximale Drainstrom. Ab einer Gatespannung von  $V_G < -1,0 \text{ V}$

## 5. Experimentelle Ergebnisse

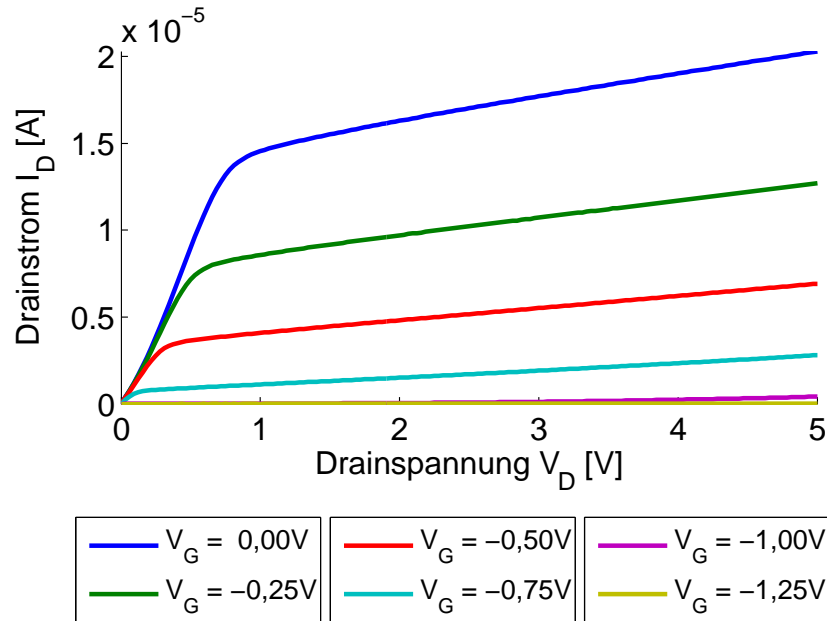


Abbildung 5.22.: Gemessene Ausgangskennlinien von JFET H8 auf Wafer 232.

fließt kaum noch Strom durch den Kanal und der Transistor ist als ausgeschaltet zu betrachten.

Im Sättigungsbereich ist ein relativ ausgeprägter linearer Anstieg des Drainstroms  $I_D$  mit zunehmender Drainspannung  $V_D$  erkennbar. Für eine Gatespannung  $V_G = 0,0 V$  ergibt sich ein Widerstand von  $R_0$ :

$$R_0 = \frac{\Delta U}{\Delta I} = \frac{4,75 V - 1,75 V}{2,00 \cdot 10^{-5} A - 1,59 \cdot 10^{-5} A} = 7,32 \cdot 10^5 \Omega = 732 k\Omega. \quad (5.2)$$

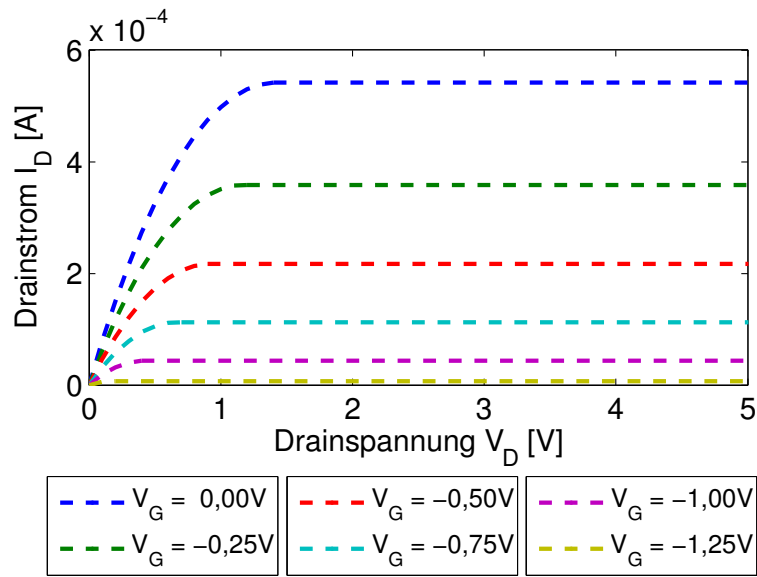
Bei einer Gatespannung von  $V_G = -0,5 V$  ergibt sich ein Widerstand von  $R_{0,5}$ :

$$R_{0,5} = \frac{\Delta U}{\Delta I} = \frac{4,75 V - 1,75 V}{6,75 \cdot 10^{-6} A - 4,64 \cdot 10^{-6} A} = 1,42 \cdot 10^6 \Omega = 1,42 M\Omega \quad (5.3)$$

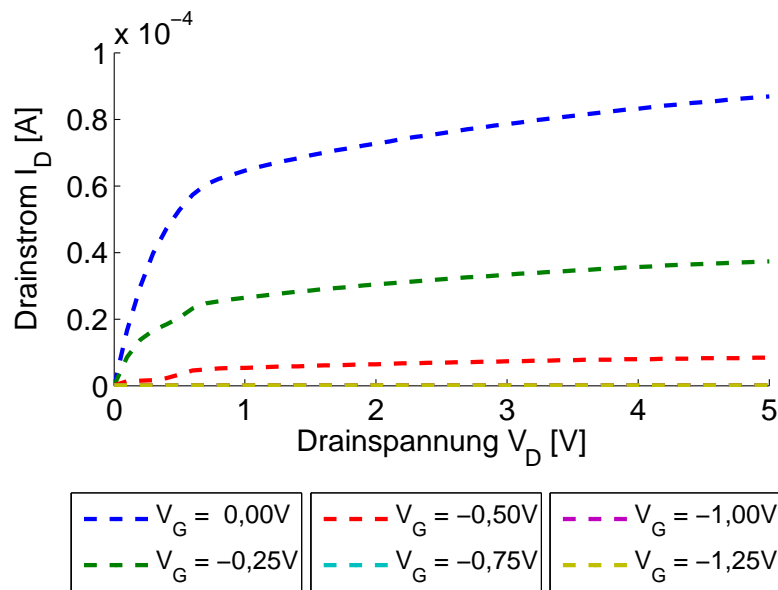
Die Theorie nach Shockley sagt einen sehr viel geringeren Anstieg des Drainstroms  $I_D$  im Sättigungsbereich des Transistors voraus. Wie bereits in Kapitel 2.1.2 ausgeführt, zeigen JFETs ab einem Verhältnis von Kanallänge zu Kanalhöhe  $\frac{L}{a} < 4$  Eigenschaften eines Kurzkanal-JFETs. Dazu gehört auch ein deutlicher Anstieg des Drainstroms im Sättigungsbereich des Transistors. Für die integrierten JFETs können die Kurzkanaleffekte jedoch vernachlässigt werden, da:

$$\frac{L}{a} = \frac{5 \mu m}{0,6 \mu m} = 8,33$$

Die nach den Gleichungen aus Kapitel 2.1 berechneten Ausgangskennlinien für den



(a) Berechnete Ausgangskennlinien des JFET 232, Chip H8 nach Shockley.



(b) Simulierte Ausgangskennlinien des JFET 232, Chip H8.

Abbildung 5.23.: Theoretische und simulierte Ausgangskennlinien eines JFETs nach H8 auf Wafer 232.

## 5. Experimentelle Ergebnisse

JFET W 232, Chip H8 sind in Abbildung 5.23(a) dargestellt. Ein Vergleich zeigt, dass der berechnete Drainstrom um mehr als eine Größenordnung höher ist, als der gemessene Drainstrom. Für die Berechnung wird eine Kanallänge  $L = 5,0 \mu m$ , eine Kanalbreite  $Z = 17\pi \mu m$  und eine Kanalhöhe  $a = 346 nm$  verwendet. Die aus den SRP-Messungen bestimmte mittlere Dotierung beträgt  $N_D = 2,6 \cdot 10^{16} cm^{-3}$ .

Einen geringeren Drainstrom als theoretisch berechnet zeigt die TCAD-Simulation in Abbildung 5.23(b). Allerdings ist der simulierte Drainstrom immer noch deutlich größer, als der beim JFET gemessene. Für die Simulation wird eine zylindrische Geometrie angenommen. Die Dotierung des Kanals, der Isolation und der verschiedenen Kontakte entspricht den aus SRP-Messungen bestimmten Dotierungen (siehe Kapitel 4.2.2). Im Gegensatz zur theoretischen Berechnung nach Shockley zeigt auch die TCAD-Simulation einen sichtbaren linearen Anstieg des Drainstroms mit der angelegten Drainspannung im Sättigungsbereich des Transistors. Dieser Anstieg weist auf die Geschwindigkeitssättigung der Majoritätsladungsträger aufgrund des vorherrschenden elektrischen Feldes hin. So zeigt eine vom elektrischen Feld unabhängige Beweglichkeit der Ladungsträger einen sanften Anstieg des Drainstroms mit zunehmender Drainspannung im Sättigungsbereich eines JFETs [27].

### Transferkennlinie

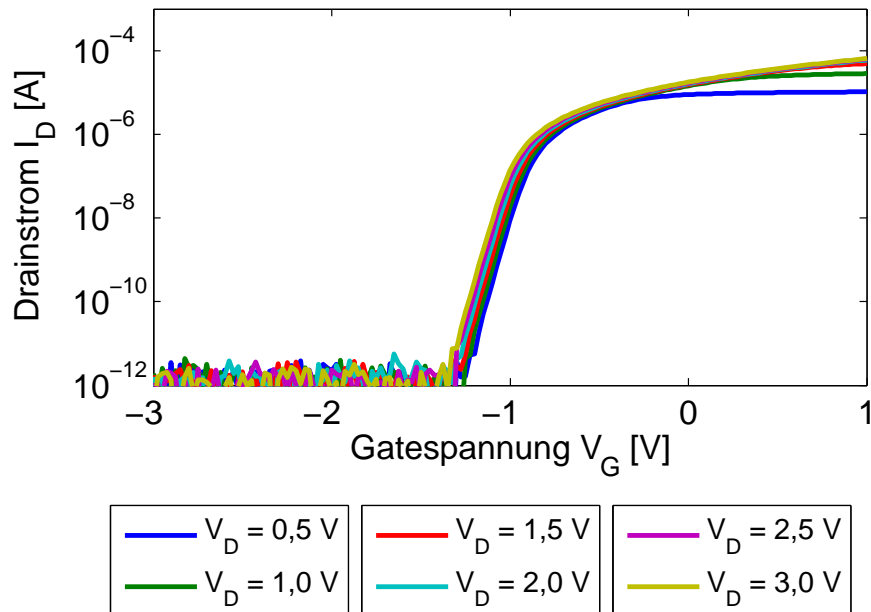


Abbildung 5.24.: Transferkennlinien des JFETs H8 auf Wafer 232.

Die Eingangs- oder auch Transferkennlinie vom Transistor W232, Chip 8 zeigt Ab-



bildung 5.24. Aufgetragen ist der Drainstrom  $I_D$  in Abhängigkeit von der angelegten Gatespannung  $V_G$ . Die Drainspannung  $V_D$  wird in Schritten von  $\Delta V_D = 0,5 V$  zwischen  $V_D = 0,5 V$  und  $V_D = 3,0 V$  variiert. Der gemessene Drainstrom  $I_D$  im abgeschalteten Zustand ist geringer als die Auflösung des Parameteranalysers. Dieser hat eine Auflösung von  $1 pA$  und eine Genauigkeit von  $\pm 0,050\% + 30 pA$  [57].

Das Verhältnis von off-Strom  $I_{off}$  zu on-Strom  $I_{on}$  beträgt für den JFET ungefähr  $\frac{I_{on}}{I_{off}} = 7 Dek.$ <sup>3</sup> (siehe Tabelle 5.5). Berechnet wurde das Verhältnis durch die Ströme bei den Gatespannungen  $V_G = -2,0 V$  für den off-Strom und  $V_G = 1,0 V$  für den on-Strom. Zu beachten ist hierbei, dass der gemessene off-Strom durch die Auflösung des Parameteranalysers bestimmt wird. So ist es möglich, dass der off-Strom tatsächlich sogar noch geringer ist, als gemessen. Folglich sind die bestimmten  $\frac{I_{on}}{I_{off}}$  Verhältnisse als untere Grenzen zu betrachten und sind möglicherweise sogar noch größer.

Eine weitere Kenngröße eines Transistors, die sich aus der Transferkennlinie berechnen

		Angelegte Drainspannung $V_D$					
		0,5 V	1,0 V	1,5 V	2,0 V	2,5 V	3,0 V
$I_{on}/I_{off}$	[Dek.]	6,7	7,1	7,7	7,4	7,4	7,6
$S$	[mV/Dek.]	70,14	69,80	69,46	70,15	71,29	70,91
$V_T$	[V]	-1,00	-1,02	-1,04	-1,06	-1,08	-1,09

Tabelle 5.5.: Experimentell bestimmte Kenngrößen von JFET H8 auf Wafer 232.

lässt, ist die Unterschwellsteigung  $S$ . Bestimmt wird diese aus den experimentellen Daten mittels einer Regressionsgerade für den Drainstrom im Intervall  $]1 \cdot 10^{-7} A, 1 \cdot 10^{-10} A[$ . Die Unterschwellsteigung beträgt etwa  $S \approx 70 mV/Dek.$  Physikalisch muss die Unterschwellsteigung bei Transistoren, deren Ladungsträgertransport auf Drift und Diffusion basiert, größer als  $S > 60 mV/Dek.$  sein [24].

Als Drittes wird die Einsatzspannung  $V_T$  aus der Transferkennlinie ermittelt. Dazu wird die Wurzel des Drainstroms  $\sqrt{I_D}$  der beiden Transistoren in Abhängigkeit der angelegten Gatespannung  $V_G$  aufgetragen (gestrichelten Linien) (siehe Abbildung 5.25). Nach Gleichung 2.13 gilt:

$$\sqrt{I_{DSat}} \propto (V_G - V_T). \quad (5.4)$$

Die Einsatzspannung  $V_T$  nach Gleichung 2.13 lässt sich so nur für JFETs im Sättigungsbereich bestimmen. Die quadratische Abhängigkeit zwischen Drainstrom  $I_D$  und angelegter Gatespannung  $V_G$  ist allgemeingültig für einen JFET mit einem p-dotierten Gate [58].

Bei Drainspannungen  $V_D$  im Bereich von  $V_G = +1,0 V$  bis etwa  $V_G = -1,0 V$  nimmt die Wurzel des Drainstroms  $\sqrt{I_D}$  im Sättigungsbereich linear mit der angelegten Gatespannung  $V_G$  ab. Mittels der Messpunkte im Bereich von  $-1,0 V \leq V_G \leq 0,0 V$  wird die Regressionsgerade bestimmt. Der Schnittpunkt dieser Geraden mit der x-Achse ergibt die Einsatzspannung  $V_T$ . Für Transferkennlinien, die nicht im Sättigungsbereich des JFETs gemessen sind, wird die Auswahl an Messpunkten für die Regressionsgerade

<sup>3</sup>Dek.: Dekaden

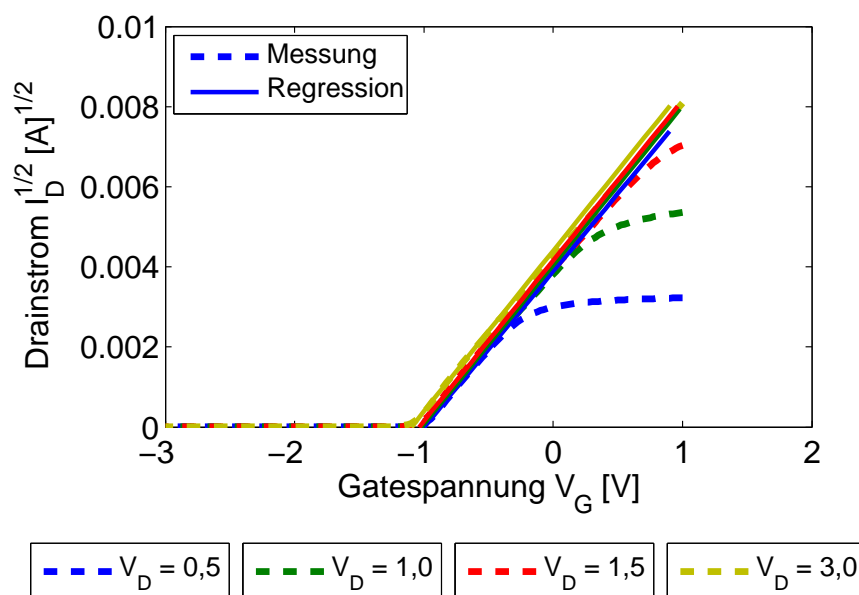


Abbildung 5.25.: Bestimmung der Einsatzspannung des JFET H8 auf Wafer 232 mit einer Regressionsgeraden und Interpolation.

angepasst (vgl. Abbildung 5.25).

In Tabelle 5.5 sind die aus den gemessenen Transferkennlinien ermittelten Einsatzspannungen  $V_T$  zusammengefasst. Ausgehend von einer Kanalhöhe  $a = 0,346 \mu\text{m}$  und einer Kanaldotierung von  $N_D = 2,6 \cdot 10^{16} \text{ cm}^{-3}$  (siehe Kapitel 4.2.2) ergibt sich nach Gleichung 2.10 eine Einsatzspannung von  $V_T = -1,42 \text{ V}$ . Die ist eine deutliche Abweichung von der Einsatzspannung, die aus den experimentellen Daten ermittelt ist.

Da der integrierte JFET als Impedanzwandler fungiert, ist es sehr interessant zu untersuchen, wie der Drainstrom  $I_D$  auf Änderungen in der Gatespannung  $V_G$  reagiert (siehe Gleichung 2.14). Um möglichst sensitiv zu reagieren sollte der Transistor schon auf kleine Änderungen der Gatespannung reagieren. Idealerweise liegt der Arbeitspunkt des Transistors hierfür im Maximum der Steilheit  $g_m$ . Das Maximum der Steilheit  $g_{m_{max}}$  tritt bei der Abschnürung des Kanals auf ( $W_D = a$ ). Wird der JFET im Sättigungsbereich betrieben, steigt auch die Steilheit weiter an. Die Steilheit  $g_m$  liegt in einem Bereich von:

$$0 \leq g_m \leq G_i.$$

Der Fall  $g_{m_{max}} = G_i$  tritt im unmodulierten Kanal ( $V_S = V_G = 0,0 \text{ V}$ ,  $W_{D_s} = a - b$ ) auf. Beeinflussen Schwankungen in der Dotierung und der Geometrie<sup>4</sup> die Steilheit nur geringfügig, sind Einflüsse aus den Serienwiderständen  $R_S$  und  $R_D$  sowie die Änderung der Ladungsträgerbeweglichkeit aufgrund elektrischer Felder deutlich stärker [26, 35].

<sup>4</sup>Die Geometrie wirkt sich hauptsächlich auf  $G_i$  aus.

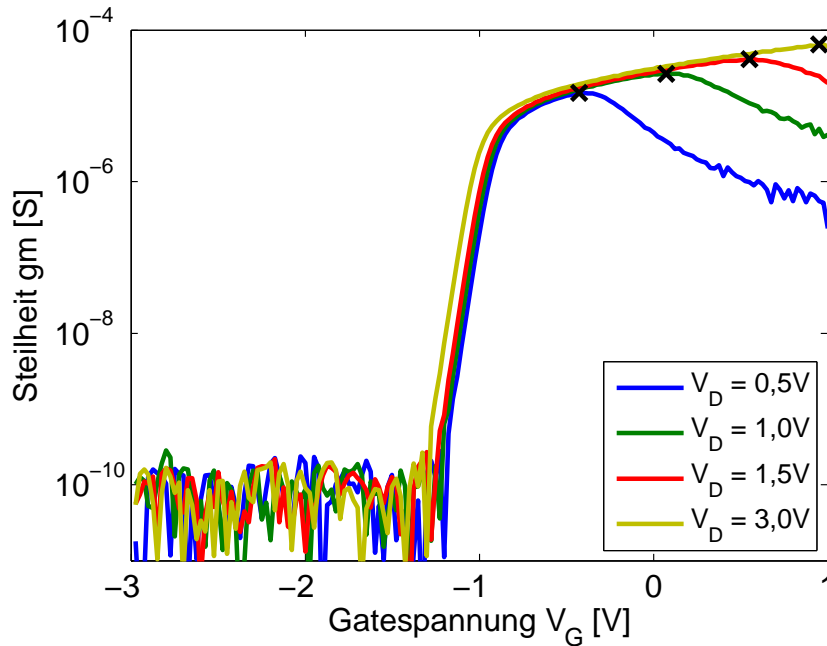


Abbildung 5.26.: Steilheit des JFET H8 auf Wafer 232 bei verschiedenen Drainspannungen  $V_D$ . Der Maximalwert der Steilheit  $g_{m_{max}}$  ist als schwarzes Kreuz eingezeichnet.

Abbildung 5.26 zeigt die Steilheit  $g_m$  über der angelegten Gatespannung  $V_G$  aufgetragen. Die Steilheit  $g_m$  ist numerisch berechnet aus den Transferkennlinien nach Gleichung 2.14. Entsprechend der Theorie ist ein Maximum bei der Steilheit  $g_m$  im Falle von  $V_D = 0,5 V$  bei einer Gatespannung  $V_G < 0,0 V$  zu sehen. Bei einer angelegten Drainspannung  $V_D = 1,0 V \approx V_T$  (vgl. Tabelle 5.5) liegt das Maximum bei knapp  $V_G \approx 0,0 V$ . Mit zunehmender Drainspannung  $V_D$  verschiebt sich das Maximum zu höheren Gatespannungen hin. In der Literatur wird die Transferkennlinie für einen n-Kanal JFET meist nur im Bereich  $V_G \leq 0,0 V$  gezeigt und folglich die Lage des Maximums  $g_{m_{max}}$  entweder beim Erreichen des Abschnürpunkts oder bei  $V_G = 0,0 V$  angegeben [26].

### 5.2.2. Auswirkung verschiedener Prozesse auf die Eigenschaften der JFETs

In diesem Abschnitt sollen mögliche Auswirkungen unterschiedlicher Prozessschritte untersucht werden. Hierzu beschränkt sich dieser Abschnitt auf einen Vergleich der Diodenkennlinien einzelner JFETs sowie deren Eingangs- und Ausgangskennlinien. Es werden auf verschiedenen Wafern immer die Transistoren von Chip H8 untersucht. Eine detaillierte Analyse der Kenngrößen, wie zum Beispiel der Einsatzspannung oder der Steilheit erfolgt im nächsten Abschnitt.

Die Wafer wurden, abgesehen von einzelnen Modifikationen, alle parallel hergestellt.

## 5. Experimentelle Ergebnisse

Eine solche Modifikation in der Prozessführung ist die Verwendung eines Streuoxids, wie es bei niederenergetischen Implantationen oft verwendet wird [39]. Jedoch ist bei der Standardprozessführung generell kein Streuoxid bei Implantationen vorgesehen. Um mögliche Auswirkungen zu untersuchen, sind die Wafer 237 und 238 vor der Implantation der Kontakte mit einem Streuoxid versehen worden (vgl. Kapitel 3).

Eine weitere Änderung in der Herstellung betrifft die Entfernung von Fotolack. Neben der nasschemischen Entfernung kann Fotolack auch mittels eines Plasmas entfernt werden. Um die Auswirkung von möglichen Schäden durch das Plasma zu untersuchen, wird bei den Wafern 235 und 236 der eingebrannte Lack verascht (siehe auch Kapitel 3). Jedoch scheint die Prozessierung oder Messung Schwierigkeiten verursacht zu haben. Bei den Wafern 235 und 237 konnten keine Kennlinien gemessen werden. Für den Vergleich stehen somit nur die Wafer 236 und 238 zur Verfügung.

Außerdem werden zwei verschiedene Materialien für die Passivierungen verwendet. Einmal kommt eine Passivierung mit Siliziumnitrid  $Si_3N_4$ , das andere mal ein Abscheidoxid mit TEOS zum Einsatz (siehe auch Kapitel 3). Mit einer Passivierung aus einem abgeschiedenen Siliziumoxid sind die Wafer 233 und 234 versehen. In Tabelle 5.6 sind nochmals die Unterschiede bei der Herstellung der Wafer zusammengefasst.

Wafer	Passivierung	Streuoxid	Lackveraschung
229	Nitrid	Nein	Nein
230	—	—	—
231	Nitrid	Nein	Nein
232	Nitrid	Nein	Nein
233	TEOS	Nein	Nein
234	TEOS	Nein	Nein
235	Nitrid	Nein	Ja
236	Nitrid	Nein	Ja
237	Nitrid	Ja	Nein
238	Nitrid	Ja	Nein

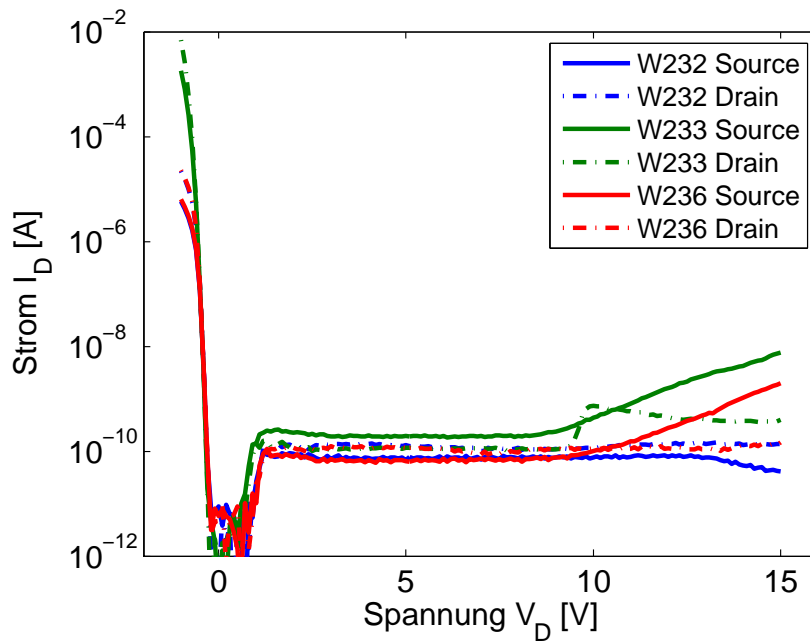
Tabelle 5.6.: Übersicht der prozesstechnischen Besonderheiten der verschiedenen Wafer, betreffend der Passivierung, die Verwendung von Streuoxiden und dem Veraschen von Fotolack.

### Dioden

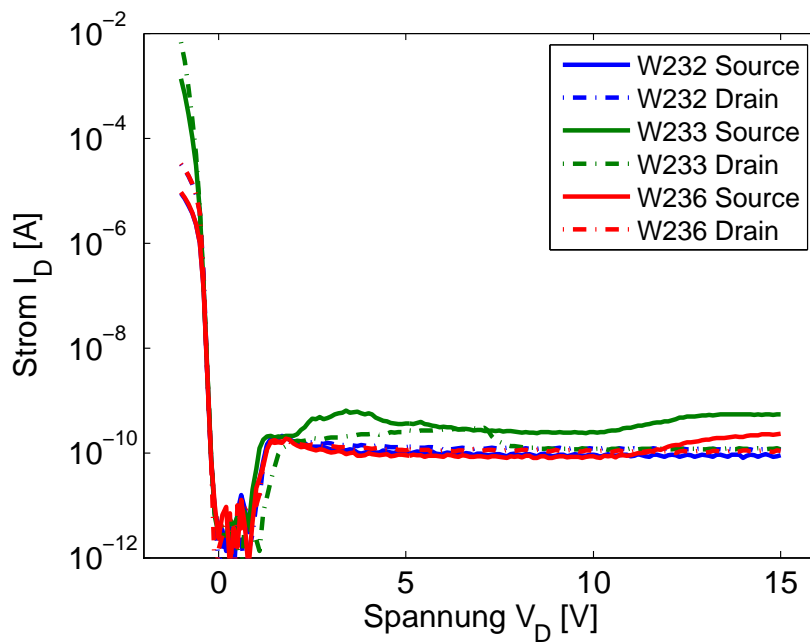
Es werden im Folgenden die Diodenkennlinien der Transistoren H8 auf den Wafern 232, 233 und 236, dargestellt in Abbildung 5.27, untersucht. Auffällig im Bereich der Durchlassrichtung ist, dass die beiden Dioden von Wafer 233 (grün) einen höheren Strom zeigen, als die Dioden der mit Siliziumnitrid passivierten Transistoren der beiden Wafer 232 (blau) und 236 (rot).

Ein ähnliches Bild ergibt sich in Sperrrichtung für die Source–Gate–Dioden. Auch hier ist der gemessene Leckstrom der Diode von Wafer 233 H8 größer als der Source–Gate–Leckstrom der entsprechenden JFETs auf Wafer 232 und 236. Weiterhin lässt sich ein

5.2. Elektrische Charakterisierung der integrierten JFETs



(a) Kennlinien der Source-Gate und Drain-Gate-Dioden der Wafer 232, 233 und 236.



(b) Kennlinien der Source-Isolations und Drain-Isolations-Dioden der Wafer 232, 233 und 236.

Abbildung 5.27.: Gemessene Kennlinien der verschiedenen Dioden der JFETs H8 auf den Wafern 232 (blau), 233 (grün) und 236 (rot).

## 5. Experimentelle Ergebnisse

linearer Anstieg des Leckstroms bei einer Spannung von etwa  $V = 10\text{ V}$  bei den Source–Gate–Dioden der Chips H8 auf den Wafern 233 und 236 erkennen. Mit Leckströmen von  $I_{SG233} = 7,7 \cdot 10^{-9}\text{ A}$  und  $I_{SG236} = 2,0 \cdot 10^{-9}\text{ A}$  bei einer Sperrspannung von  $|V| = 15\text{ V}$  liegen diese über der gesetzten Grenze von  $I_L < 1 \cdot 10^{-10}\text{ A}$ . Im Gegensatz dazu zeigen sich die Drain–Gate–Dioden stabil. Einzig die Diode von Wafer 233 zeigt einen geringen Anstieg im Leckstrom bei etwa  $V = 10\text{ V}$ , um aber anschließend auf  $I_{DG233} = 4,0 \cdot 10^{-10}\text{ A}$  bei einer Spannung von  $V = 15\text{ V}$  zu sinken.

Ein analoges Bild zeigen die Source/Drain–Isolations–Dioden der drei JFETs (siehe Abbildung 5.27(b)). Auch hier weist die Diode von Wafer 233 einen höheren Leckstrom auf. Bei einer Sperrspannung von  $V = 15\text{ V}$  beträgt der Leckstrom  $I_{SI233} = 5,36 \cdot 10^{-10}\text{ A}$ . Der Leckstrom der Source–Isolations–Diode von Wafer 236 beginnt ebenfalls ab einer Spannung von etwa  $V > 10\text{ V}$  auf  $I_{SI236} = 2,29 \cdot 10^{-10}\text{ A}$  bei  $V = 15\text{ V}$  zu steigen. Die Leckströme der Drain–Isolations–Dioden sind ebenfalls durchgehend niedrig. In Durchlassrichtung zeigen auch hier die Dioden von Wafer 233 höhere Ströme im Vergleich zu den Wafern 232 und 236.

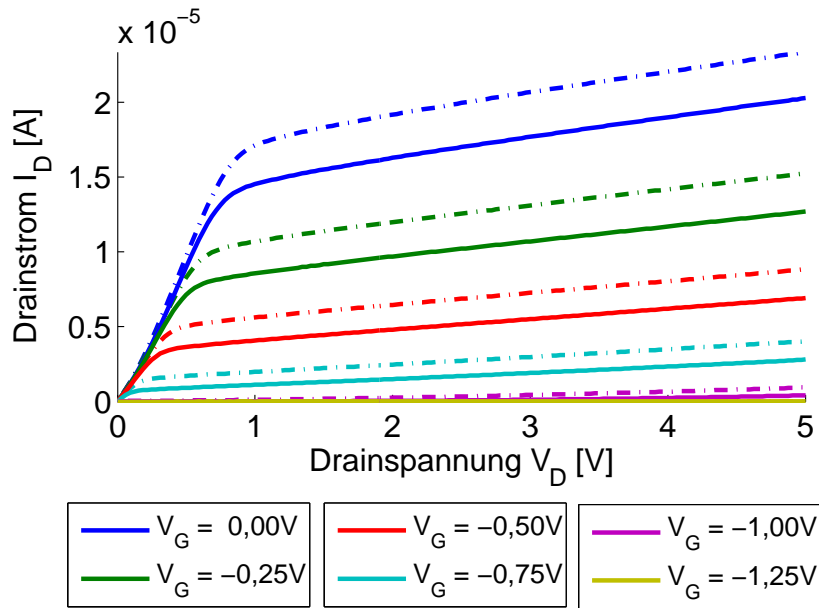
### Ausgangskennlinien

Höhere Drainströme zeigen sich auch bei den Ausgangskennlinien von JFET H8 auf Wafer 233 (Abbildung 5.28(b)) im Vergleich mit den Ausgangskennlinien der beiden Transistoren H8 der Wafer 232 und 236 (Abbildung 5.28(a)). Alle drei Transistoren haben die selbe Geometrie. Die Gatelänge beträgt  $L = 5\text{ }\mu\text{m}$ , der Innenradius des Gates  $r_{Gi} = 6\text{ }\mu\text{m}$  und der Außenradius des Gates  $r_{Ga} = 11\text{ }\mu\text{m}$ . Die Kanalhöhen der JFETs betragen nach den SRP–Messungen  $a = 346\text{ nm}$ . Der Unterschied besteht im Material für die Passivierung. Bei der Herstellung von Wafer 232 und 236 kommt Siliziumnitrid als Passivierung zum Einsatz, bei Wafer 233 ein Abscheideoxid. Bei Wafer 236 ist eingebrannter Fotolack mit einem zusätzlichen RIE–Prozess verascht worden. Die genauen Unterschiede in der Herstellung sind Tabelle 5.6 zu entnehmen. In diesem Zusammenhang ergeben sich auch Unterschiede im Aufbringen der Metallisierung.

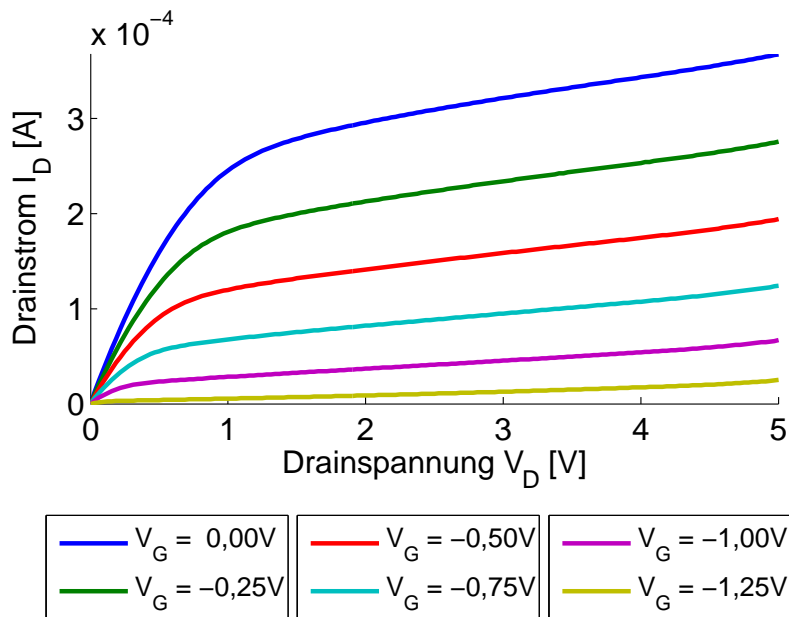
Alle drei JFETs zeigen einen Verlauf der Ausgangskennlinien (Abbildung 5.28) entsprechend der Theorie (vgl. Abbildung 2.2). Der Drainstrom  $I_D$  nimmt linear bei kleinen Drainspannungen  $V_D$  zu, um dann in die Sättigung überzugehen. Mit abnehmender Gatespannung  $V_G$  nimmt der Drainstrom  $I_D$  ab. Bei einer Drainspannung von  $V_G < -1,0\text{ V}$  sind die Transistoren auf den Wafern 232 und 236 aus. Der JFET von Wafer 233 zeigt einen deutlich höheren Drainstrom  $I_D$  im Sättigungsbereich. Der Unterschied beträgt mehr als eine Größenordnung im Vergleich zu den mit Siliziumnitrid passivierten JFETs. Im Gegensatz dazu ist die Abweichung der Drainströme im Sättigungsbereich der Transistoren von Chip H8 auf den Wafern 232 und 236 untereinander deutlich geringer. Bei einer Gatespannung von  $V_G = 0\text{ V}$  beträgt dieser etwa einen Faktor 1,2, bei einer Gatespannung von  $V_G = -0,5\text{ V}$  einen Faktor von etwa 1,3.

Beim Vergleich der gemessenen Ausgangskennlinien von JFET H8 auf Wafer 233 (Abbildung 5.28(b)) mit der theoretischen Kennlinie nach Shockley (Abbildung 5.23(a)) zeigt sich eine gute Übereinstimmung. Beide Kennlinien sind in Abbildung 5.29(a) übereinandergelegt. Die theoretischen Kennlinien nach Shockley (gestrichelte Linien) sind nach

5.2. Elektrische Charakterisierung der integrierten JFETs



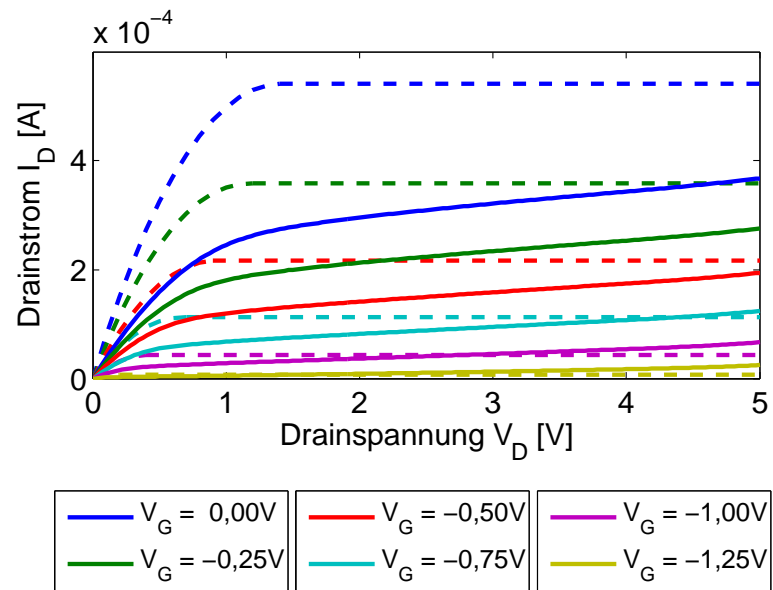
(a) Ausgangskennlinie des JFETs H8 der Wafer 232 (durchgezogen) und 236 (gepunktet). Als Passivierung wird Siliziumnitrid verwendet.



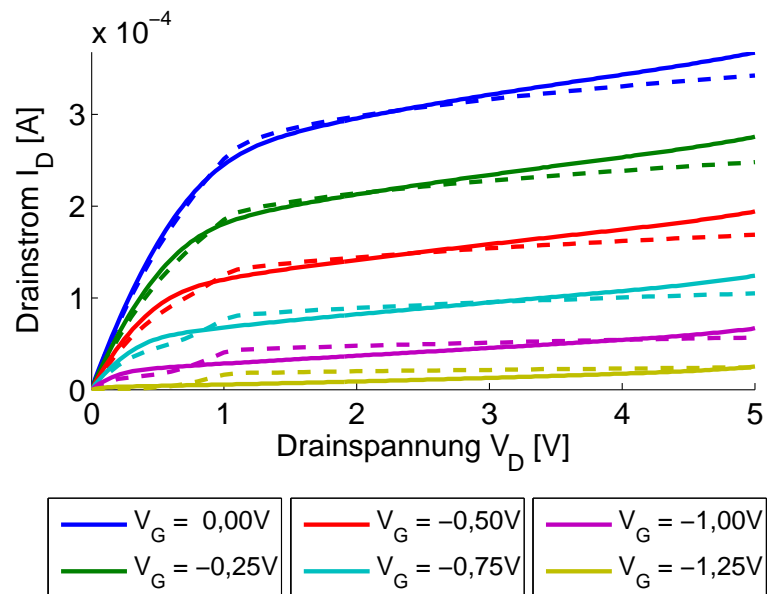
(b) Ausgangskennlinie des JFETs H8 von Wafer 233. Als Passivierung wird ein Abscheideoxid verwendet.

Abbildung 5.28.: Gemessene Ausgangskennlinien der JFETs von Chip H8 der Wafer 232, 233 und 236.

5. Experimentelle Ergebnisse



(a) Theoretische (gestrichelt) und gemessene Ausgangskennlinien (durchgezogen) des JFETs.



(b) Simulierte (gestrichelt) und gemessene Ausgangskennlinien (durchgezogen) des JFETs.

Abbildung 5.29.: Vergleich der experimentellen Ausgangskennlinien mit der nach Shockley (a) berechneten und mit Silvaco (b) simuliert Ausgangskennlinien von JFET H8 auf Wafer 233.



der Theorie aus Kapitel 2.1, bei einer Temperatur  $T = 300 \text{ K}$  berechnet. Die Kanal-dotierung beträgt  $N_D = 2,6 \cdot 10^{16} \text{ cm}^{-3}$ , die Kanalhöhe  $a = 346 \text{ nm}$ , die Gatelänge  $L = 5 \text{ }\mu\text{m}$  und die Gateweite  $Z = 17\pi$ . Die gemessenen Drainströme (durchgezogene Linien) sind allgemein kleiner als, die theoretisch berechneten. Dies ist generell für das *Constant Mobility* Modell der Fall [24, 26].

Ein Vergleich von Abbildung 5.28(b) mit dem simulierten Ausgangskennlinienfeld in Abbildung 5.23(b) zeigt eine deutliche Diskrepanz der Drainströme. Einer der größten Unsicherheitsfaktoren sind die Dotierungen und deren Messung mittels SRP, wie in Kapitel 4.2.2 ausgeführt. Auch die Aktivierung der Dotierstoffe bei vergleichsweise niedrigen Temperaturen von  $T = 800 \text{ }^\circ\text{C}$  [39] reduzieren die Aussagekraft der SRP-Messung. Weiterhin sind die Implantationen für die SRP-Messungen und die JFETs teilweise an verschiedenen Geräten vorgenommen worden<sup>5</sup>.

Abbildung 5.29(b) zeigt mit Silvaco simulierte Ausgangskennlinien (gestrichelt) und die gemessenen Ausgangskennlinien von JFET H8 auf Wafer 233. Für die Simulation wurden die Werte der Dotierungen für Kanal, Isolation und die verschiedenen Kontakte angepasst. Die in der Simulation verwendete Dotierung ist um den Faktor 1,6 größer, als die experimentell bestimmte Dotierung aus den SRP-Messungen. Wie zu sehen ist, stimmen die Simulationen sehr gut mit den Messungen überein. Minimale Abweichungen ergeben sich hauptsächlich im Sättigungsbereich des Transistors. So steigt der Drainstrom  $I_D$  in den Simulationen etwas geringer mit der Drainspannung  $V_D$  an.

Die Problematiken bei einer SRP-Messung kamen bereits in Kapitel 3 zur Sprache. In diesem Rahmen ist eine Abweichung von nur einem Faktor 1,6 in der Dotierung ein sehr gutes Ergebnis. Das Maximum der Dotierung im Kanal beträgt laut SIMS-Messung  $(4 - 5) \cdot 10^{16} \text{ cm}^{-3}$  (vgl. Abbildung 4.3). Aus der SRP-Messung ergibt sich eine mittlere Dotierung von  $2,6 \cdot 10^{16} \text{ cm}^{-3}$ , was einen Unterschied von Faktor 1,5 - 1,9 ergibt. Die in der Simulation verwendete Dotierung entspricht folglich in etwa der Dotierung des Kanals nach den SIMS-Messungen. Somit ist der Großteil der Dotieratome elektrisch aktiv.

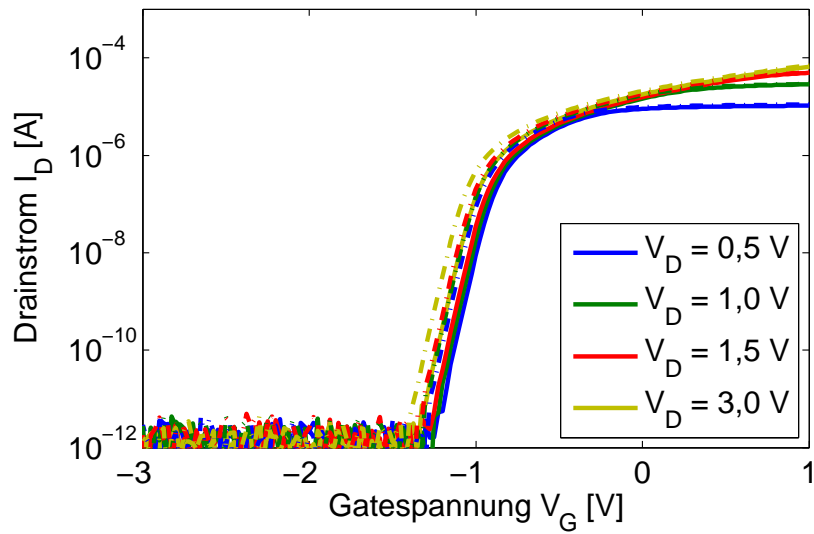
Weiterhin zu beachten ist, dass in der Simulation von idealen ohmschen Kontakten ausgegangen wird und keine Oberflächenströme berücksichtigt werden. Die Abweichung zwischen Messung und Simulation im Sättigungsbereich kommt vermutlich durch geringe Differenzen in den Dotierungen der Kontakte zustande. Weiterhin werden die vorgegebenen Standardwerte für die angewandten Modelle verwendet.

## Transferkennlinien

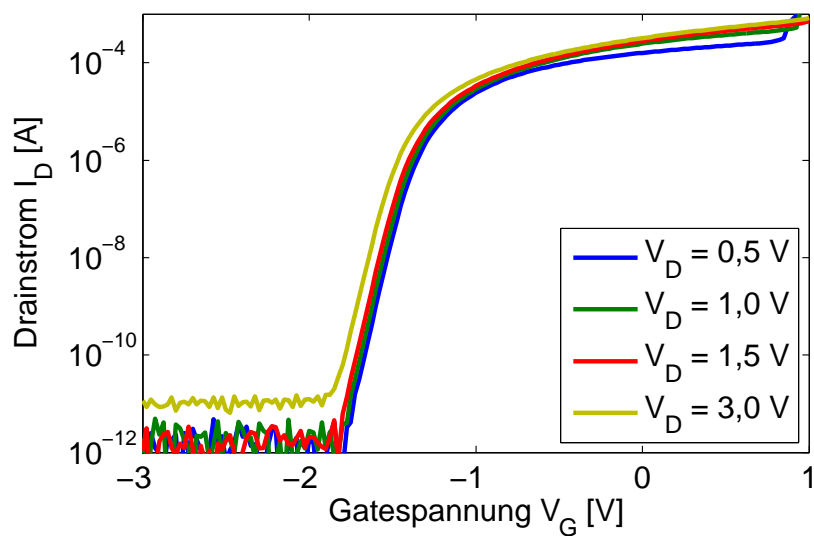
Ein ähnliches Bild zeigen die Transferkennlinien der Transistoren in Abbildung 5.30. Aufgetragen ist der Drainstrom  $I_D$  in Abhängigkeit von der angelegten Gatespannung  $V_G$ . Die Drainspannung  $V_D$  wird in Schritten  $\Delta V_D = 0,5 \text{ V}$  zwischen  $V_D = 0,5 \text{ V}$  und  $V_D = 3,0 \text{ V}$  verändert. Wie schon in den Ausgangskennlinien zu sehen ist, sind die Drainströme  $I_D$  der mit Siliziumnitrid passivierten JFETs (Abbildung 5.30(a)) um ca. eine Größenordnung geringer, als beim Transistor mit abgeschiedenem Siliziumoxid (Ab-

<sup>5</sup>Dies ist bedingt durch die vertragliche und personelle Situation bei einem der Implanterbetreiber.

## 5. Experimentelle Ergebnisse



(a) Transferkennlinie des JFETs von Chip H8 der Wafer 232 (durchgezogen) und 236 (gepunktet). Als Passivierung wird Siliziumnitrid verwendet.



(b) Transferkennlinie des JFETs von Wafer 233, Chip H8. Als Passivierung wird ein Abscheideoxid verwendet.

Abbildung 5.30.: Gemessene Transferkennlinien der JFETs von Chip H8 der Wafer 232, 233 und 236.

bildung 5.30(b)). Ist im Unterschwellbereiche der Transferkennlinien der JFETs von den Wafern 232 und 236 ein Unterschied im Drainstrom erkennbar, so sind die Unterschiede bei eingeschalteten Transistoren sehr gering.

Die Verschiebung des Unterschwellbereichs der Transistoren drückt sich auch in einer veränderten Einsatzspannung  $V_T$  aus. So liegt die experimentell bestimmte Einsatzspannung von JFET H8 auf Wafer 232 bei  $V_{T232} = -1,00 V$  bei einer Drainspannung von  $V_D = 0,5 V$ . Im Vergleich dazu hat der Transistor H8 von Wafer 236 eine geringfügig niedrigere Einsatzspannung  $V_{T236} = -1,07 V$ . Eine deutlich kleinere Einsatzspannung hingegen zeigt der JFET H8 von Wafer 233. Diese liegt bei  $V_{T233} = -1,54 V$ , bei einer Drainspannung von  $V_D = 0,5 V$ . Ausgehend von einer Kanalhöhe  $a = 346 nm$  und einer Kanaldotierung von  $N_D = 2,6 \cdot 10^{16} cm^{-3}$  (siehe Kapitel 4.2.2) ergibt sich nach Gleichung 2.10 eine Einsatzspannung von  $V_T = -1,42 V$ . Somit stimmt die theoretische Einsatzspannung  $V_T$  mit der gemessenen Einsatzspannung von JFET H8 von Wafer 233 gut überein.

Ähnlich unterschiedliche Einsatzspannungen zeigen sich bei einer Drainspannung von

Wafer	$I_{on}/I_{off}$ [Dek.]	$S$ [mV/Dek.]	$S$ [mV/Dek.]	$V_T$ [V]	$V_T$ [V]
	$V_D = 0,5 V$	$V_D = 0,5 V$	$V_D = 3,0 V$	$V_D = 0,5 V$	$V_D = 3,0 V$
232	7,0	69,80	70,91	-1,00	-1,10
233	9,6	69,23	71,94	-1,54	-1,58
236	6,6	69,84	71,12	-1,07	-1,17

Tabelle 5.7.: Kenngrößen der JFETs H8 auf den Wafern 232, 233 und 236.

$V_D = 3,0 V$ . Die Einsatzspannungen bei verschiedenen Drainspannungen  $V_D$  sind in Tabelle 5.7 aufgeführt. Außerdem sind in der Tabelle die Unterschwellsteigungen und das Verhältnis der on-Ströme zu off-Strömen angegeben (vgl. Abbildung 2.4(a)).

Das Verhältnis  $\frac{I_{on}}{I_{off}}$  ist aus den Drainströmen bei einer Gatespannung von  $V_G = -2,0 V$  im off-Bereich und bei einer Gatespannung von  $V_G = 1,0 V$  im on-Bereich ermittelt. Die angelegte Drainspannung beträgt  $V_D = 0,5 V$ . Die Verhältnisse der JFETs H8 auf den Wafern 232 und 236 differieren nur minimal voneinander. Ein deutlich größeres Verhältnis von  $\frac{I_{on}}{I_{off}}$  zeigt sich bei Transistor H8 von Wafer 233. Dies ist in erster Linie auf den höheren Drainstrom zurückzuführen.

Die Unterschwellsteigung für die drei Transistoren unterscheidet sich nur geringfügig und fluktuiert im Rahmen der Mess- und Prozessgenauigkeit. Sie ist mit  $S \approx 70 mV/Dek.$  etwa  $10 mV/Dek.$  höher als das theoretische Minimum von  $S_{min} = 60 mV/Dek.$  [24]. In Tabelle 5.7 sind die Unterschwellsteigungen für Drainspannungen von  $V_D = 0,5 V$  und  $V_D = 3,0 V$  enthalten.

Simulationen der Transferkennlinien des JFETs zeigen ebenfalls eine sehr gute Übereinstimmung mit den experimentellen Ergebnissen. In Abbildung 5.31 sind die Simulationen (gestrichelt) und die Messungen (durchgezogen) der Transferkennlinien des JFETs H8 auf Wafer 233 dargestellt. Die Simulationen sind, basierend auf den Erkenntnissen beim Vergleich der Ausgangskennlinien, mit dem angepassten Dotierprofil der SRP-Messungen durchgeführt.

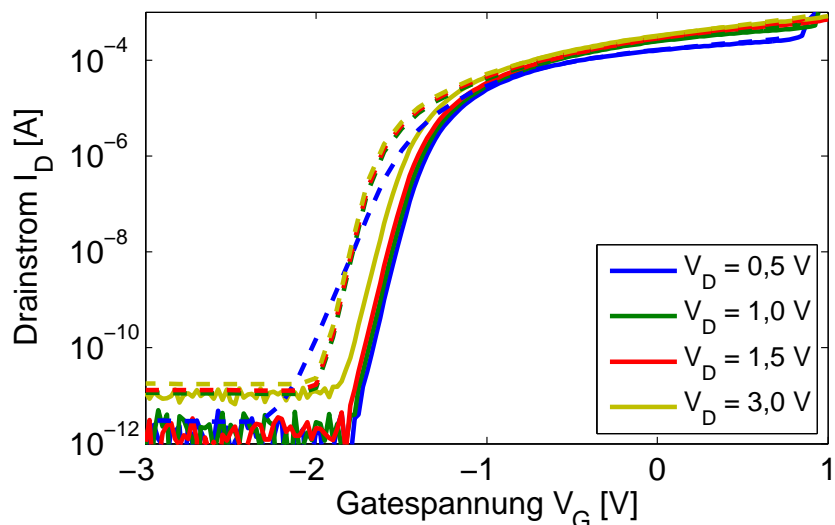


Abbildung 5.31.: Vergleich einer mit Silvaco simulierten (gestrichelt) und einer gemessenen (durchgezogene) Transferkennlinie von JFET H8 auf Wafer 233.

Insbesondere im on – Bereich stimmen Experiment und Simulation hervorragend überein. Leichte Abweichungen zeigen sich in der Einsatzspannung  $V_T$ , die in der Simulation minimal geringer ausfällt. Dies zeigt sich in einer Verschiebung des Unterschwellbereichs. Unter Berücksichtigung der idealisierten Simulation und der bereits erwähnten Unsicherheiten in der Bestimmung der Kanaldotierung stimmen Simulation und Experiment sehr gut überein.

In der Prozessierung unterscheiden sich die Wafer nur in der Passivierung. Daraus resultiert auch eine unterschiedliche Behandlung bei der Metallisierung. Eine mögliche Ursache für die deutlichen Unterschiede in der Stromtragfähigkeit der Transistoren könnten verschiedene Kontaktwiderstände sein, die durch eine unvollständige Entfernung der Passivierung verursacht werden. Um zufällige Fluktuationen in der Herstellung als Ursache auszuschließen, wird im Folgenden eine statistische Auswertung aller elektrisch charakterisierten JFETs vorgenommen.

### 5.2.3. Statistische Auswertung

Statistisch ausgewertet werden die verschiedenen Dioden der Transistoren sowie unterschiedliche Kenngrößen (z. B. Einsatzspannung  $V_T$ , Unterschwellsteigung  $S$  und Steilheit  $g_m$ ) der JFETs. Wie in den vorangegangenen Abschnitten erfolgt hauptsächlich ein Vergleich der JFETs von Wafer 232, 233 und 236.

Die hier verwendeten Methoden zur statistischen Auswertung setzen eine Normalver-

teilung der Daten voraus. Um zu prüfen, ob tatsächlich eine Normalverteilung vorliegt, wird der Kolmogorov–Smirnov–Test<sup>6</sup> verwendet [59]. Alle in diesem Kapitel verwendeten Verteilungen haben einen Signifikanzwert  $p > 5\%$ . Weiterhin wird zur Bestätigung noch der Lilliefors–Test<sup>7</sup> verwendet. Beide Tests sind in der Matlab–Statistik–Box integriert. Alle im Folgenden abgebildeten Histogramme erfüllen die Bedingung der Normalverteilung nach dem Kolmogorov–Smirnov und Lilliefors–Test. Sind die Daten nicht normalverteilt, so wird dies explizit erwähnt.

### Leckstrom

Im Histogramm in Abbildung 5.32(a) ist die Verteilung der Leckströme für die Source–Isolations–Dioden der JFETs bei einer Sperrspannung von  $V_S = 15\text{ V}$  für die Wafer 232 (blau), 233 (grün), 234 (gelb) und 236 (rot) gezeigt. Deutlich ist zu erkennen, dass die Source–Isolations–Dioden von Wafer 232 den geringsten Leckstrom aufweisen, gefolgt von den Dioden von Wafer 234. In den Histogrammen der beiden Wafer sind jeweils die drei Dioden mit den höchsten Leckströmen nicht berücksichtigt.

Die höchsten Leckströme und eine breite Streuung weisen die Dioden auf Wafer 233 auf. Um eine Normalverteilung zu erreichen sind 31 Dioden mit sehr hohen Leckströmen  $I_{LSI233} > 3 \cdot 10^{-10}\text{ A}$  nicht berücksichtigt. Dies entspricht einer Quote von 49%. Jedoch weißt nur eine Diode einen Leckstrom von  $I_L > 1 \cdot 10^{-9}\text{ A}$  auf.

Bei den Source–Isolations–Dioden von Wafer 236 sind hingegen alle Dioden in der Verteilung berücksichtigt. Diese zeigen bei einer Sperrspannung von  $|V_S| = 15\text{ V}$  bereits einen leichten Anstieg im Leckstrom, liegen aber immer noch deutlich unterhalb von  $I_L < 1 \cdot 10^{-9}\text{ A}$ . Eine Ausnahme bilden drei Dioden, die einen geringeren Anstieg im Leckstrom verzeichnen.

Um die Histogramme miteinander zu vergleichen, werden diese in eine normierte Normalverteilung transformiert [59]:

$$z = \frac{x - \mu}{\sigma}. \quad (5.5)$$

Hierbei ist  $z$  der normalisierte Wert,  $x$  der gemessene Wert,  $\mu$  der Mittelwert und  $\sigma$  die Standardabweichung. Auf der  $x$ -Achse sind Vielfache der Standardabweichung aufgetragen und  $x = 0$  entspricht dem Mittelwert  $\mu$ . In einem Bereich von  $\mu \pm 3\sigma$  sollten 99,7% aller Messungen<sup>8</sup> liegen [59].

Wie Abbildung 5.32(b) zu entnehmen ist, liegen alle Dioden von Wafer 232 und 234 in einem Bereich von  $\mu = \pm 2\sigma$ . In diesem Intervall sollten sich 95% aller Messwerte befinden [59]. Dies ist für Wafer 232 und 234 erfüllt, da jeweils nur drei Dioden von 63 ausgeschlossen sind. Im Gegensatz dazu gibt es bei Wafer 233 stärkere Schwankungen zu höheren Leckströmen hin. Wafer 236 erfüllt die Six Sigma Bedingung.

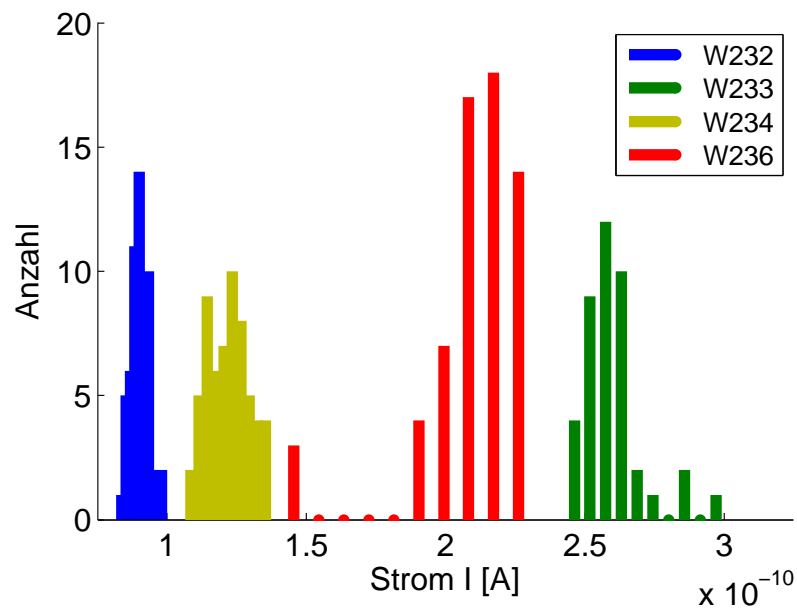
Die Leckströme für die Drain–Isolations–Dioden, bei einer Sperrspannung  $V_S = 15\text{ V}$  variieren hingegen nur geringfügig (siehe Abbildung 5.33(a)). Die Leckströme aller vier

<sup>6</sup>Dies ist ein gängiger Test in der Statistik, um zu prüfen ob eine Normalverteilung vorliegt

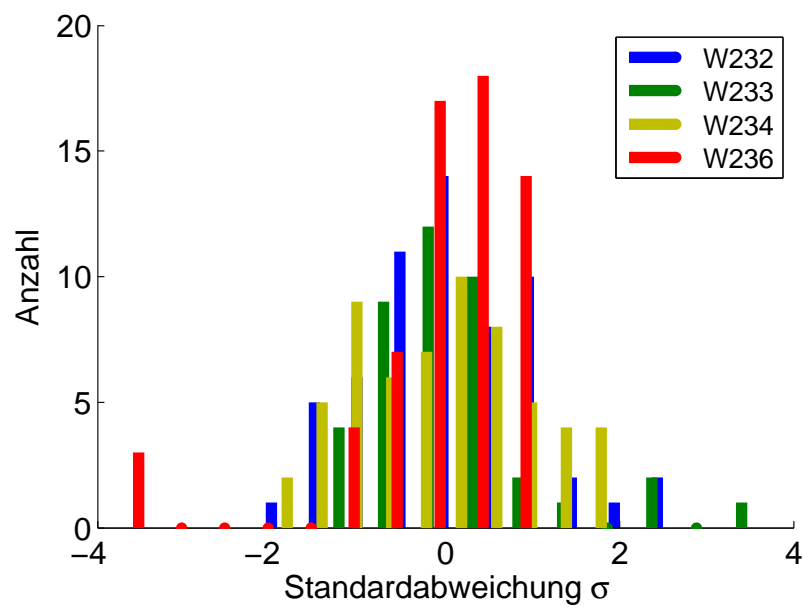
<sup>7</sup>Der Lilliefors–Test ist ein modifizierter Kolmogorov–Smirnov–Test für den Fall, dass der Erwartungswert und die Abweichung aus den Messdaten ermittelt werden [60].

<sup>8</sup>Six Sigma Bedingung

5. Experimentelle Ergebnisse

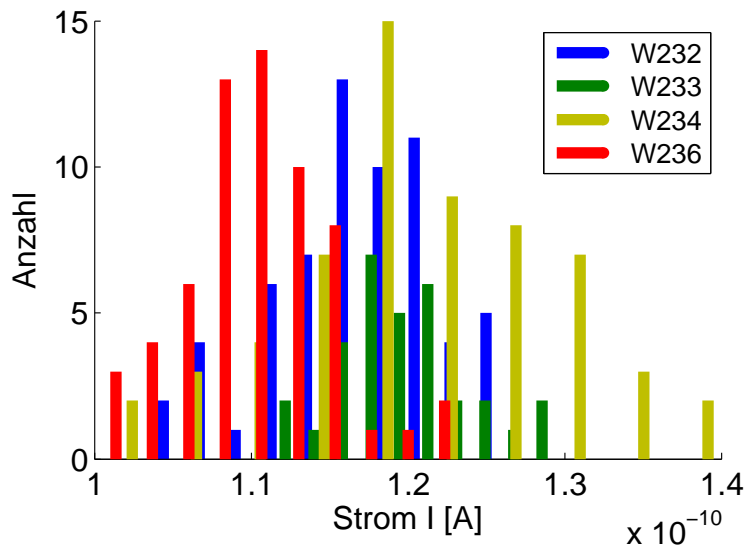


(a) Normalverteilung der Leckströme.

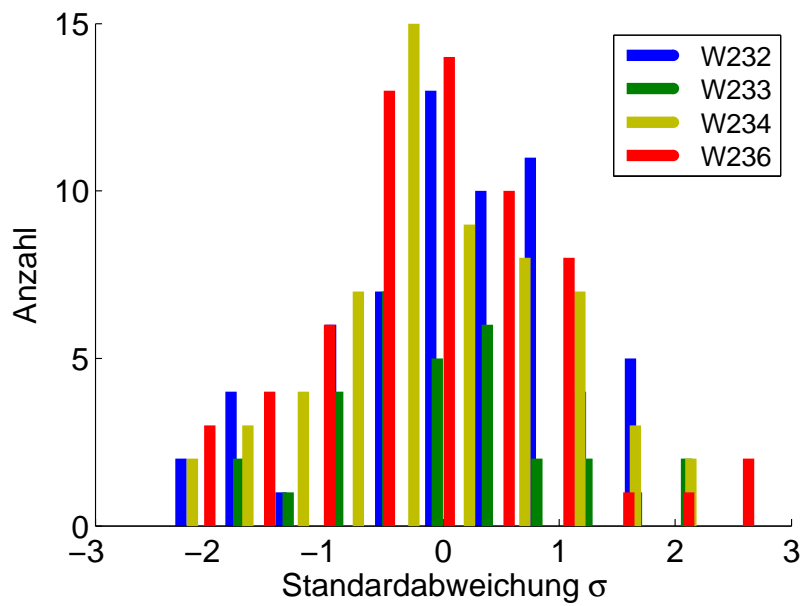


(b) Normierte Normalverteilung der Leckströme.

Abbildung 5.32.: Absolute und normierte Normalverteilung der Leckströme für die Source-Isolations-Dioden der JFETs auf den Wafern 232, 233, 234 und 236. Die Sperrspannung beträgt  $V_S = 15$  V.



(a) Normalverteilung der Leckströme.



(b) Normierte Normalverteilung der Leckströme.

Abbildung 5.33.: Absolute und normierte Normalverteilung der Leckströme der Drain-Isolations-Dioden der JFETs auf den Wafern 232, 233, 234 und 236. Die Sperrspannung beträgt  $V_S = 15$  V.

## 5. Experimentelle Ergebnisse

Wafer befinden sich in einem Bereich von  $[1,0 \cdot 10^{-10} \text{ A}, 1,4 \cdot 10^{-10} \text{ A}]$ . Bei Wafer 232 sind im Histogramm alle Dioden berücksichtigt. Von Wafer 233 sind 22 Dioden nicht im Histogramm enthalten. Dies entspricht einer Quote von 35%. Die ausgeschlossenen Dioden zeigen vergleichsweise hohe Leckströme und eine große Streuung im Intervall von  $[3 \cdot 10^{-10} \text{ A}, 7 \cdot 10^{-10} \text{ A}]$ . Bei Wafer 234 sind wieder die gleichen drei Dioden nicht im Histogramm berücksichtigt, wie schon zuvor. Bei Wafer 236 ist diesmal eine Diode nicht berücksichtigt. Diese zeigt einen Leckstrom von  $I_L > 1 \cdot 10^{-3} \text{ A}$ .

Die standardisierte Normalverteilung (Abbildung 5.33(b)) bestätigt das Bild. Die Wafer 232 und 236 erfüllen die Bedingung, dass 99,7% aller Dioden im Bereich von  $\mu = \pm 3\sigma$  liegen. Bei Wafer 234 sind es wiederum 95% aller Dioden. Eine sehr breite Streuung im Leckstrom zeigen die Dioden von Wafer 233.

Auch die Leckströme für die Drain–Gate–Dioden schwanken im Vergleich zueinander nur geringfügig (siehe Abbildung 5.34(a)). Die Leckströme bei einer Sperrspannung von  $V_S = 15 \text{ V}$  befinden sich in einem Bereich von  $[1,4 \cdot 10^{-10} \text{ A}, 2,4 \cdot 10^{-10} \text{ A}]$ . Bei Wafer 232 sind alle Dioden berücksichtigt. Von Wafer 233 sind 36 Dioden nicht im Histogramm enthalten, was einer Quote von 57% entspricht. Bei Wafer 236 sind vier Dioden nicht berücksichtigt. Diese zeigen einen Leckstrom im Bereich von  $[1,4 \cdot 10^{-3} \text{ A}, 4,3 \cdot 10^{-3} \text{ A}]$ . Da die Drain–Gate–Dioden von Wafer 234 einen sehr hohen Leckstrom aufweisen, sind diese in den Histogrammen nicht berücksichtigt.

Die standardisierte Normalverteilung zeigt Abbildung 5.34(b). Auch bei den Drain–Gate–Dioden von Wafer 232 liegen alle Dioden in Bereich von  $\mu = \pm 3\sigma$ . Wafer 236 hingegen erfüllt die Bedingung knapp nicht, die Dioden von Wafer 233 zeigen wieder eine sehr starke Streuung im Leckstrom.

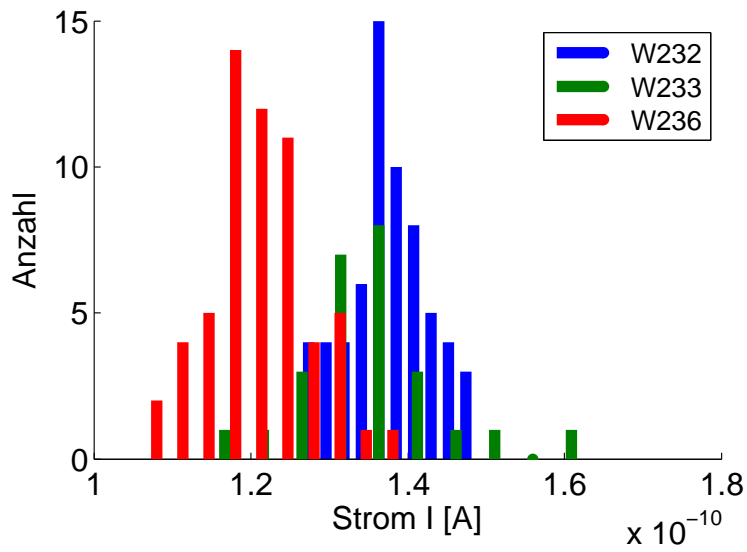
Die Source–Gate–Dioden werden hier nicht als Histogramm aufgeführt, jedoch einige

Wafer	$J_{min}$ [A/ $\mu\text{m}$ ]	$J_{max}$ [A/ $\mu\text{m}$ ]	Median $\tilde{J}$ [A/ $\mu\text{m}$ ]	$\sigma$ [A/ $\mu\text{m}$ ]	Spannweite R [ $\sigma$ ]
232	$1,06 \cdot 10^{-12}$	$1,66 \cdot 10^{-12}$	$1,21 \cdot 10^{-12}$	$1,41 \cdot 10^{-13}$	4,28
233	$8,46 \cdot 10^{-11}$	$1,18 \cdot 10^{-09}$	$2,18 \cdot 10^{-10}$	$2,16 \cdot 10^{-10}$	5,09
234	$2,32 \cdot 10^{-5}$	$3,43 \cdot 10^{-5}$	$3,18 \cdot 10^{-5}$	$2,78 \cdot 10^{-6}$	3,99
236	$4,88 \cdot 10^{-12}$	$9,11 \cdot 10^{-11}$	$3,42 \cdot 10^{-11}$	$1,43 \cdot 10^{-11}$	6,05

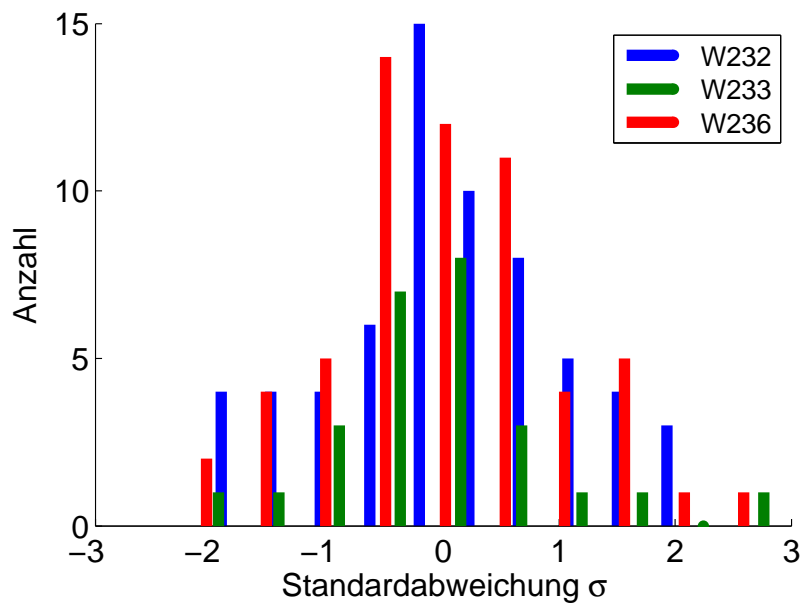
Tabelle 5.8.: Statistische Kenngrößen zu den Source–Gate–Dioden der Wafer 232, 233, 234 und 236.

Werte in Tabelle 5.8 zusammengefasst. Die Dioden von Wafer 232 zeigen ab einer Sperrspannung von ca.  $V_S = 12 \text{ V}$  einen Abfall des Leckstroms. Vermutlich ist dies eine Folge von parasitären Kapazitäten. Die Dioden von Wafer 233 und 236 zeigen einen deutlichen Anstieg im Leckstrom, zu erkennen an der großen Spannweite. Diese ist, zum besseren Vergleich, in Tabelle 5.8 als Vielfaches der Streuung  $\sigma$  angegeben. Die pn–Übergänge der Dioden sperren nicht und zeigen ohmsches Verhalten. Zurückzuführen ist die auf Probleme bei der Justage der Masken (siehe nächster Abschnitt).





(a) Normalverteilung der Leckströme.



(b) Normierte Normalverteilung der Leckströme.

Abbildung 5.34.: Absolute und normierte Normalverteilung der Leckströme der Drain-Gate-Dioden der JFETs auf den Wafern 232, 233 und 236. Die Sperrspannung beträgt  $V_S = 15 V$ .

### Fazit

Die Betrachtung der Histogramme der Source–Isolations–Dioden auf den Wafern 232, 233, 234 und 236 (Abbildung 5.32) lässt nicht erkennen, dass die verschiedenen Prozesse die Eigenschaften der Dioden beeinflussen. Dies bestätigt sich bei Betrachten der Drain–Isolations–Dioden (Abbildung 5.33) und Drain–Gate–Dioden (Abbildung 5.34). So unterscheiden sich die Leckströme der jeweiligen Drain–Dioden nur marginal. Im Gegensatz dazu ist der Unterschied in den Leckströmen für die Source–Isolations–Dioden zwischen den einzelnen Wafern deutlich erkennbar. Unter Berücksichtigung der Source–Gate–Dioden ist von einem Problem bei den Source–Dioden auszugehen. Steigt der Leckstrom bei den Source–Gate–Dioden der Wafer 233 und 236 im Messbereich bereits an, so sind die Source–Gate–Dioden von Wafer 234 alle defekt. Bei den Source–Gate–Dioden von Wafer 232 hingegen nimmt der Leckstrom ab. Möglicherweise spielen hierbei parasitäre Kapazitäten oder alternative Leckstrompfade eine Rolle.

Beim Vergleich der Leckströme der beiden Source–Dioden mit den Leckströmen der beiden Drain–Dioden ist zu erkennen, dass dieser bei den Source–Dioden bereits bei geringeren Spannungen ansteigt. Dies ist auf vergleichsweise höhere Stromdichten an den Sourcekontakten zurückzuführen. Ursache sind die unterschiedlichen Radien für die Source– bzw. Drainkontakte und den daraus resultierenden Diodenflächen [26].

Die in der Herstellung zu Wafer 232 identischen Wafer 229 (Abbildungen<sup>9</sup> C.1 und C.2) und 231 (siehe Abbildungen<sup>10</sup> C.3 und C.4) zeigen bei den Source–Isolations–Dioden und Source–Gate–Dioden einen teilweisen Anstieg im Leckstrom und eine entsprechend breite Streuung.

Weiterhin ist auffällig, dass bei einigen Kontakten von Wafer 229 die Passivierung nicht vollständig entfernt wurde. Diese Dioden befinden sich im unteren Drittel des Wafers. Verantwortlich hierfür ist eine zu geringe Ätzdauer bei der Siliziumnitridentfernung im RIE–Ätzer. So weist der Ätzer kein homogenes Ätzprofil über einen 100 mm Wafer aus [46]. Die Ätzrate nimmt zu den Rändern des Wafers hin deutlich ab.

Die Passivierung mit Siliziumnitrid der Wafer 232 und 236 bzw. das abgeschiedene Siliziumoxid bei den Wafern 233 und 234 hat keinen nachweisbaren Einfluss auf die Leckströme. So hätten aufgrund möglicher Grenzflächenzustände oder Oberflächeneffekte durchaus Unterschiede in den Leckströmen auftreten können.

Die wahrscheinlichste Ursache für den Ausfall sowohl der Source–Gate–Dioden, als auch der Drain–Gate–Dioden von Wafer 234 sind Fehler bei der Justage von Masken. Sehr deutlich ist dies bei Wafer 238 auszumachen. Alle Dioden auf Wafer 238 zeigen das Verhalten von ohmschen Widerständen. Die Ursache hierfür sind Schwierigkeiten bei der Ausrichtung der Masken. Alle Justagemarken werden bei der Öffnung des thermischen Oxids für die anschließende Abscheidung von polykristallinem Silizium hergestellt. Jedoch die Öffnung des Siliziumoxids für die Dotierung der Kontakte erfolgt erst in einem späteren Schritt. Somit ist es möglich, dass sich auch kleinste Ungenauigkeiten bei der Justage der verschiedenen Masken summieren und nicht mehr korrigierbare Fehler verursachen. Um Abweichungen bei der Justierung zu verringern, erfolgt die Belichtung

---

<sup>9</sup>Bei den Histogrammen liegt keine Normalverteilung vor.

<sup>10</sup>Bei den Histogrammen liegt keine Normalverteilung vor.

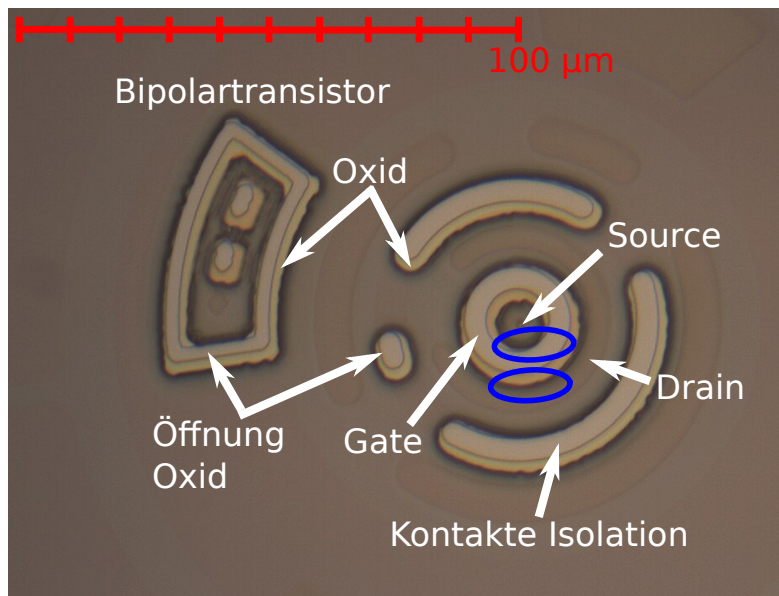


Abbildung 5.35.: Probleme bei der Justage der Maske PCVN. Nicht mit Fotolack bedeckte Bereiche von Siliziumoxid zeigen sich in Ocker. Die für die Dotierung geöffneten Bereiche sind hellbraun sichtbar. Weiterhin ist eine Überlappung des bereits dotierten Source- bzw. Drainkontakts mit dem Gatekontakt zu sehen (blau markiert).

einiger Masken, die mit besonders hoher Präzision justiert werden müssen, nicht im Proximity-Modus, sondern im Kontaktmodus.

Abbildung 5.35 zeigt die Maskierung für die Implantation der Bor dotierten Kontakte, wie beispielsweise das Gate. Die Öffnungen im thermisch gewachsenem Feldoxid sind hellbraun zu sehen. Das Siliziumoxid zeigt sich in Ocker, das mit Fotolack bedeckte Gebiet ist dunkelbraun.

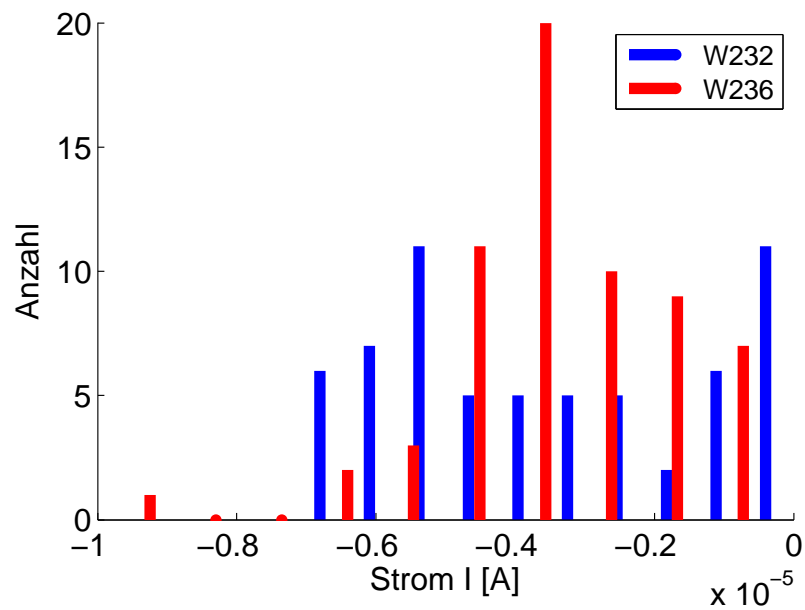
Deutlich erkennbar ist, dass es bereits bei der Öffnung (hellbraun) des ersten thermischen Oxids (Feldoxid) zu einer leichten Versetzung der Maske kam. So liegt das Gebiet für die Dotierung des Gates sehr dicht am Sourcekontakt und am Drainkontakt (blau markiert). Da noch thermische Prozesse folgen, die Dotierstoffe diffundieren lassen, können diese sich hier vermischen.

Weiterhin lässt sich feststellen, dass der zusätzliche RIE-Prozessschritt zum Veraschen des Fotolacks keine feststellbaren Auswirkungen auf die Eigenschaften der Diodenleakströme hat. Es zeigen sich keine Unterschiede auf den Wafern 232 und 236, die auf Schäden eines Plasmas zurückzuführen sind.

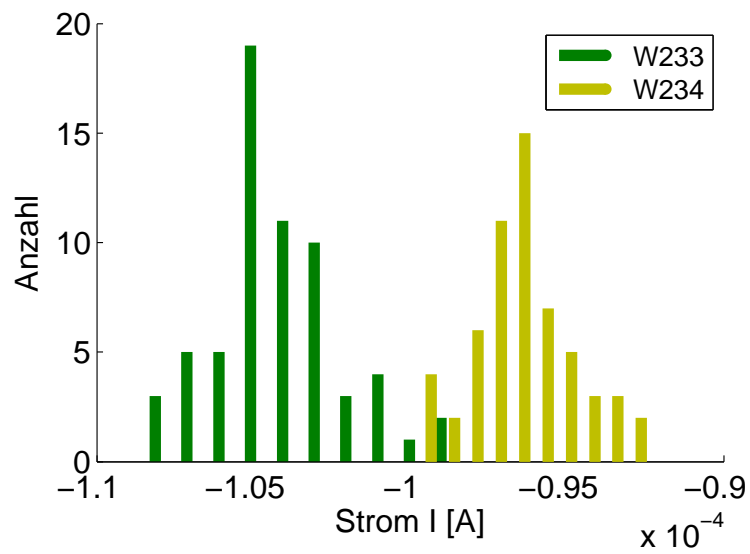
### On-Strom

Im Folgenden werden die Ströme der verschiedenen Dioden in Durchlassrichtung miteinander verglichen. Ab einer betragsmäßigen Spannung von etwa  $|V| \approx 0,7 \text{ V}$  in Durchlassrichtung ist eine Siliziumdiode an [61]. Im Weiteren werden die Ströme der verschiedenen

5. Experimentelle Ergebnisse



(a) Verteilung der Diodenströme auf den Wafern 232 und 236.



(b) Verteilung der Diodenströme auf den Wafern 233 und 234.

Abbildung 5.36.: Histogramme von Strömen der Source–Isolations–Dioden der JFETs auf den Wafern 232, 233, 234 und 236, bei einer angelegten Spannung von  $|V| = 0,7 \text{ V}$  in Durchlassrichtung.

Dioden in einem JFET bei dieser Spannung  $|V| = 0,7 \text{ V}$  untersucht. Es werden wieder die Wafer 232, 233, 234 und 236 miteinander verglichen.

In Abbildung 5.36(a) ist ein Histogramm der Source-Isolations-Diodenströme der Wafer 232 und 236 in Durchlassrichtung bei einer angelegten Spannung von  $|V| = 0,7 \text{ V}$  gezeigt und alle Dioden sind berücksichtigt. Die Ströme liegen betragsmäßig in einem Bereich  $[4,47 \cdot 10^{-8}, 9,72 \cdot 10^{-6}]$ . Die Diodenströme von Wafer 232 zeigen eine sehr breite Verteilung, die nicht mehr als normalverteilt anzusehen ist. Hingegen können die Diodenströme von Wafer 236 als normalverteilt behandelt werden.

Die Source-Isolations-Dioden der Wafer 233 und 234 sind bei gleicher Spannung vom Betrag her deutlich größer, wie in Abbildung 5.36(b) zu sehen ist. Um eine Normalverteilung der Diodenströme zu erreichen, sind bei Wafer 234 fünf Dioden mit einem Strom  $|I| > 0,9 \cdot 10^{-4} \text{ A}$  nicht berücksichtigt. Ein Vergleich zeigt, dass die Ströme der Source-Isolations-Dioden von Wafer 233 und 234 in etwa zwei Größenordnungen mehr Strom führen, als die Dioden der Wafer 232 und 236.

Die standardisierten Normalverteilungen zeigt Abbildung 5.37. Die Ströme in Durch-

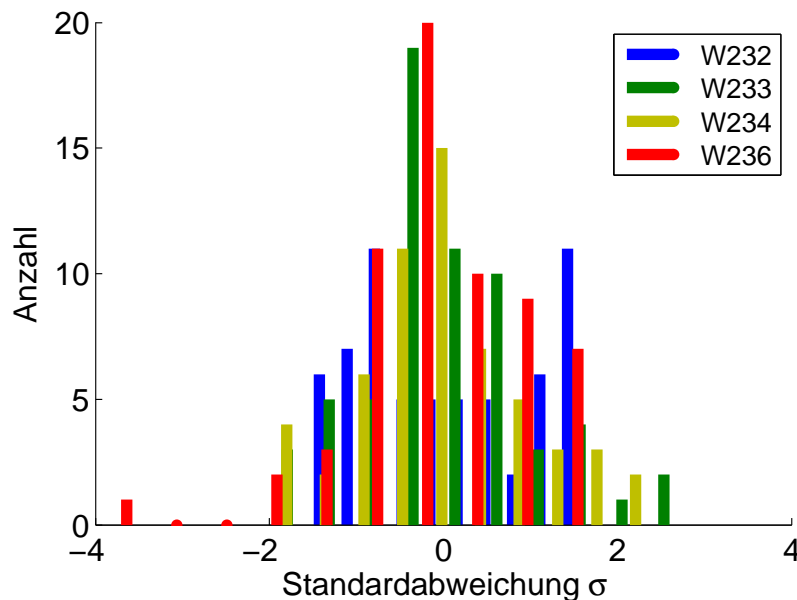


Abbildung 5.37.: Histogramm der normierten Ströme der Source-Isolations-Dioden der JFETs auf den Wafern 232, 233, 234 und 236, bei einer Spannung von  $|V| = 0,7 \text{ V}$  in Durchlassrichtung.

lassrichtung der Source-Isolations-Dioden von Wafer 232 sind nach dem Kolmogorov-Smirnov-Test, aber nicht nach dem Lilliefors-Test normalverteilt. Somit ist nur eine der beiden gewählten Bedingungen erfüllt. Da die Schwankungsbreite der Diodenströme bei den JFETs der Wafer 232 und 236 in etwa gleich sind, sind die Ströme doch mit dargestellt. Bei den Dioden der Wafer 232 und 233 liegen entsprechend einer Normal-

## 5. Experimentelle Ergebnisse

verteilung alle Dioden im Intervall von  $\mu \pm 3\sigma$ . Lediglich bei Wafer W236 liegt eine Diode nicht in diesem Bereich. Bei Wafer 234 sind fünf Dioden nicht in der Verteilung enthalten.

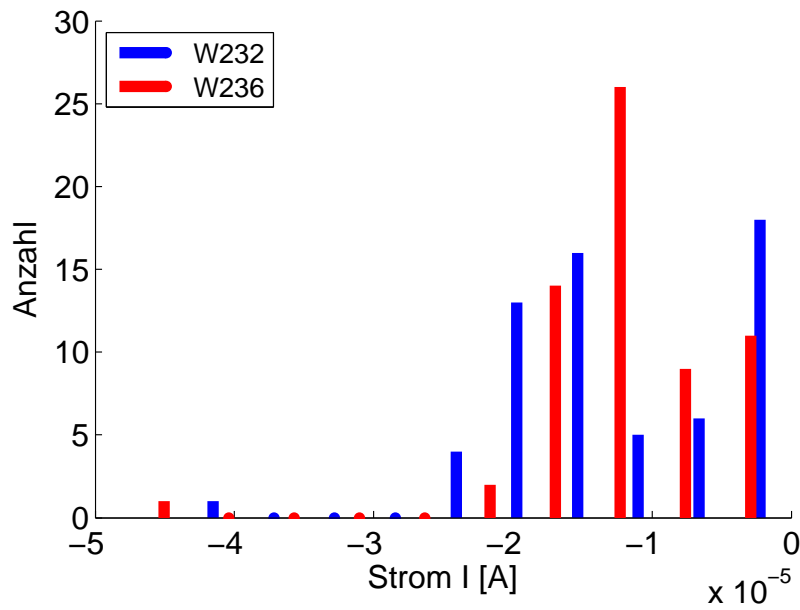
Im Gegensatz zu den Source-Isolations-Dioden der mit Siliziumnitrid passivierten Wafern 232 und 236 (Abbildung 5.38(a)) liegt bei den on-Strömen der Drain-Isolations-Dioden dieser Wafer keine Normalverteilung vor. Auch bei den Wafern mit einem abgeschiedenen Siliziumoxid als Passivierung (Abbildung 5.38(b)) weisen die on-Ströme bei einer angelegten Spannung von  $|V| = 0,7 \text{ V}$  in Durchlassrichtung keine Normalverteilung auf.

Das gleiche Bild ergibt sich bei der Betrachtung der Histogramme für die on-Ströme der Source-Gate-Dioden und der Drain-Gate-Dioden (Abbildung 5.39 und 5.40) dieser vier Wafer. Hierbei ist jeweils eine Diode von Wafer 234 nicht berücksichtigt. Die Verteilungen sind linkslastig, also tritt eine verstärkte Abweichung hin zu betragsmäßig kleineren Strömen auf. Diese ist bei allen Wafern erkennbar, unabhängig von der Passivierung. Bei den Gatedioden der beiden mit Siliziumoxid passivierten Dioden (Wafer 233 und 234) sind die on-Ströme deutlich größer als bei den mit Siliziumnitrid passivierten Wafern (Wafer 232 und 236). Generell zeigt sich eine deutlich größere Spannweite bei der Verteilung der on-Ströme für mit Siliziumnitrid passivierte Bauelemente.

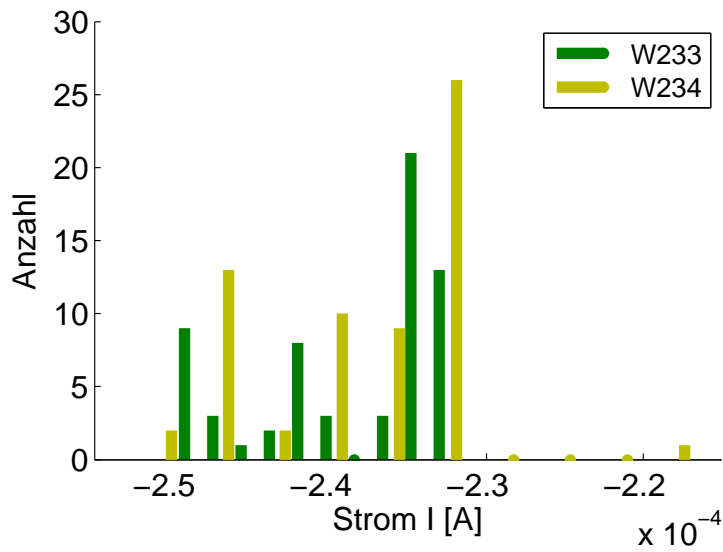
### Fazit

Auch im Bereich des on-Stroms bei den verschiedenen Dioden innerhalb der JFETs lässt sich ein markanter Unterschied zwischen Wafern mit Siliziumnitrid und abgeschiedenem Siliziumoxid feststellen. Letztere zeigen deutlich höhere Ströme bei in Durchlassrichtung geschalteten Dioden. Zudem zeigen diese Dioden eine geringere Spannweite in der Streuung der Diodenströme. Hierbei ist auch zu beobachten, dass der Strom der Dioden am Flat des Wafers geringere Schwankungen aufweist und zunimmt, je weiter die Reihe mit den Dioden vom Flat entfernt ist.

Die geringeren Ströme bei den mit Siliziumnitrid passivierten Dioden lassen auf einen hohen Kontaktwiderstand zwischen den Metallelektroden und den hoch dotierten Kontakten im Silizium schließen. Die Ursache hierfür ist in der nicht vollständigen Öffnung der Kontaktlöcher zu finden. Auch wenn die vorhandenen Messgeräte Profilometer und Ellipsometer eine vollständige Öffnung der Kontaktlöcher vermuten lassen, ist noch eine dünne Schicht aus Siliziumnitrid vorhanden. Gestützt wird dies durch Messungen auf dem ebenfalls mit Siliziumnitrid passivierten Wafern 229. Dioden in der Nähe des Flats zeigten nur elektronisches Rauschen, was ebenfalls auf ungeöffnete Kontaktlöcher hinweist. Um das Siliziumnitrid restlos zu entfernen ist eine längere Zeitspanne beim Plasmaätzen erforderlich.



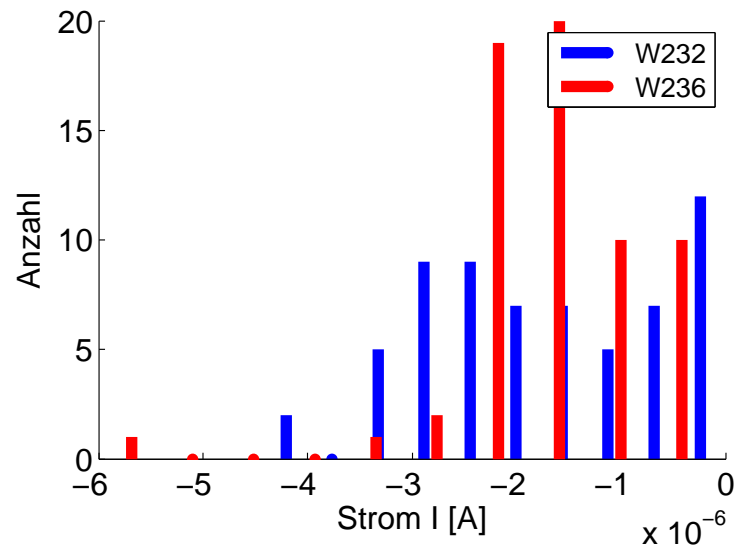
(a) Verteilung der Diodenströme von den Wafern 232 und 236.



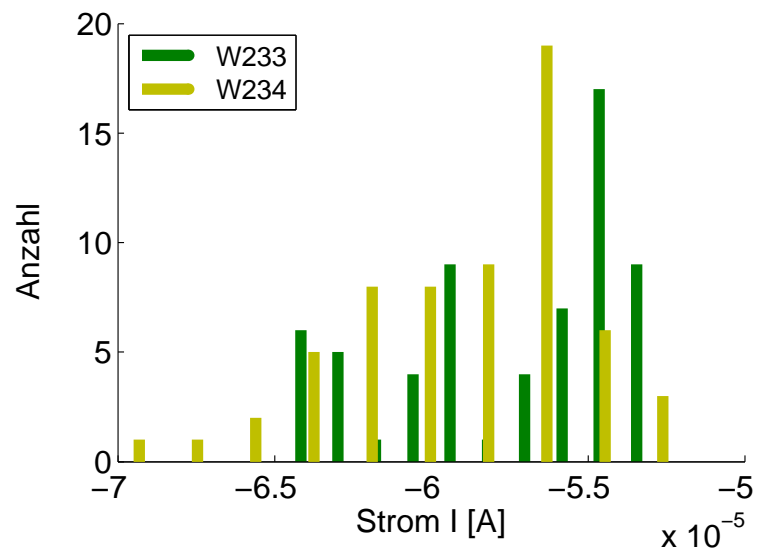
(b) Verteilung der Diodenströme von den Wafer 233 und 234.

Abbildung 5.38.: Histogramm der Ströme der Drain-Isolations-Dioden der JFETs auf den Wafern 232, 233, 234 und 236, bei einer Spannung von  $|V| = 0,7 \text{ V}$  in Durchlassrichtung.

5. Experimentelle Ergebnisse



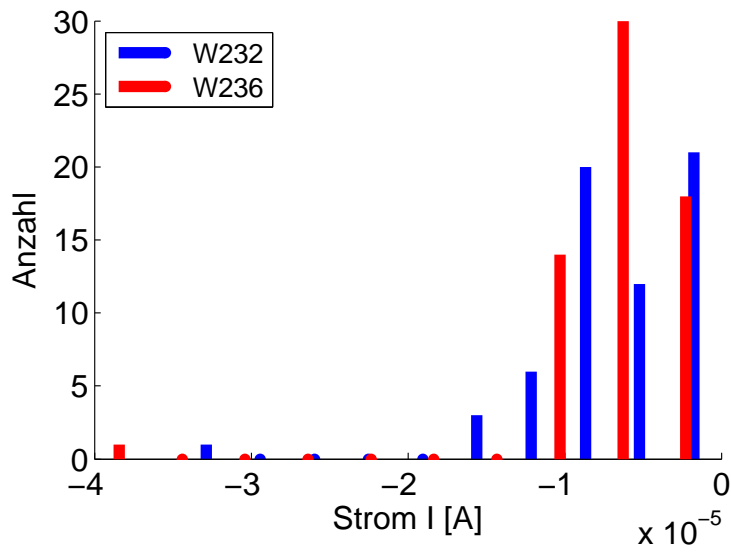
(a) Verteilung der Diodenströme von den Wafern 232 und 236.



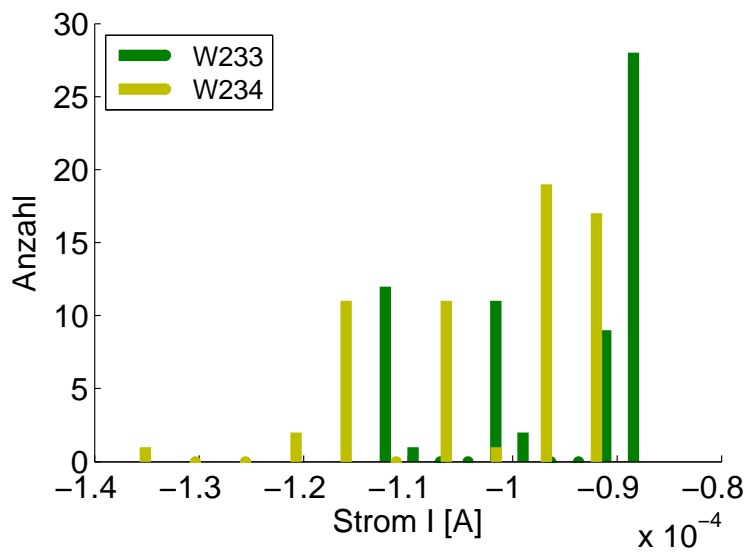
(b) Verteilung der Diodenströme von den Wafern 233 und 234.

Abbildung 5.39.: Histogramm der Ströme der Source–Gate–Dioden der JFETs auf den Wafern 232, 233, 234 und 236, bei einer Spannung von  $|V| = 0,7 \text{ V}$  in Durchlassrichtung.





(a) Verteilung der Diodenströme von den Wafern 232 und 236.



(b) Verteilung der Diodenströme von den Wafern 233 und 234.

Abbildung 5.40.: Histogramm der Ströme der Drain–Gate–Dioden der JFETs auf den Wafern 232, 233, 234 und 236, bei einer Spannung von  $|V| = 0,7 \text{ V}$  in Durchlassrichtung.

### Ausgangskennlinien

In Abbildung 5.41 sind die Drainströme der JFETs von Wafer 233 bei einer angelegten Drainspannung von  $V_D = 5,0 \text{ V}$  und einer Gatespannung von  $V_G = 0,0 \text{ V}$  in einem Histogramm abgebildet. In Abbildung 5.41(a) sind deutlich drei verschiedene Verteilungen zu sehen. Die höchsten Drainströme weisen die Transistoren aus den Spalten C, D und H (vgl. Abbildung A.2) auf, die zugleich das größte Verhältnis von Gatebreite  $Z$  zu Gatelänge  $L$  (siehe Tabelle 5.9) haben. Für die Berechnung der Gatebreite wird in dieser Arbeit folgender Radius  $r_g$  angenommen, mit einem Innenradius des Gates von  $r_i = 6 \text{ }\mu\text{m}$ :

$$r_g = r_i + \frac{L}{2}$$

Einen etwas geringeren Drainstrom weisen die Transistoren aus der Spalte I auf, mit

Spalte	Gatelänge $L[\mu\text{m}]$	Gatebreite $Z[\mu\text{m}]$	Verhältnis $\frac{Z}{L}$
C	5,00	53,4	10,7
D	5,00	53,4	10,7
H	5,00	53,4	10,7
I	6,00	56,4	9,42
J	7,00	59,7	8,53

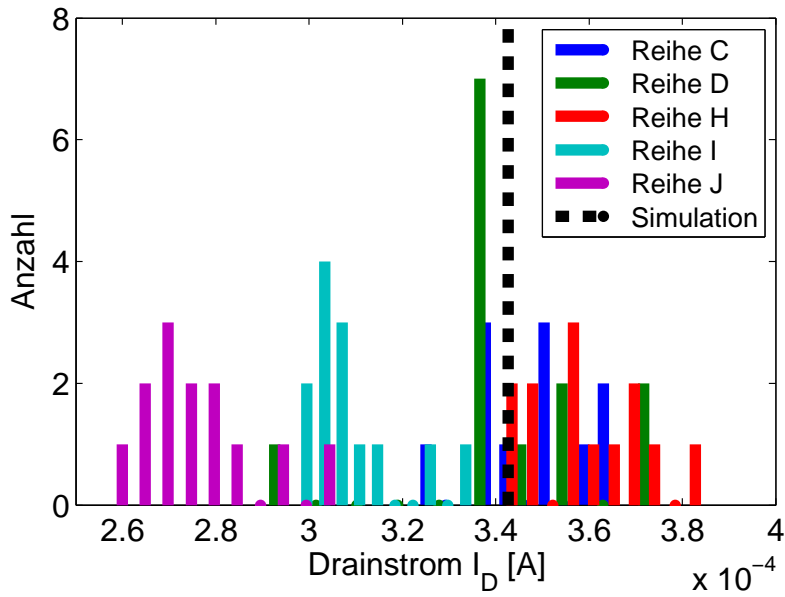
Tabelle 5.9.: Gatelängen  $L$ , Gatebreiten  $Z$  und das Verhältnis  $\frac{Z}{L}$  der verschiedenen JFETs.

einer größeren Gatelänge und folglich einem breiteren Gate. Den geringsten Drainstrom weisen die JFETs der Spalte J auf, entsprechend der Theorie. Nach Gleichung 2.5 ist der Drainstrom  $I_D$  proportional zum Verhältnis aus Gatebreite  $Z$  und Gatelänge  $L$ :

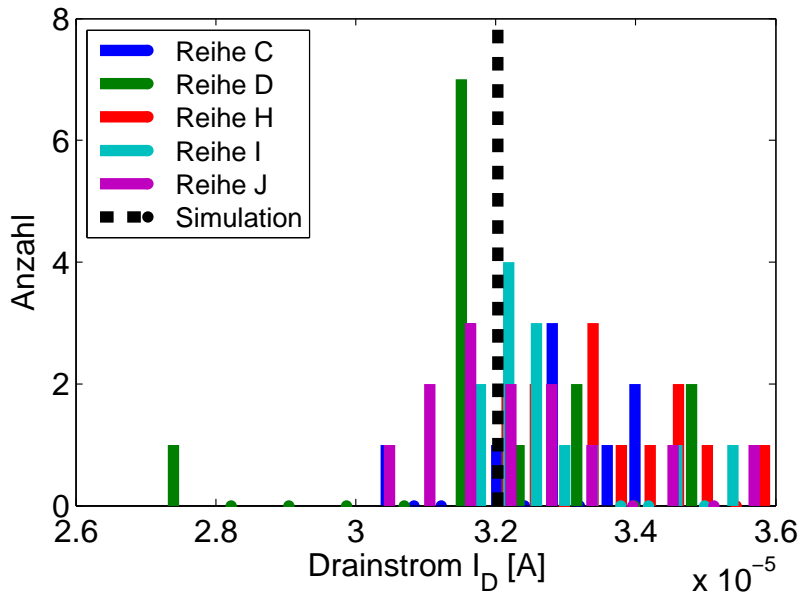
$$I_D \propto \frac{Z}{L}$$

Um zu untersuchen, ob sich die Ströme entsprechend der Theorie zueinander verhalten, werden diese auf Gatelänge  $L$  und Gatebreite  $Z$  normiert. Das resultierende Histogramm für die normierten Drainströme  $I_D$  des Wafers 233 bei einer angelegten Drainspannung von  $V_D = 5,0 \text{ V}$  und einer Gatespannung von  $V_G = 0,0 \text{ V}$  sind in Abbildung 5.41(b) gezeigt. Die Drainströme bewegen sich in einem Bereich von  $]3,0 \cdot 10^{-5} \text{ A}, 3,7 \cdot 10^{-5} \text{ A}[$ , abgesehen von einem Transistor mit niedrigerem Stromfluss. Der aus der Simulation stammende Wert von  $I_{D\text{Sim}} = 3,21 \cdot 10^{-5} \text{ A}$  ist schwarz, gestrichelt eingezeichnet (vgl. Abbildung 5.29(b)). Die experimentell ermittelten Werte stimmen sehr gut mit der Simulation überein.

Die Histogramme in Abbildung 5.42 zeigen die Drainströme  $I_D$  von den Wafern 232 und 236 bei einer angelegten Drainspannung  $V_D = 5,0 \text{ V}$  und einer Gatespannung von  $V_G = 0,0 \text{ V}$ . Wie nach den Messungen der Diodenkennlinien zu erwarten ist, streuen die Drainströme der JFETs von Wafer 232 (Abbildung 5.42(a)) und Wafer 236 (Abbildung 5.42(b)) stärker im Vergleich zu den Drainströmen der Transistoren von Wafer 233



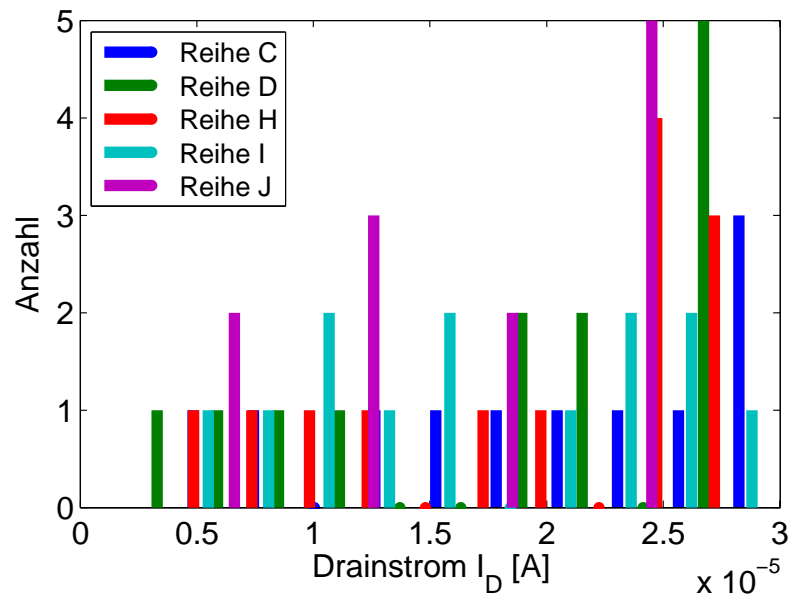
(a) Verteilung der Drainströme von Wafer 233.



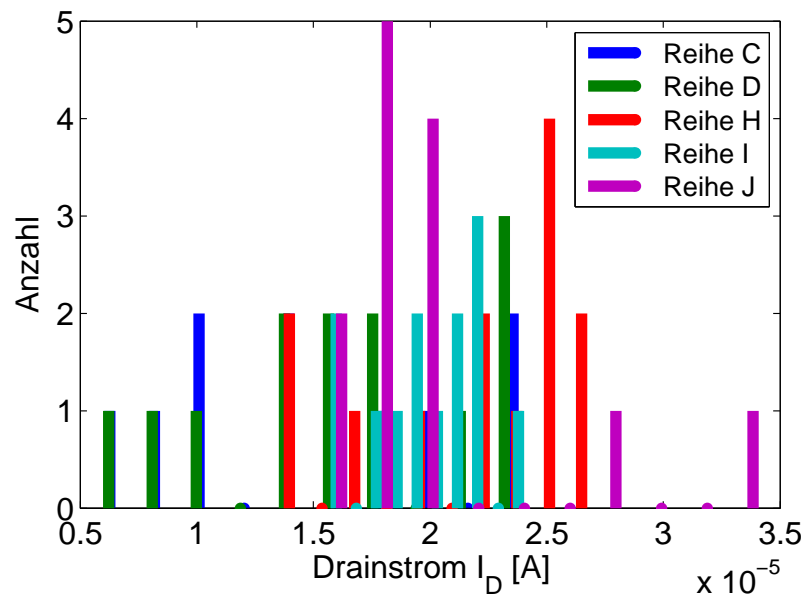
(b) Verteilung der Drainströme von Wafer 233, normiert auf Gatelänge und Gateweite.

Abbildung 5.41.: Histogramme der Drainströme von Wafer 233 entsprechend der verschiedenen Spalten bei einer Drainspannung von  $V_D = 5,0$  V.

5. Experimentelle Ergebnisse



(a) Verteilung der Drainströme von Wafer 232.



(b) Verteilung der Drainströme von Wafer 236.

Abbildung 5.42.: Histogramme der Drainströme von den Wafern 232 und 236, entsprechend der verschiedenen Spalten bei einer Drainspannung von  $V_D = 5,0$  V.

Autor	Typ	Gatelänge $L$ [ $\mu m$ ]	Gatebreite $Z$ [ $\mu m$ ]	$I_D$ [A]	$I_D \cdot \frac{L}{Z}$ [A]
Bertuccio [9]	p-JFET	4	60	$250 \cdot 10^{-6}$	$1,7 \cdot 10^{-5}$
Sampietro [8]	p-JFET	4	60	$70 \cdot 10^{-6}$	$4,7 \cdot 10^{-6}$
Sampietro <sup>11</sup> [12]	n-JFET	11	196	$440 \cdot 10^{-6}$	$2,5 \cdot 10^{-5}$
Matsurra [18]	n-JFET	8	144	$0,14 \cdot 10^{-6}$	$7,8 \cdot 10^{-9}$
Misiakos [41]	p-JFET	4	20	$500 \cdot 10^{-6}$	$1,0 \cdot 10^{-4}$
Radek [7]	n-JFET	7	100	$1,1 \cdot 10^{-3}$	$7,7 \cdot 10^{-5}$

Tabelle 5.10.: Vergleich von Geometrien, Drainströmen  $I_D$  und auf Gatelänge und Gatebreite normierte Drainströme verschiedener JFETs aus der Literatur. Die Drainströme sind ermittelt bei einer Gatespannung von  $|V_G| = 0,0 V$  und einer Drainspannung  $|V_D| = 5,0 V$ .

	Mittelwert $\bar{I}_D$ [ $10^{-4} A$ ]			Median $\tilde{I}_D$ [ $10^{-4} A$ ]			$\tilde{I}_D \cdot \frac{L}{Z}$ [ $10^{-5} A$ ]		
	C, D, H	I	J	C, D, H	I	J	C, D, H	I	J
W229	0,206	0,189	0,177	0,204	0,188	0,176	0,191	0,199	0,206
W231	0,220	0,193	0,178	0,228	0,168	0,149	0,213	0,178	0,174
W232	0,208	0,177	0,208	0,191	0,161	0,194	0,195	0,171	0,228
W233	3,49	3,09	2,72	3,48	3,05	2,76	3,26	3,24	3,19
W236	0,177	0,199	0,200	0,173	0,202	0,180	0,162	0,215	0,211

Tabelle 5.11.: Vergleich der Mittelwerte  $\bar{I}_D$  und Mediane  $\tilde{I}_D$  aus den Drainströme von den JFETs auf den Wafern 229, 231, 232, 233 und 236 sowie die auf Gatelängen und Gatebreiten normierten Mediane. Alle Werte sind bei einer Gatespannung von  $|V_G| = 0,0 V$  und einer angelegten Drainspannung  $|V_D| = 5,0 V$  ermittelt. Die Geometrien der JFETs sind Tabelle 5.9 zu entnehmen.

(Abbildung 5.41). Auch die Abhängigkeit der Drainströme vom Verhältnis der Gatebreite  $Z$  zu Gatelänge  $L$  ist bei den JFETs auf den Wafern 232 und 236 nicht mehr zu erkennen.

In Tabelle 5.10 sind einige Drainströme  $I_D$  von integrierten JFETs aus der Literatur aufgelistet. Die angegebenen Drainströme werden aus den Ausgangskennlinien bei einer Gatespannung von  $|V_G| = 0 V$  und einer Drainspannung von  $|V_D| = 5 V$  abgelesen. Die JFETs von Bertuccio [9] und Sampietro [8, 12] sind in einem radialsymmetrischen Design innerhalb der Anode eines SDDs integriert. Die JFETs von Matsurra [18] und Misiakos [41] sind ebenfalls in einen SDD integriert, besitzen aber eine rechteckige Geometrie. Der JFET bei Radeka [7] ist in einen CCD-Sensor (*engl. Charge-Coupled-Device*) platziert. Für die bessere Vergleichbarkeit mit den in dieser Arbeit hergestellten JFETs ist zusätzlich der Drainstrom normiert aus Gatelänge  $L$  und Gatebreite  $Z$  angegeben. Die

<sup>11</sup>Gatelänge und Gatebreite sind mit Hilfe einer Abbildung berechnet worden.

## 5. Experimentelle Ergebnisse

normierten Drainströme unterscheiden sich zueinander um mehrere Größenordnungen. Zu berücksichtigen sind neben der Geometrie des Gates auch die Kanaldotierung und die Kanalhöhe der JFETs (siehe Kapitel 2).

In der Tabelle 5.11 sind die Mittelwerte  $\bar{I}_D$  und die Mediane  $\tilde{I}_D$  der Drainströme von den JFETs auf den Wafern 229, 231, 232, 233 und 236 aufgelistet sowie die auf Gatelänge  $L$  und Gatebreite  $Z$  normierten Mediane<sup>12</sup>. Alle Drainströme sind bei einer Gatespannung von  $V_G = 0,0 V$  und einer Drainspannung von  $V_D = 5,0 V$  gemessen. Die Gatelängen  $L$  und Gatebreiten  $Z$  der JFETs sind der Tabelle 5.9 zu entnehmen. Aufgrund des nicht restlos entfernten Siliziumnitrids aus den Kontaktlöchern der Wafer 229, 231, 232 und 236 sind die Drainströme dieser JFETs um etwa den Faktor 10 geringer als bei den mit Siliziumoxid passivierten JFETs von Wafer 233.

Der Vergleich der Drainströme der radialsymmetrischen JFETs aus Tabelle 5.10 von Bertuccio [9] und Sampietro [12] zeigen sehr gute Übereinstimmungen mit den Drainströmen der JFETs auf Wafer 233. Die Drainströme der mit Siliziumnitrid passivierten JFETs von den Wafern 229, 231, 232 und 236 sind nur geringfügig niedriger als die Drainströme des p- JFETs von [8]. Folglich sind die im Rahmen dieser Arbeit hergestellten und vermessenen JFETs für das Auslesen von SDD-Signalen geeignet.

### Transferkennlinien

Die Abbildung 5.43(a) und Abbildung 5.43(b) zeigen die Histogramme der Verhältnisse zwischen on-Strom  $I_{on}$  und off-Strom  $I_{off}$  bei einer angelegten Drainspannung von  $V_D = 0,5 V$  und  $V_D = 2,0 V$ . Zum Vergleich sind wieder die Verteilungen von den Wafern 232, 233 und 236 gezeigt. Wie zu erwarten ist das Verhältnis, für eine angelegte Drainspannung  $V_D = 0,5 V$ , bei Wafer 233 mit 8–10 Dekaden in etwa zwei Dekaden größer, als bei den Wafern 232 und 236. Letztere weisen ein Verhältnis von ca. 6–8 Dekaden auf und zeigen eine etwas breitere Verteilung.

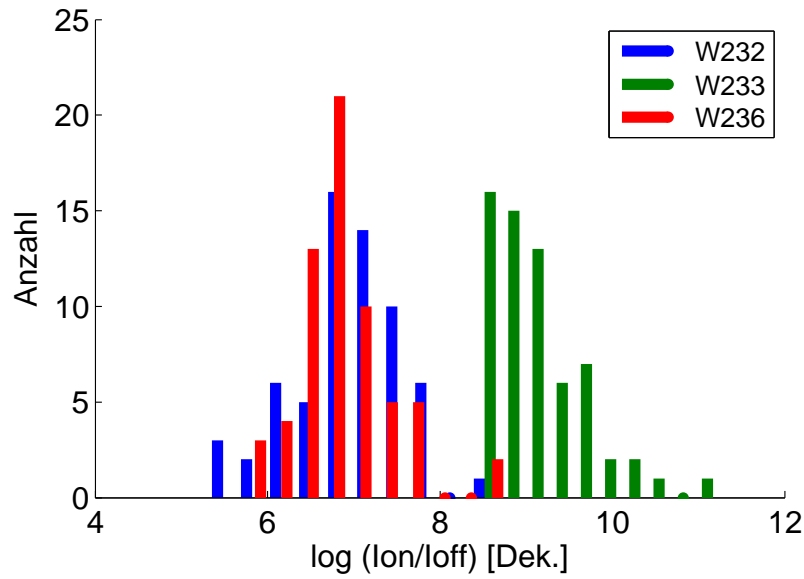
Mit zunehmender Drainspannung ( $V_D = 2,0 V$ ) nimmt das Verhältnis von  $\frac{I_{on}}{I_{off}}$  der JFETs von den Wafern 232 und 236 zu. Im Gegensatz dazu ist das Verhältnis bei den JFETs von Wafer 233 immer noch im Bereich von 8–10 Dekaden, aber breiter verteilt.

Kein Unterschied zwischen den drei Wafern 232, 233 und 236 lässt sich hingegen bei der Unterschwellsteigung  $S$  feststellen, weder bei einer Drainspannung von  $V_D = 0,5 V$  (Abbildung 5.44(a)) noch bei einer Drainspannung von  $V_D = 2,0 V$  (Abbildung 5.44(b)). Berücksichtigt für eine detailliertere Darstellung sind in den Histogrammen von Wafer 232 57 von 63 JFETs, von Wafer 233 alle 63 von 63 JFETs und bei Wafer 236 61 von 63 Transistoren. Im Histogramm enthalten sind alle Transistoren mit einer Unterschwellsteigung  $S < 80 mV/Dek$ . Die Verteilungen bei einer Drainspannung von  $V_D = 0,5 V$  der Wafer 232 und 233 sind normalverteilt. Auf alle anderen Verteilungen in Abbildung 5.44 trifft dies nicht zu.

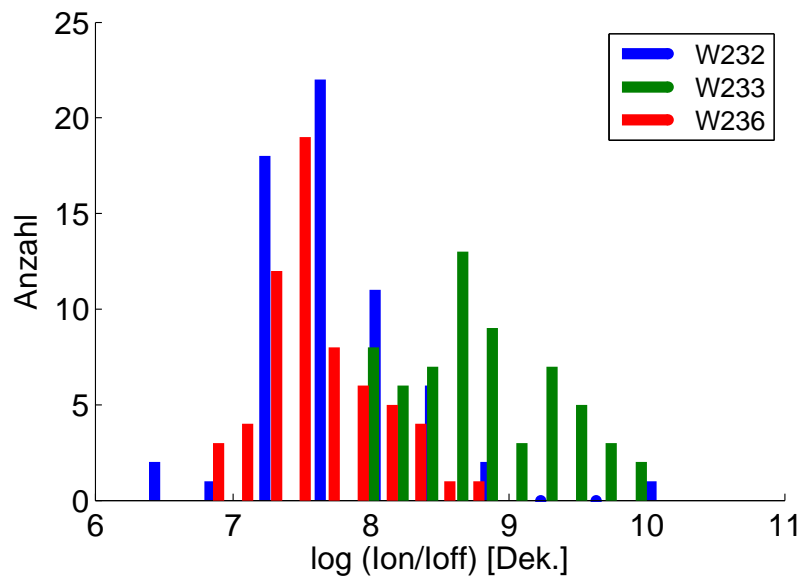
Ebenso viele Transistoren sind in den dazugehörigen Tabellen 5.12 und 5.13 berücksichtigt. Da aufgrund einiger stark abweichender Werte nur die Verteilungen von Wafer 232 und 233 bei einer Drainspannung von  $V_D = 0,5 V$  Normalverteilungen entsprechen, wird

---

<sup>12</sup>Es werden die Mediane verwendet, da keine Normalverteilung der Drainströme vorliegt [59].



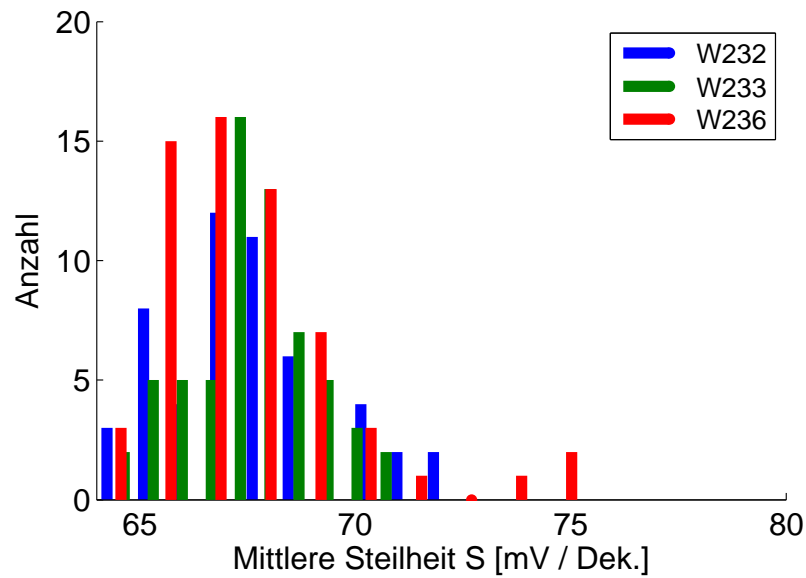
(a) Das Verhältnis von on-Strom zu off-Strom bei einer angelegten Drainspannung  $V_D = 0,5 V$ .



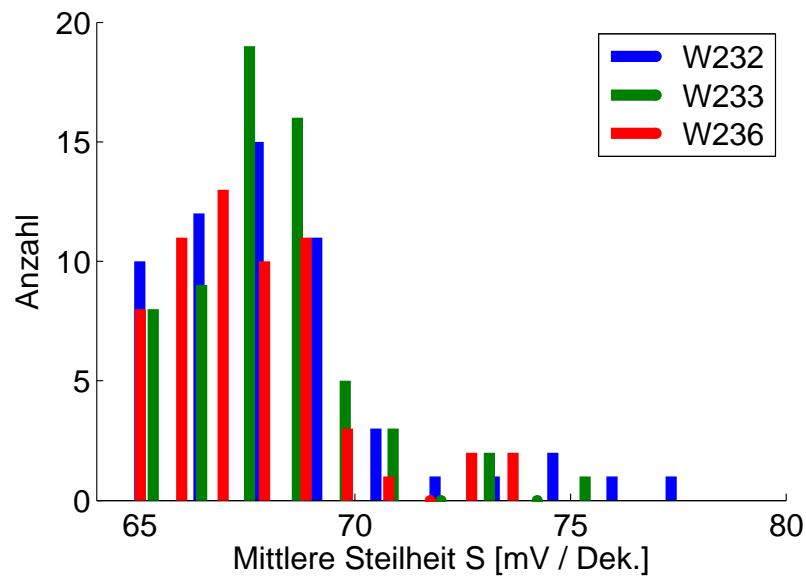
(b) Das Verhältnis von on-Strom zu off-Strom bei einer angelegten Drainspannung  $V_D = 2,0 V$ .

Abbildung 5.43.: Das Verhältnis von on-Strom zu off-Strom für die JFETs der Wafer 232, 233 und 236 bei verschiedenen Drainspannungen.

## 5. Experimentelle Ergebnisse



(a) Die Verteilung der Unterschwellsteilung bei einer angelegten Drainspannung von  $V_D = 0,5 V$ .



(b) Die Verteilung der Unterschwellsteilung bei einer angelegten Drainspannung von  $V_D = 2,0 V$ .

Abbildung 5.44.: Die Verteilung der Unterschwellsteilung  $S$  für die JFETs der Wafer 232, 233 und 236 bei verschiedenen Drainspannungen.



Wafer	$S_{min}$ [mV/Dek.]	$S_{max}$ [mV/Dek.]	Median $\tilde{S}$ [mV/Dek.]	$V_{Tmin}$ [V]	$V_{Tmax}$ [V]	Median $\tilde{V}_T$ [V]
232	63,83	131,72	67,48	-1,13	-0,95	-1,00
233	64,30	71,06	67,64	-1,70	-1,41	-1,50
236	63,98	85,51	67,18	-1,17	-0,98	-1,06

Tabelle 5.12.: Statistische Auswertung von Kenngrößen der JFETs zu Transferkennlinien der Wafer 232, 233 und 236 bei einer Drainspannung  $V_D = 0,5 V$ .

zum Vergleich in den Tabellen 5.12 und 5.13 auf den Median anstatt auf den Mittelwert zurückgegriffen [59]. Die Unterschwellsteigungen liegen bis auf wenige Ausnahmen sehr nahe am physikalischen Limit von  $S_{phys} = 60 meV/Dek.$  [24]. Für alle Wafer zeigen die Transistoren eine minimale Unterschwellsteigung von ca.  $S_{min} \approx 64 mV/Dek.$  und einen Median von  $\tilde{S} \approx 67 mV/Dek.$  Für die maximale Unterschwellsteigung ist die Schwankungsbreite deutlich größer. Hier weist Wafer 232 mit  $S = 131,72 mV/Dek.$  den größten Wert auf.

Nach Gleichung 2.10 sollte idealerweise die Einsatzspannung  $V_T$  für alle JFETs iden-

Wafer	$S_{min}$ [mV/Dek.]	$S_{max}$ [mV/Dek.]	Median $\tilde{S}$ [mV/Dek.]	$V_{Tmin}$ [V]	$V_{Tmax}$ [V]	Median $\tilde{V}_T$ [V]
232	64,32	78,02	67,74	-1,15	-0,99	-1,05
233	64,77	75,89	67,84	-1,61	-1,43	-1,49
236	64,54	74,15	67,32	-1,20	-1,03	-1,12

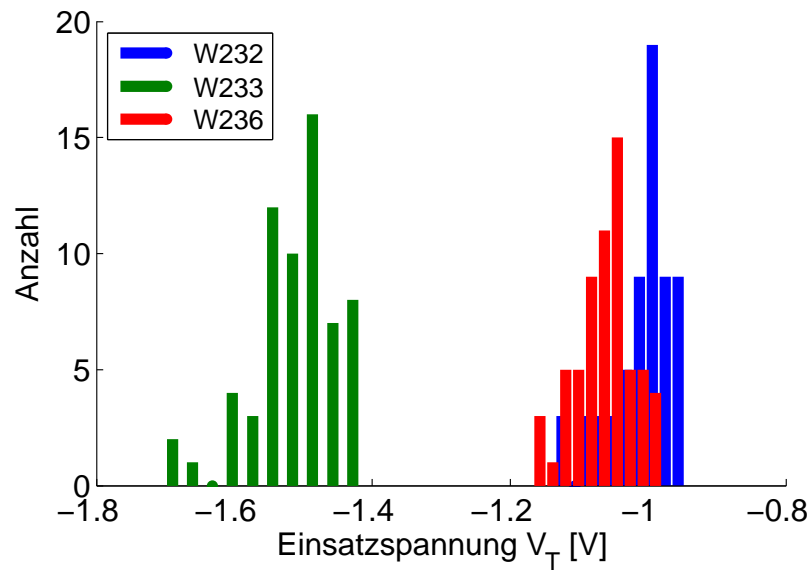
Tabelle 5.13.: Statistische Auswertung von Kenngrößen der JFETs zu Transferkennlinien der Wafer 232, 233 und 236 bei einer Drainspannung  $V_D = 2,0 V$ .

tisch sein. Allerdings besteht nach Gleichung 2.13 auch ein Zusammenhang zwischen der Einsatzspannung  $V_T$  und der Sättigung des Drainstroms  $I_{DSat}$ . Wie erwartet ist die Einsatzspannung  $V_T$  bei den JFETs von Wafer 233 deutlich geringer, als bei den Wafern 232 und 236 (siehe Abbildung 5.45). Die Unterschiede bei den mit Siliziumnitrid passivierten Wafern sind sehr gering und den Schwankungen, hervorgerufen durch die unvollständige Öffnung des Siliziumnitrids geschuldet.

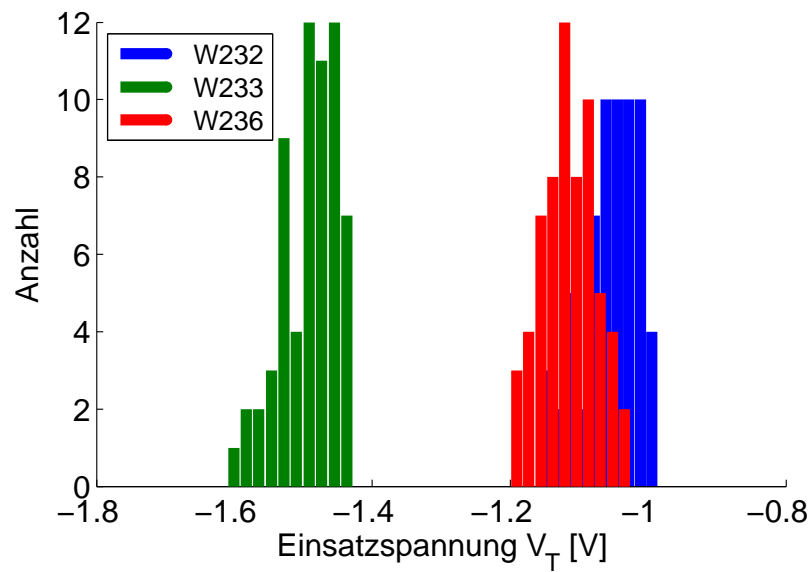
Die betragsmäßig relativ geringe Einsatzspannung deutet auf ein Problem hin, den JFET zusammen mit dem SDD einzusetzen. Wie bereits erwähnt liegen an den Isolationsringen des SDDs  $|V_I| = 15 V$  Sperrspannung an. Liegt diese Spannung an der Isolierung für den JFET an, so ist dieser in seiner jetzigen Form ausgeschaltet. Um dies zu belegen soll die Ausdehnung der Verarmungszone im Kanal abgeschätzt werden. Die Dotierungen im Kanal  $N_D$  und im Isolationsring  $N_A$  betragen etwa  $N_A = N_D = 1 \cdot 10^{16} cm^{-3}$ . Das built-in Potenzial eines solchen pn-Übergangs errechnet sich zu [24]:

$$\Psi_{bi} = \frac{k_B T}{q} \ln \frac{N_A \cdot N_D}{n_i^2} = 0,0259 \ln \frac{(1,00 \cdot 10^{16})^2}{(9,65 \cdot 10^9)^2} V = 0,72 V$$

5. Experimentelle Ergebnisse



(a) Die Verteilung der Einsatzspannung bei einer angelegten Drainspannung von  $V_D = 0,5 \text{ V}$ .



(b) Die Verteilung der Einsatzspannung bei einer angelegten Drainspannung von  $V_D = 2,0 \text{ V}$ .

Abbildung 5.45.: Die Verteilung der Einsatzspannung  $V_T$  für die JFETs der Wafer 232, 233 und 236 bei verschiedenen Drainspannungen.

Hierbei ist  $n_i$  die intrinsische Ladungsträgerkonzentration in Silizium. Die Ausdehnung der Verarmungszone im n-Gebiet  $W_{Dn}$  errechnet sich nach [24]:

$$W_{Dn} = \sqrt{\frac{2\epsilon_s(\Psi_{bi} - V)}{q} \frac{N_A}{N_D(N_A + N_D)}} \quad (5.6)$$

Dabei ist  $V$  eine an den pn-Übergang angelegte Spannung. Ist die Spannung in Sperrrichtung angelegt gilt für Gleichung 5.6  $V < 0$  V [24]. So ergibt sich eine Verarmungszone im Kanal von etwa  $W_{Dn} \approx 1 \mu\text{m}$ , bei einer in Sperrrichtung angelegten Spannung von  $|V| = 15$  V.

Auch bei der maximalen Steilheit unterscheiden sich die mit Siliziumnitrid passivierten Wafer nur gering voneinander, wie aus Abbildung 5.46(a) ersichtlich wird. Gezeigt sind die Verteilungen der maximalen erreichbaren Steilheiten bei den Transistoren von den Wafern 232 und 236 bei einer angelegten Drainspannung von  $V_D = 0,5$  V.

Die maximale Steilheit  $g_{m_{max}}$  der Transistoren von Wafer 232 liegt in einem Intervall von  $[8, 5 \cdot 10^{-7} \text{ S}; 4, 8 \cdot 10^{-5} \text{ S}]$  und bei Wafer 236 im Intervall von  $[2, 5 \cdot 10^{-6} \text{ S}; 2, 9 \cdot 10^{-5} \text{ S}]$ . Diese Werte sind vergleichsweise gering zu den bisher verwendeten, kommerziellen JFETs. Hier liegt das Maximum der Steilheit im Bereich von  $8, 2 \cdot 10^{-5} \text{ S}$  für einen JFET<sup>13</sup> mit einer Gatelänge von  $L = 5 \mu\text{m}$ .

Deutlich stärker reagieren die Drainströme  $I_D$  auf Änderungen der Gatespannung  $V_G$  bei den JFETs von Wafer 233 (siehe Abbildung 5.46(b)). Die maximalen Steilheiten der Transistoren liegen in einem Bereich von  $[5, 6 \cdot 10^{-3} \text{ S}; 1, 4 \cdot 10^{-2} \text{ S}]$  und sind damit um mindestens einen Faktor 100 größer als bei den Wafern mit Siliziumnitridpassivierung. Auch hier ist die Ursache in erhöhten Widerständen bei den Kontakten zu suchen. So reduzieren erhöhte Serienwiderstände die Steilheit und den Leitwert im Kanal, wie in Kapitel 2.1 und in [26] ausgeführt ist.

## Fazit

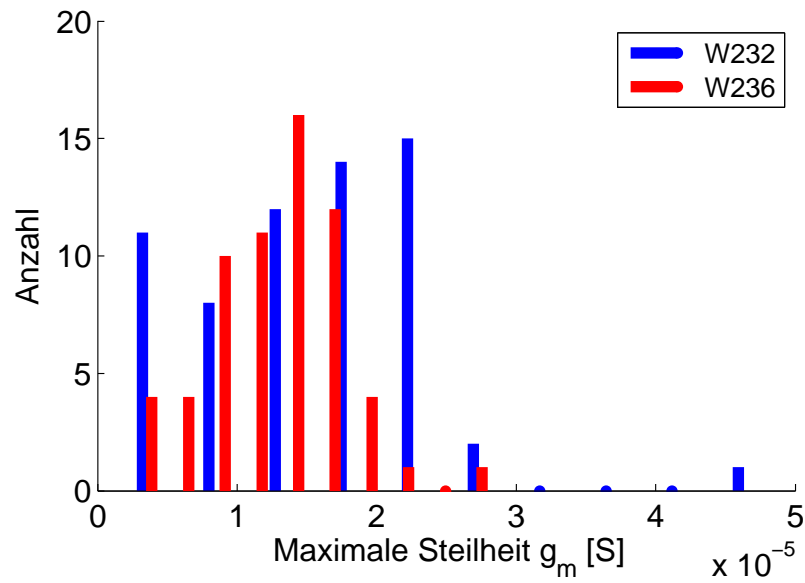
Auch bei den JFET Kenngrößen lassen sich deutliche Unterschiede zwischen JFETs mit einer Passivierung aus Siliziumnitrid und abgeschiedenem Siliziumoxid erkennen. Es zeigen sich bei Letzteren um etwa eine Größenordnung höhere Drainströme in den Ausgangs- und Transferkennlinien. Folglich ergibt sich auch ein höheres Verhältnis von on- zu off-Stromverhältnis für die JFETs mit Siliziumoxidpassivierung. Dies ist mit 8–10 Dekaden um etwa 2 Dekaden größer als das Verhältnis bei den Wafern 232 und 236 mit etwa 6–8 Dekaden.

Ein ähnliches Bild ergibt sich bei der Betrachtung der maximalen Steilheit. Auch diese ist bei dem Wafer 233 deutlich höher als bei den Wafern mit Siliziumnitrid. Für beide Kenngrößen wird deutlich, dass die Spannweite der Schwankungen bei den mit Siliziumoxid passivierten Wafern geringer aus fällt, verglichen mit den JFETs mit Siliziumnitridpassivierung.

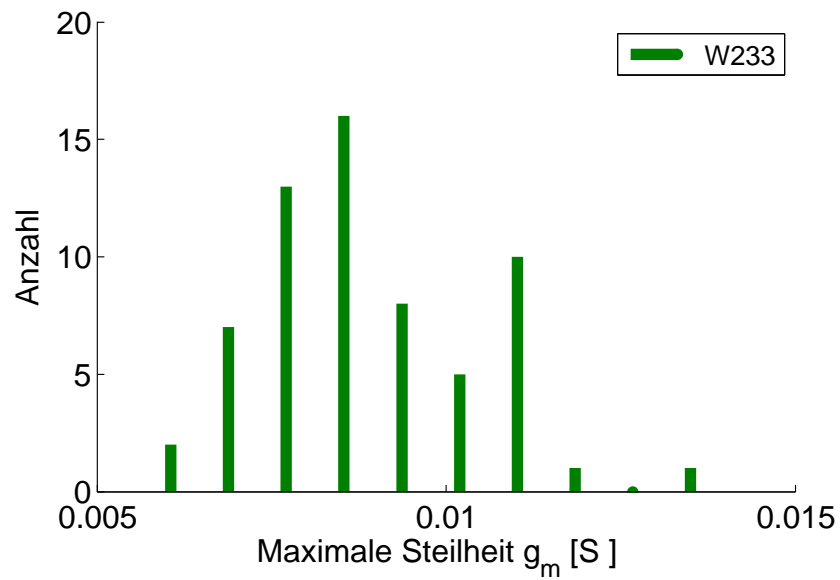
Die Einsatzspannung ist für die mit Siliziumnitrid passivierten Wafer betragsmäßig ge-

<sup>13</sup>Herstellerangabe

5. Experimentelle Ergebnisse



(a) Die Verteilung der maximalen Steilheit für die JFETs der Wafer 232 und 236.



(b) Die Verteilung der maximalen Steilheit für die JFETs des Wafers 233.

Abbildung 5.46.: Die Verteilung der maximalen Steilheit für die JFETs der Wafer 232, 233 und 236 bei einer Drainspannungen von  $V_D = 0,5 \text{ V}$ .

ringer als für die JFETs mit einer Passivierung aus Siliziumoxid. Jedoch sind die Unterschiede in der Spannweite der Schwankungen sehr gering. Bei der Unterschwellsteigung sind hingegen keine Unterschiede aufgrund der unterschiedlichen Passivierung der Wafer auszumachen.

Die höheren Schwankungen bei den Kenngrößen der mit Siliziumnitrid passivierten Wafern sind auf die nicht vollständige Öffnung der Kontaktlöcher zurückzuführen. Das von der Passivierung unabhängige Verhalten der Unterschwellsteigung legt nahe, dass auch die JFETs mit einer Siliziumnitridpassivierung die Leistung und Eigenschaften der mit Siliziumoxid passivierten Transistoren erreichen können. Hierzu ist eine Optimierung des Prozesses zur Entfernung des Siliziumnitrids notwendig.

Keine sichtbaren Auswirkungen hat der zusätzliche Prozessschritt zur Veraschung des Fotolacks mittels eines Plasmas (vgl. Wafer 232 und 236). Falls es Auswirkungen auf die Eigenschaften der Transistoren gibt, werden diese von den Folgen der unvollständig geöffneten Kontaktlöcher überlagert.

### 5.3. Bipolartransistor

Der integrierte Bipolartransistor kann nur partiell charakterisiert werden. So können lediglich die Basis und der Emitter des PNP-Transistors direkt kontaktiert werden. Der Kollektor des Transistors ist mit dem Gate des JFETs verbunden. Aus Platzgründen kann weder der Emitter noch das Gate des JFETs im Zentrum des SDDs separat kontaktiert werden. Folglich ist es nicht möglich, den Kollektorstrom des PNP direkt zu messen. Da die Basis gleichzeitig mit dem Sourcekontakt des JFET verbunden ist, ist sowohl der Source-, als auch der Basiskontakt bei den Messungen geerdet (*engl. common-source, common-base*).

Der Aufbau des PNP-Transistors ist im Querschnitt in Abbildung 5.47 gezeigt. Eine

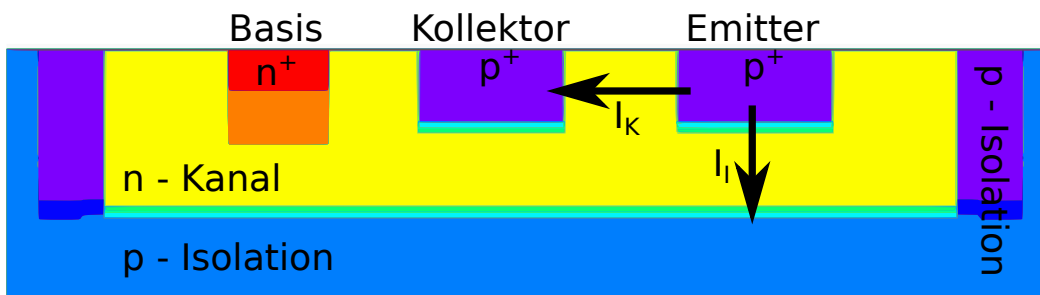


Abbildung 5.47.: Querschnitt des PNP-Transistors und die Ströme nach [12].

Draufsicht zeigen Abbildung 2.14 und 2.15. Der Basiskontakt ist hoch n-dotiert, sowohl der Emitter als auch der Kollektor sind beide hoch p-dotiert. Die elektrische Isolation des Bipolartransistors ist zum Substrat hin p-dotiert. Die Kontaktierung dieses vergrabenen p-Gebietes erfolgt durch einen hoch p-dotierten Bereich. Dieser umringt den Transistor vollständig.

## 5. Experimentelle Ergebnisse

Wird eine entsprechende Spannung an den Emitterkontakt des PNP-Transistors angelegt, gelangen Löcher in die Basis und diffundieren entweder zur Kollektorelektrode oder in das Isolationsgebiet [12], wie in Abbildung 5.47 verdeutlicht ist. Basierend auf der Annahme, dass weitere Einflüsse zu vernachlässigen sind, kann der Kollektorstrom  $I_K$  aus der Differenz vom gemessenen Emitterstrom  $I_E$  und dem Isolationsstrom  $I_I$  berechnet werden.

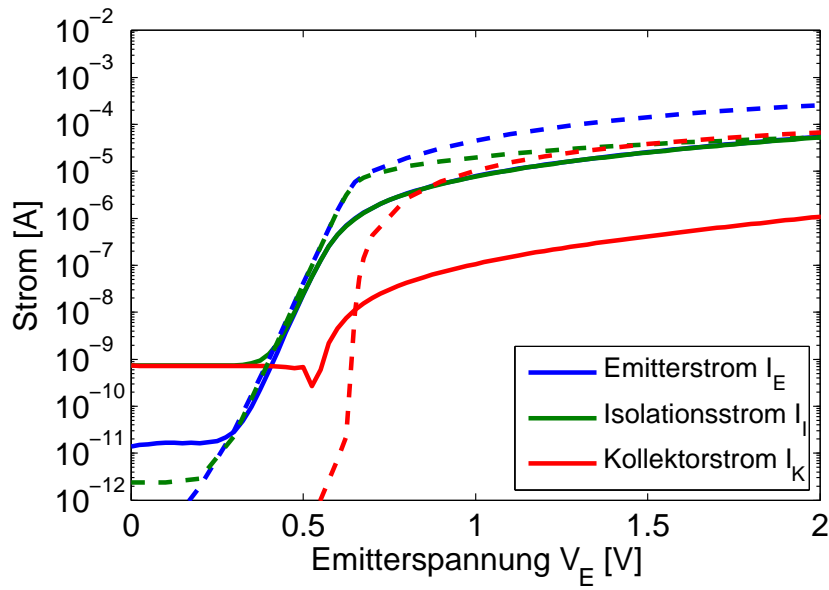
$$I_K = |I_E - I_I|$$

In Abbildung 5.48 ist der Emitterstrom  $I_E$ , der Isolationsstrom  $I_I$  und der Kollektorstrom  $I_K$  (jeweils durchgezogene Linien) in Abhängigkeit der angelegten Emitterspannung aufgetragen, ebenso wie die mittels Silvaco simulierte Ströme (gestrichelte Linien). Für die Messungen sind der Source- und der Basiskontakt geerdet. Außerdem liegt eine Spannung von  $V_I = -3,0\text{ V}$  an der Isolationselektrode an und die Drainspannung beträgt  $V_D = 3,0\text{ V}$ . Ab einer Emitterspannung von  $V_E = 0,25\text{ V}$  nimmt der Emitterstrom  $I_E$  exponentiell mit der angelegten Spannung zu, um dann zu sättigen. Ein analoges Verhalten zeigt der gemessene Isolationsstrom  $I_I$ . Dieser weist im Vergleich zum Emitterstrom  $I_E$  einen um etwa den Faktor 40 höheren Strom im Bereich von  $[0,00\text{ V}, 0,25\text{ V}]$  aus. Im Gegensatz dazu steigt der Kollektorstrom  $I_K$  erst ab einer angelegten Emitterspannung  $V_E = 0,50\text{ V}$  exponentiell an.

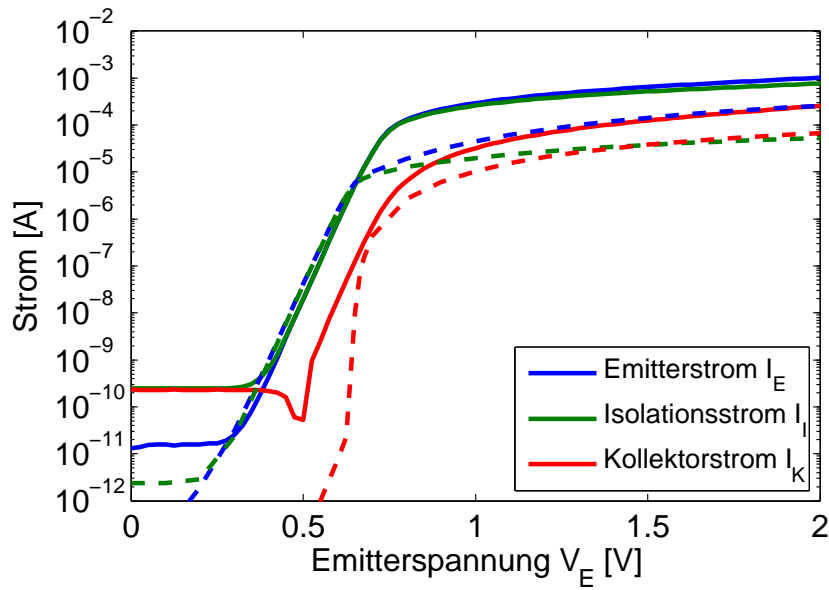
Ein analoges Verhalten weist auch der Bipolartransistor bei [12] auf, wie in Abbildung 5.49 zu erkennen ist. Der gemessene Gatestrom  $I_G$ , der dem Kollektorstrom entspricht, steigt erst mit höherer angelegter Emitterspannung exponentiell an. Auch ist der Gatestrom vor dem exponentiellen Anstieg deutlich größer, als beim Emitterstrom. Abbildung 5.48(a) zeigt einen Vergleich der gemessenen Ströme mit den simulierten Strömen vom PNP-Transistor H8 auf dem Wafer 232. Der gemessene Emitterstrom und Isolationsstrom differieren im Sättigungsbereich nur sehr gering. Folglich ist auch der berechnete Kollektorstrom sehr niedrig. Im Vergleich dazu sind die simulierten Ströme alle deutlich größer und der simulierte Kollektorstrom übersteigt den simulierten Isolationsstrom.

Ein anderes Bild zeigt sich beim Bipolartransistor H8 von Wafer 233 mit einer abgeschiedenen Passivierung aus Siliziumoxid. Hier sind die gemessenen Ströme höher als simuliert. Weiterhin ist eine stärkere Differenz zwischen Isolations- und Emitterstrom gerade im Sättigungsbereich des Transistors zu erkennen. Dies zeigt sich auch in einem größeren Kollektorstrom.

Die Unterschiede in den gemessenen Strömen der beiden Bipolartransistoren sind wieder auf die bereits diskutierten Serienwiderstände zurückzuführen, die ihren Ursprung in der nicht vollständigen Entfernung des Siliziumnitrids haben. Die Abweichungen zwischen experimentellen und simulierten Kennlinien sind in erster Linie einigen Vereinfachungen bei der Simulation geschuldet. Zuerst sind die Abstände zwischen den einzelnen Kontakten nur Mittelwerte. Wie aus der Abbildung 2.14 zu entnehmen ist, ist der PNP-Transistor gekrümmt und folglich variieren die Abstände zwischen den Elektroden in Abhängigkeit von der Krümmung. Dies kann in der 2D-Simulation nicht berücksichtigt werden. Zudem sind in der Simulation zwei Elektroden für die Kontaktierung der Isolation angenommen (siehe Abbildung 5.47). Experimentell ist der Bipolartransis-



(a) Emitter-, Isolations- und Kollektorstrom vom PNP H8 auf Wafer 232.



(b) Emitter-, Isolations- und Kollektorstrom vom PNP H8 auf Wafer 233.

Abbildung 5.48.: Gemessener (durchgezogen) und simulierter (gestrichelt) Emitter-, Isolations- und Kollektorstrom der PNPs H8 auf den Wafern 232 und 233.

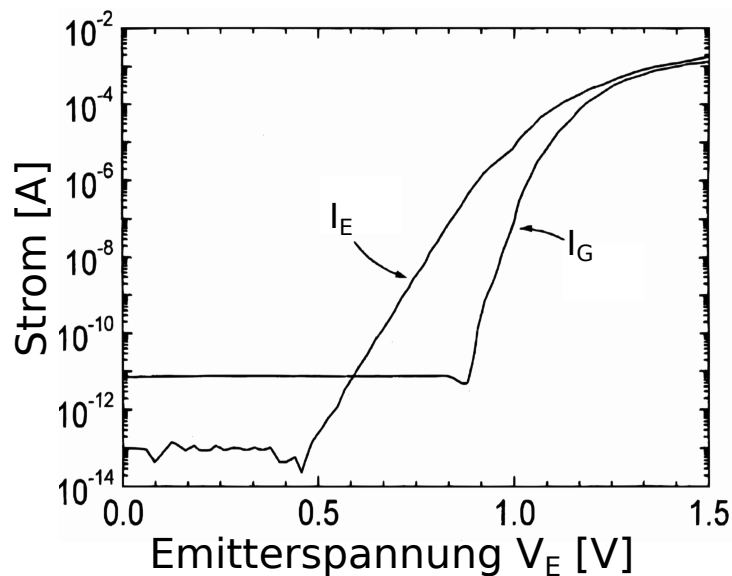


Abbildung 5.49.: Emitter- und Gatestrom des Bipolartransistors und des JFETs aus [12]. Das Gate des JFETs ist gleichzeitig der Kollektor des Bipolartransistors.

tor vollständig von einem Isolationsring mit einem Kontakt umschlossen (siehe Abbildung 2.15). Hiermit lässt sich die größere Differenz zwischen dem simulierten Isolationsstrom  $I_I$  und Emitterstrom  $I_E$  erklären. Die in der Simulation verwendete Dotierung entspricht, wie bei den JFETs, dem 1,6 fachen aus den SRP-Messungen ermittelten Konzentrationen an Dotierstoffen.

### Statistische Auswertung

In Abbildung 5.50 sind die Verteilungen der Emitterströme der PNP-Transistoren auf den Wafern 232, 233 und 236 abgebildet. Bei einer angelegten Emitterspannung von  $V_E = 0,25 \text{ V}$  sind die Transistoren noch nicht aktiv. Es zeigen sich keine signifikanten Unterschiede in den Leckströmen. Die Ströme liegen alle in einem Bereich von  $[1,5 \cdot 10^{-11} \text{ A}, 1,9 \cdot 10^{-11} \text{ A}]$  und zeigen eine sehr geringe Streuung.

Eine deutlich größere Streuung zeigt sich bei den Verteilungen in Abbildung 5.51. Dargestellt sind die Dekaden der on- zu off-Ströme der Bipolartransistoren auf den Wafern 232, 233 und 236. Für die PNPs auf dem Wafer 232 schwankt das Verhältnis der on- zu off-Ströme in einem Bereich von [3,5 Dek., 6 Dek.], auf Wafer 236 in einem Bereich von [4 Dek., 6 Dek.]. Generell lässt sich für die Bipolartransistoren der Wafer 232 und 236 (Abbildung 5.51(a)) eine Verschiebung zu kleineren Verhältnissen hin beobachten. Diese folgt aus einer starken Schwankung bei den on-Strömen der Transistoren. Die on-Ströme sind bei einer angelegten Emitterspannung von  $V_E = 1,25 \text{ V}$  gemessen. Im Vergleich zeigen die Bipolartransistoren auf dem Wafer 233 deutlich geringere Schwankungen bei den on-Strömen (Abbildung 5.51(b)). Weiterhin zeigen die mit Siliziumoxid passivierten Bipolartransistoren mit etwa 8 Dekaden größere Verhältnisse von on- zu



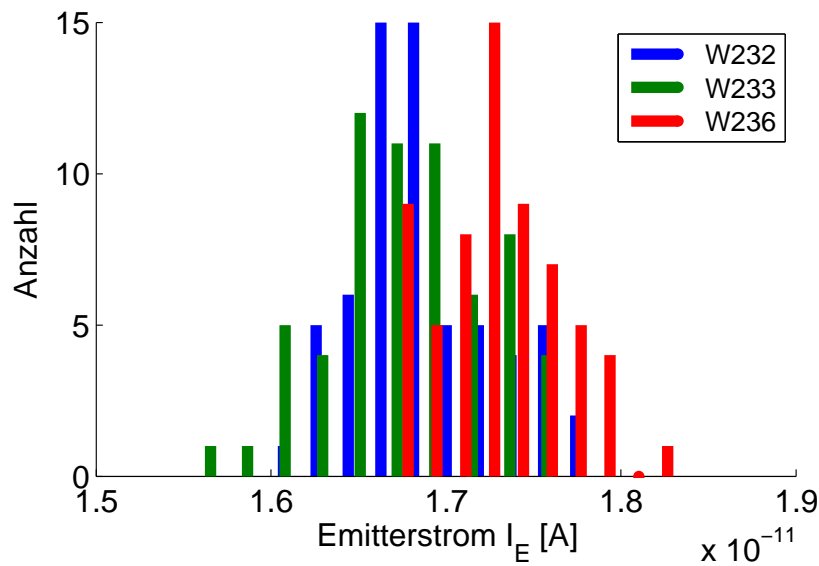


Abbildung 5.50.: Histogramme der gemessenen Emitterströme bei einer Emitterspannung  $V_E = 0,25\text{ V}$  der PNP-Transistoren auf den Wafern 232, 233 und 236.

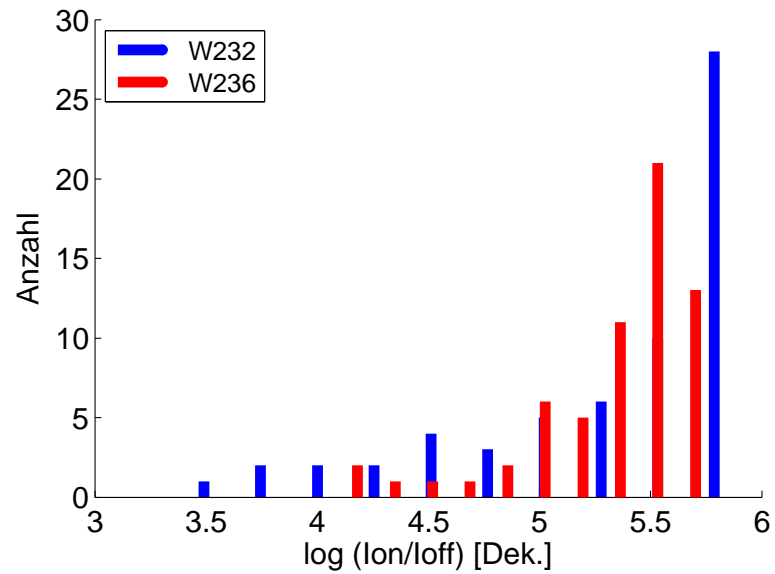
off-Strömen.

### Fazit

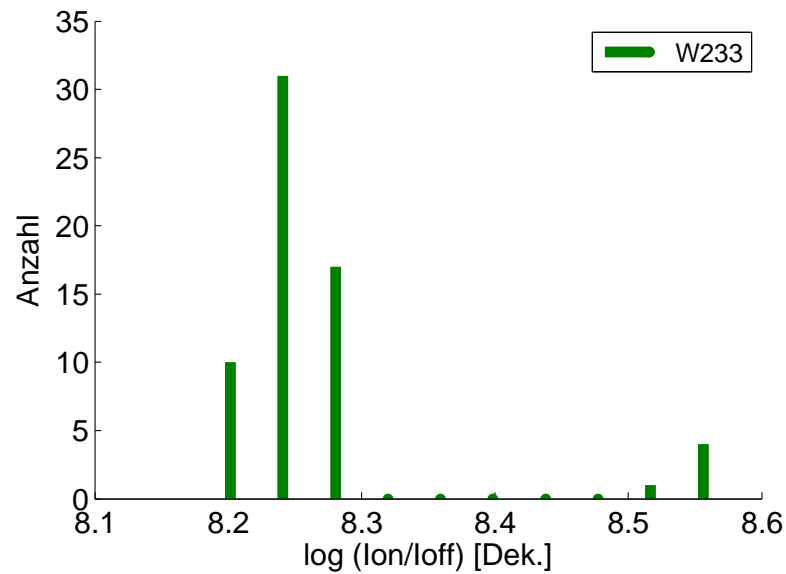
Zusammenfassend ist festzustellen, dass der PNP-Bipolartransistor in Übereinstimmung mit den Simulationen funktioniert, soweit dies experimentell prüfbar ist. Der Verlauf der Kennlinien des Bipolartransistors stimmt auch sehr gut mit Kennlinien aus der Literatur überein [12]. Die Unterschiede zwischen Simulation, Literatur und Experiment sind in erster Linie durch die verschiedenen Designs bedingt.

Die Unterschiede in den on-Strömen zwischen den Wafern 232 und 236 einerseits und dem Wafer 233 andererseits sind auf die Effekte der nicht vollständigen Öffnung der Kontaktlöcher zurückzuführen. Es zeigt sich eine deutlich höhere Schwankungsbreite bei den JFETs mit Siliziumnitridpassivierung. Die off-Ströme der Bipolartransistoren sind hingegen unabhängig von der verwendeten Passivierung.

## 5. Experimentelle Ergebnisse



(a) Verhältnisse der gemessenen on- und off-Strömen von Wafer 232 und 236.



(b) Verhältnisse der gemessenen on- und off-Strömen von Wafer 233.

Abbildung 5.51.: Histogramme der Verhältnisse aus den gemessenen on- und off-Emitterströmen der PNP-Transistoren. Der off-Strom ist bei einer Emitterspannung  $V_{E_{on}} = 0,25 \text{ V}$  und der on-Strom bei einer Emitterspannung von  $V_{E_{off}} = 1,25 \text{ V}$  gemessen.

## 6. Diskussion und Ausblick

In der vorliegenden Arbeit wurden zum ersten Mal erfolgreich JFETs am Institut für Physik der Universität der Bundeswehr realisiert. Es wurden JFETs mit rechteckigem und mit zylindrischem Design hergestellt. Für die Herstellung der rechteckigen JFETs kam ein bereits vorhandener Maskensatz zum Einsatz. Die nötigen Dotierungen erfolgten kostengünstig mit SOD.

Zusätzlich zu den radialsymmetrischen JFETs wurden PNP – Bipolartransistoren erfolgreich in einen SDD integriert. Im Gegensatz zu bisherigen in der Literatur vorgestellten Ausführungen ist der Bipolartransistor vom JFET separiert und im ersten Driftring platziert. Somit können die Transistoren unabhängig voneinander verändert und optimiert werden. Speziell ist eine Feinabstimmung des JFETs auf die Impedanz des Detektors möglich und zugleich eine optimale Anpassung des Bipolartransistors auf den JFET. Für die Realisierung ist das bestehende Maskenlayout eines kommerziell vertriebenen SDDs mit den Transistoren erweitert worden. Um die JFETs ausführlich zu charakterisieren, sind zu den Prototypen der SDDs auch gleichzeitig Referenz – JFETs hergestellt und charakterisiert worden.

Vor der Herstellung der ersten JFETs erfolgten umfangreiche Simulationen und Berechnungen für die Bestimmung der nötigen Parameter. Besonderes Augenmerk wurde dabei auf die minimal realisierbare Dotierstoffkonzentration und die Schichtdicke des Kanals gelegt, sowie die technologischen Gegebenheiten der vorhandenen Anlagen. Zielführend konnten aus den Simulationen die notwendigen Parameter für eine erfolgreiche Herstellung der JFETs bestimmt werden.

Die JFETs mit SOD – Dotierungen wurden vollständig am Institut für Physik der Universität der Bundeswehr prozessiert. Für eine umfassende Charakterisierung wurden die Transistoren elektrisch vermessen und sowohl mit der Theorie von Shockley als auch mit dreidimensionalen Simulationen der JFETs verglichen. Die Auswertung der elektrischen Kennlinien bestätigen die erfolgreiche Herstellung von JFETs mit einer epitaktisch gewachsenen Kanalschicht und mit SOD dotierten Kontakten. Zur Erhöhung der Ausbeute ist eine Verbesserung der angestrebten Kanaldotierung erforderlich. Wie die Untersuchungen bestätigen, ist es nötig die Schichten mit der geringsten Dotierung zuerst abzuschneiden, um die angestrebten Dotierungen zu erreichen. Zudem ist eine Optimierung der Anlagenreinigung zwischen den epitaktischen Schichtabscheidungen notwendig.

Die Ausgangskennlinien dieser JFETs zeigen einen Verlauf entsprechend der Theorie, wie in Abbildung 6.1 zu sehen ist. Im Sättigungsbereich ist jedoch ein erhöhter Anstieg des Drainstroms mit zunehmender Drainspannung zu beobachten. Dieser ist auf eine

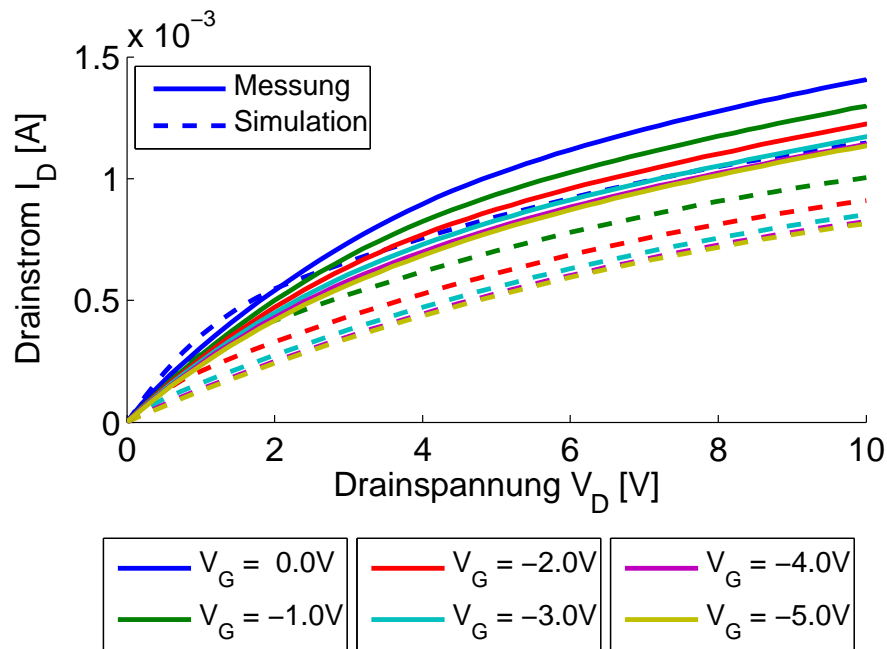


Abbildung 6.1.: Gemessene (durchgezogen) und simulierte (gestrichelt) Kennlinie eines mit SOD dotierten JFETs mit Gatelänge  $L = 10 \mu\text{m}$  und Gatebreite  $Z = 16 \mu\text{m}$  und eine in der Simulation verwendeten Kanaldotierung von  $N_D = 3 \cdot 10^{16} \text{ cm}^{-3}$ .

fehlende Trennung von Kanalgebiet und Substrat zurückzuführen, bedingt durch einen nicht für JFETs optimierten Maskensatz. Simulationen belegen, dass der Anstieg des Drainstroms durch einen Stromfluss zwischen Source und Drain verursacht wird, der um den Gatestieg herum fließt. Hier sind zusätzliche Masken nötig, die beispielsweise eine Isolation des Kanals gegenüber dem Substrat mittels pn – Übergang ermöglichen. Auch eine Isolation durch einen vertikalen Ätzprozess ist denkbar.

Erfolgreich ist ein Prozess entwickelt worden, der es mit einem RIE – Ätzer ermöglicht die Kanalhöhe eines JFETs zu reduzieren. Somit können auf einem Wafer JFETs mit verschiedenen Kanalhöhen hergestellt werden. Weiterhin konnte durch Vergleichen der Ausgangskennlinien mit Simulationen bestätigt werden, dass die gewachsenen Kanalschichten und die geätzten Kanäle mit den angestrebten Dicken sehr gut übereinstimmen.

Es wurde eine ausführliche Charakterisierung der radialsymmetrischen JFETs (Abbildung 6.2) durchgeführt. Als Passivierung kamen sowohl abgeschiedenes Siliziumnitrid als auch abgeschiedenes Siliziumoxid zum Einsatz. Zur Reduzierung von Justagefehlern wurden für Strukturen im Bereich der Auflösungsgrenze Kontaktbelichtungen durch-

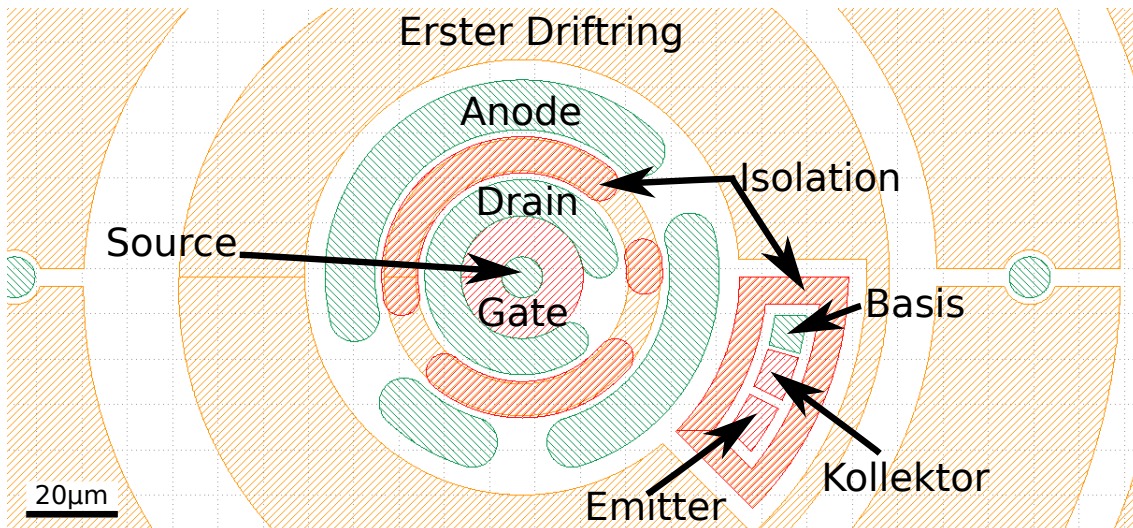


Abbildung 6.2.: Draufsicht auf einen radialsymmetrischen JFET innerhalb der SDD – Anode und einen Bipolartransistor im ersten Driftring.

geführt. Bei der Herstellung sind die lithografischen Prozesse weiter zu optimieren, um die Ausbeute zu erhöhen.

Die detaillierte Charakterisierung der Dioden bei den JFETs zeigen exzellente Eigenschaften entsprechen den Anforderungen und theoretischen Erwartungen. Die Simulationen der Dioden ergaben eine hervorragende Übereinstimmung mit den experimentellen Ergebnissen der mit Siliziumoxid passivierten Dioden. Im Vergleich sind die Ströme in Durchlassrichtung bei den mit Siliziumnitrid passivierten Dioden um etwa eine Größenordnung geringer. Dies ist auf eine nicht vollständige Entfernung des Siliziumnitrids aus den Kontaktlöchern zurückzuführen. Die Ätzzeit für den Prozess zur Öffnung der Kontakte ist weiter zu optimieren.

Außerdem zeigen sich die Drain – Gate und Drain – Isolations – Dioden sehr robust im Vergleich zu den Source – Gate und Source – Isolations – Dioden. Ursache ist der größere Drainradius. Somit ergeben sich bei gleichen elektrischen Parametern geringere Stromdichten als bei den Sourcekontakten.

Bei den Ausgangs – und Transferkennlinien zeigen die JFETs mit einer Passivierung aus einem abgeschiedenen Siliziumoxid eine um mehr als 10 – fach höhere Stromtragfähigkeit im Vergleich zu den mit Siliziumnitrid passivierten Transistoren. Mit aus SRP – und SIMS – Messungen bestimmten Parametern lassen sich die Ausgangskennlinien für die mit Siliziumoxid passivierten Wafer sehr gut in Simulationen reproduzieren.

Ein analoges Bild zeigt sich bei der Auswertung der Transferkennlinien und den daraus ermittelten Kenngrößen. So besitzen die mit Siliziumnitrid passivierten Transistoren eine betragsmäßig kleinere Einsatzspannung und ein geringeres Verhältnis von on – Strom

## 6. Diskussion und Ausblick

zu off-Strom. Auch die Maxima der Steilheit fallen geringer aus. Mit einer Sensitivität von bis zu ungefähr  $10 \text{ mS}$  reagieren die mit Siliziumoxid passivierten Transistoren sehr gut auf Änderungen in der Gatespannung.

Die Unterschwellsteigung (Abbildung 6.3) liegt für alle Transistoren, unabhängig von der Passivierung, im Bereich des physikalischen Limits und die JFETs schalten sehr schnell. Dies legt nahe, dass nach Reduzierung der Kontaktwiderstände auch die Transistoren mit Siliziumnitridpassivierung eine höhere Stromtragfähigkeit erreichen.

Ein Vergleich mit Daten aus der Literatur zeigt, dass die mit Siliziumoxid passivierten Transistoren eine hervorragende Übereinstimmung mit diesen Werten aufweisen. Die mit Siliziumnitrid passivierten JFETs zeigen nur eine geringfügig geringere Stromtragfähigkeit. Somit kann bestätigt werden, dass diese Transistoren ebenfalls für die Signalauswertung sehr gut geeignet sind.

Die bereits angesprochene Optimierung der Prozesse zur restlosen Entfernung der Passivierung in den Kontaktlöchern sollte zu einer Verbesserung der Transistoreigenschaften führen. Eine weitere Optimierung, insbesondere der Lithografieprozesse, dürfte zusätzlich zu einer Steigerung der bereits hohen Ausbeute führen.

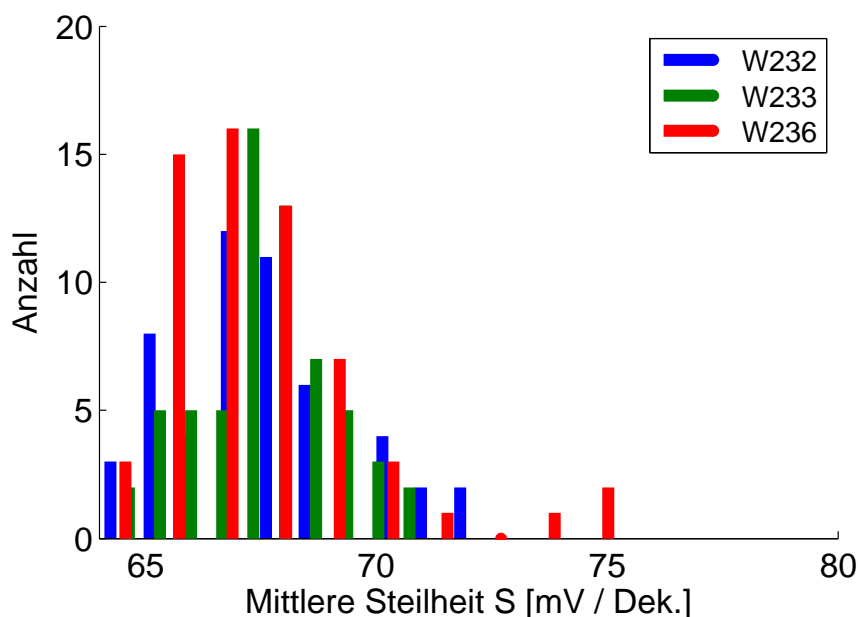


Abbildung 6.3.: Die Verteilung der Unterschwellsteigung  $S$  für die JFETs der Wafer 232, 233 und 236 bei einer angelegten Drainspannung von  $V_D = 0,5 \text{ V}$ .

Außerdem ist zum JFET erstmals erfolgreich ein separater PNP-Bipolartransistor

implementiert worden. Ein Vergleich mit Simulationen und ähnlichen Transistoren aus der Literatur bestätigt dies. Da aus Platzgründen nicht jeder Kontakt des Bipolartransistors ansteuerbar ist, können die Bipolartransistoren nur eingeschränkt charakterisiert werden. Auch hier macht sich die unterschiedliche Passivierung bemerkbar.

In weiterführenden Projekten sind die Detektoren vollständig aufzubauen und die Eigenschaften der JFETs, Bipolartransistoren und der SDDs detaillierter zu untersuchen. Dann können die Detektoreigenschaften der SDDs in Zusammenarbeit mit den erfolgreich hergestellten Transistoren vollständig charakterisiert werden.





## A. Waferübersicht

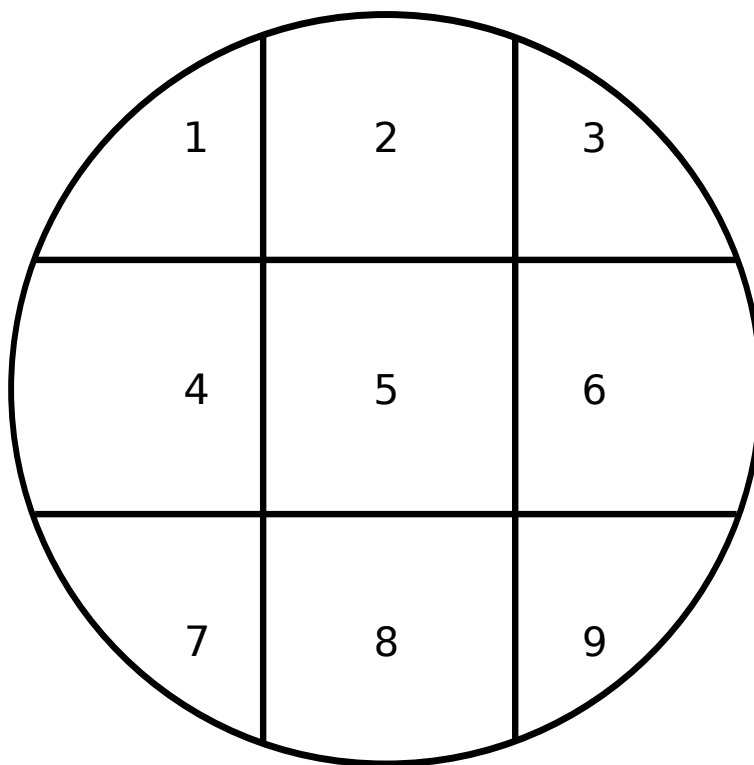


Abbildung A.1.: Einteilung des Wafers für eine Neunpunktmessung.

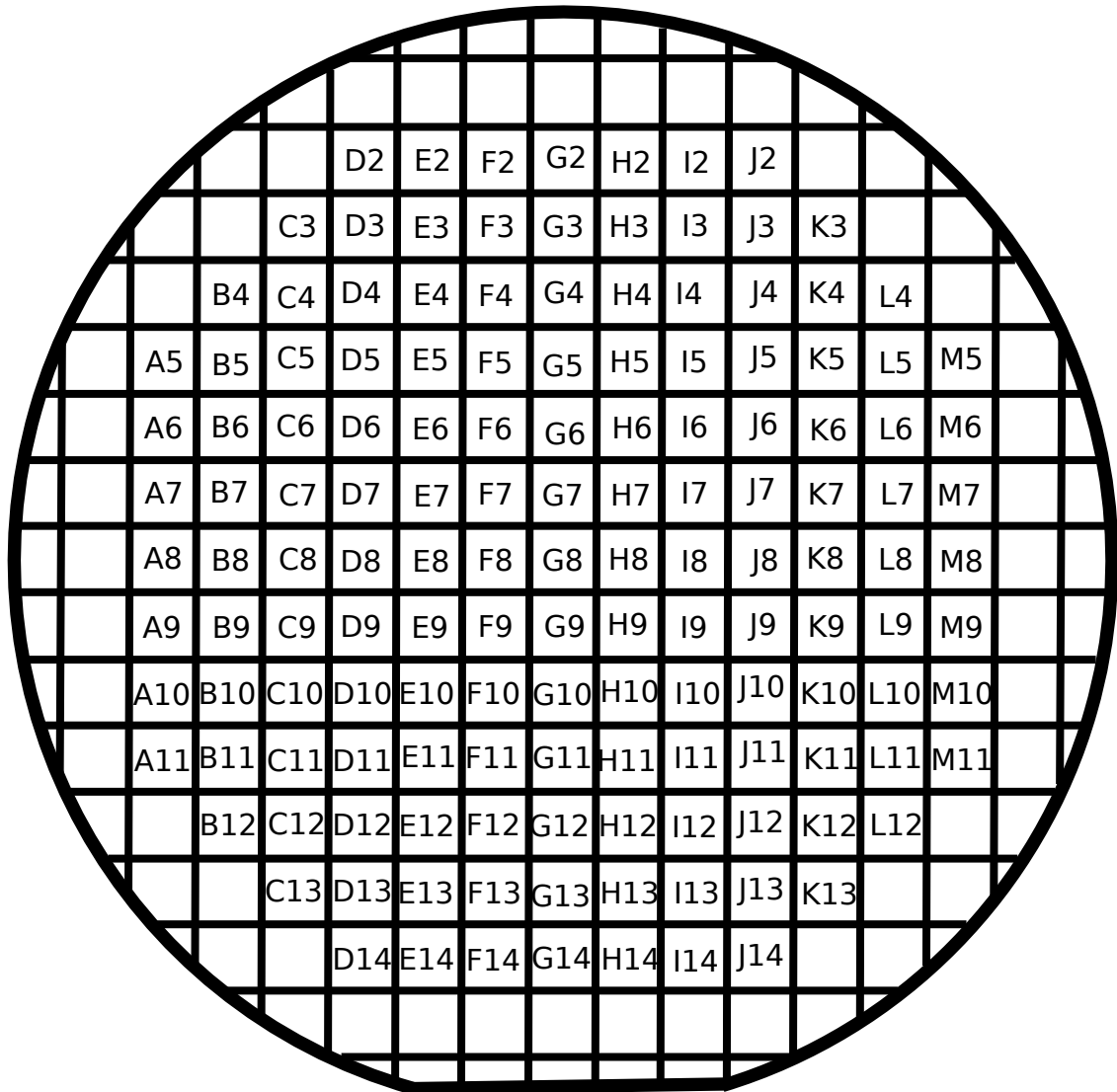


Abbildung A.2.: Übersicht über die Verteilung der SDD Chips auf einem Wafer. Beschriftet sind nur die Chips mit Detektoren.

# B. Prozesspläne

## B.1. SOD JFETs

Substrate	29081 / 1	Dotierung: p(B) Widerstand: (0,01 – 0,02) Ohmcm Charge: 60	Größe: 100 mm Orientierung: (375 +/- 15) µm Dicke: 100	Ziehung: CZ
	29081 / 2			
	29081 / 3			
	05091 / 1	Dotierung: p(B) Widerstand: (0,2 – 0,6) Ohmcm Charge: 79	Größe: 100 mm Orientierung: (500 – 550) µm Dicke: 100	Ziehung: CZ
	29081 / 4			
	29081 / 5			
29081 / 6				
05091 / 2				

RCA Clean	29081 / 1 - 6	RCA Clean 1: H2O : NH3 : H2O2 = 7 : 1 : 1
	05091 / 1 - 2	RCA Clean 2: H2O : HCl : H2O2 = 7 : 1 : 1

Epi MBE	29081 / 1	n(P) K2 / 15	Dotierung: i - Si H29 Zelle:	Dicke: 40 °C Substrat:	1 µm 700 °C
	29081 / 2	n(P) K2 / 16	Dotierung: 1e18 cm <sup>-3</sup> H33 Zelle:	Dicke: 720 °C Substrat:	500 nm 400 °C
	29081 / 3	n(P) K2 / 17	Dotierung: 1e17 cm <sup>-3</sup> H 30 Zelle:	Dicke: 720 °C Substrat:	1 µm 700 °C
	29081 / 4	n(P) K2 / 18	Dotierung: Zelle:	Dicke: Substrat:	
	29081 / 5	n(P) K2 / 19	Dotierung: i - Si H 31 Zelle:	Dicke: 100 °C Substrat:	800 nm 700 °C
	29081 / 6	n(P) K2 / 20	Dotierung: 1e17 cm <sup>-3</sup> H 32 Zelle:	Dicke: 720 °C Substrat:	700 nm 700 °C
	05091 / 1	n(P) K2 / 21	Dotierung: Zelle:	Dicke: Substrat:	
	05091 / 2	n(P) K2 / 22	Dotierung: 1e17 cm <sup>-3</sup> H 34 Zelle:	Dicke: 720 °C Substrat:	800 nm 700 °C

RCA Clean	29081 / 1 - 6 05091 / 1 - 2	RCA Clean 1: H2O : NH3 : H2O2 = 7 : 1 : 1 RCA Clean 2: H2O : HCl : H2O2 = 7 : 1.1
-----------	--------------------------------	--

Oxidation	29081 / 1 - 6 05091 / 1 - 2	Projekt: Ox800Wet.prij Programm: Ox800Wet.prog	Zeit: Temperatur:	64 min 800 °C
-----------	--------------------------------	---	----------------------	------------------

Ellipsometer	29081 / 1 - 6 05091 / 1 - 2	[nm]	05091 / 1	29081 / 1
			31,5	31,4
		32,5	31,4	31,8
			32,4	32,2
				31,7
				31,4

Nitridation	29081 / 1 - 6 05091 / 1 - 2	Programm: 740_23 min	Zeit: Temperatur:	23 min 740 °C
-------------	--------------------------------	----------------------	----------------------	------------------

Ellipsometer	05091 / 1 29081 / 1	[nm]	05091 / 1	29081 / 1
			68,2	66,3
		68,7	68,0	68,3
			73,3	69,4
				67,9
				70,6

Belackung	29081 / 1 - 6 05091 / 1 - 2	Mit HMDS Lack: Spin coating: Prebake:	ARP - 3740 500 /min 100 °C	5 s 30 min	4000 /min (Batch)	25 s
Belichten	29081 / 1 - 6 05091 / 1 - 2	Maske: Hard Contact Exposuretime: Intensität: Leistung:	IMP. Al Gap: 30 µm 6 s 10,2 mW/cm² ~ 400 W	Lateraler FET		
Entwickeln	29081 / 1 - 6 05091 / 1 - 2	Entwickler: Entwicklungszeit: Postbake:	AR 300 - 475 (pur) 40 s 120 °C	30 min	(Batch)	
Mikroskop	29081 / 1 05091 / 1	Gut.	Maske war auch nach Reinigung noch verschmutzt.			
RIE Ätzen	29081 / 1 - 6 05091 / 1 - 2	Programm: CHF3: Teflonring	UNIBW_Si3N4_60nm 50 sccm	O2: 4 sccm		Zeit: 110 s

Ellipsometer 4 - Spitzen	SIMS Fleck:					
	oben [nm] / [Ohm cm]		4 - Spitzen		unten [nm] / [Ohm cm]	
	Nitrid	Oxid	Oxid	Nitrid	Nitrid	Oxid 4 - Spitzen
05091 / 1	0,8	0,9	~0.001	0,8	1	~0.001
29081 / 1	0,8	1	2,85E-01	0,8	0,9	4,11E-01
29081 / 2	0,7	0,8	1,39E-02	0,7	0,9	1,44E-02
29081 / 3	0,8	0,9	2,79E-02	0,8	0,9	2,74E-02
29081 / 5	0,8	0,9	7,88E-02	0,7	0,9	1,09E-01
29081 / 6	0,7	0,8	2,39E-02	0,8	1,0	2,39E-02
05091 / 2	0,8	1,2	2,60E-02	0,9	1,7	2,51E-02

Lack entfernen	29081 / 1 - 6 05091 / 1 - 2	Iso. + Act. 1 + US Iso. + Act. 2 + US	10 min 5 min	Iso : Act = 1 : 1 Iso : Act = 1 : 1
-------------------	--------------------------------	--	-----------------	--

Caro Clean	29081 / 1 - 6 05091 / 1 - 2	H2SO4 : H2O2 = 3 : 1 Rinser:	> 15MOHm
------------	--------------------------------	---------------------------------	----------

SOD aufschleuder	29081 / 1 - 6 05091 / 1 - 2	Phosphor P507 Heizplatte:	3000 rpm 10 min 200 °C
SOD eintreiben	29081 / 1 - 6 05091 / 1 - 2	SOD_P507_1.5min_N2_3slm_O2_1slm Temp:	Zeit: 1:30 min
SOD entfernen	29081 / 1 - 6 05091 / 1 - 2	BHF vorgefertigt Zeit:	1:15 min Rinser: > 16 Mohmcm

Ellipsometer	05091 / 1	SIMS Fleck:	oben [nm] 58,6	unten [nm] 58,6
--------------	-----------	-------------	-------------------	--------------------

4 - Spitzen	05091 / 1	100 nm	4.6e-4 Ohmcm 4.6e1 Ohm/square	4.6e-4 Ohmcm 4.64e1 Ohm/square
		400 nm	1.83e-3 Ohmcm 4.65e1 Ohm/square	2.46e-3 Ohmcm 6.1 Ohm/square
TEOS	29081 / 1 - 6 05091 / 1 - 2	Programm: Zeit:	TEOS_750_500mT_30min 30 min	750 °C
Haft- vermittler	29081 / 1 - 6 05091 / 2 05091 / 1	Haftvermittler: Spin coating: Prebake:	AR 300 - 80 500 /min 5 s 2 min	4000 /min 25 s
Belackung	29081 / 1 - 6	Mit HMDS Lack: Spin coating: Prebake:	ARN - 4340 500 /min 100 °C	5 s 2 min 25 s (Batch)
Belichten	29081 / 1 - 6	Maske: Hard Contact Exposuretime: Intensität: Leistung: Postexposurebake:	Sel. EPI Al Gap: 30 µm 6,5 s 10,2 mW/cm² ~ 400 W 110 °C	Lateraler FET 2 min
Entwickeln	29081 / 1 - 6	Entwickler: Entwicklungszeit: Postbake:	AR 300 - 475 (pur) 60 s 110 °C	5 min



BHF	05091 / 1 29081 / 1 - 6	BHF fertige Lösung	Zeit: Rinser:	1:30 min > 15 Mohm
RIE Ätzen	05091 / 1 29081 / 1 - 6	Programm: CHF3: Teflonring	UNIBW_Si3N4_60nm 50 sccm O2:	Zeit: 4 sccm 110 s
RIE Ätzen	05091 / 1	Programm: O2: Zeit: Links: Rechts:	Mesa Test 1 sccm SF6: 13 s	Druck: 8 sccm Ar: 6 sccm 26 s
	29081 / 1 - 6	Programm: O2: Zeit: Links:	Mesa Test 1 sccm SF6: 10 s	Druck: 8 sccm Ar: 6 sccm 22 s
Lack entfernen	05091 / 1	Iso. + Act. 1 Iso. + Act. 2 +US	5 min 5 min	Iso : Act = 1 : 1 Iso : Act = 1 : 1
Caro Clean	05091 / 1 29081 / 1 - 6	H2SO4 : H2O2 = 3 : 1 Rinser:	> 15MOHm	

B. Prozesspläne

SOD aufbringen	05091 / 1 29081 / 1 - 6	Bor	B155	200°C	10 min
SOD eintreiben	05091 / 1 29081 / 1 - 6	Programm: Temp:	SOD_B155_1.5min_N2_0slm_O2_1slm 1050 °C	Zeit: Zeit:	1:30 min 1:30 min
SOD entfernen	05091 / 1 29081 / 1 - 6	50% HF : H2O = 1 : 10 Zeit:	1:10 min	Rinser:	50 ml : 500 ml > 16 Mohm
RIE Ätzen	05091 / 1 29081 / 1 - 6	Programm: CHF3: Teflonring	UNIBW_5nm_Si3N4 50 sccm	O2:	Zeit: 4 sccm
HF Dip	29081 / 1 - 6	Vorgefertigte BHF Rinser:	> 16 Mohm	Zeit: Zeit:	2:00 min 2:30 min
Ti	29081 / 1 - 6	Vorsputtern: Arbeitsdruck: Abpumpen:	3 min 3.7e-5 mbar 33 min	Sputtern: Regelung:	3 min 500 W
TiN	29081 / 1 - 6	Vorsputtern: Arbeitsdruck: Abpumpen:	3 min 1.8e-6 mbar 21 h	Sputtern: Regelung:	45 min 1.5 kW
AISI	29081 / 1 - 6	Vorsputtern: Arbeitsdruck: Abpumpen:	3 min 2e-5 mbar 1h	Sputtern: Regelung:	30 min 500 W
				Ar Druck:	8.0e-3 mbar

Belackung	29081 / 1 - 6	Mit HMDS Lack: Spin coating: Prebake:	ARP - 3740 500 /min 100 °C	5 s 30 min	4000 /min (Batch)	25 s
Belichten	29081 / 1 - 6	Maske: Hard Contact Exposuretime: Intensität: Leistung:	Metall Al Gap: 20 µm 6 s 9,2 mW/cm² ~ 425 W	Lateraler FET		
Entwickeln	29081 / 1 - 6	Entwickler: Entwicklungszeit: Postbake:	AR 300 - 475 (pur) 35 s 120 °C	45 min	(Batch)	

PNA	29081 / 1 - 6	Fertige Lösung, 1,5l Temperatur: Auf Sicht bis TiN Schicht sichtbar wurde + Überätzzeit	~41°C - 42°C Zeit:	2:30 min		
RCA 1	29081 / 1 - 6	NH4OH : H2O2 : H2O = 1 : 1 : 16 Temp. 55°C Ultraschallbad Au Sicht ätzen bis Nitrid sichtbar + Überätzen				
Entlacken	29081 / 1 - 6	Iso. + Act. 1 Iso. + Act. 2 +US	2 min 10 min	Iso : Act = 1 : 1 Iso : Act = 1 : 1		

Schutzlack	29081 / 1 - 6	Mit HMDS Lack: Spin coating: Bake:	ARP - 3740 500 /min 120°C	5 s 5 min	1500 / min 25 s
RIE Ätzen	29081 / 1 - 6	Programm: CHF3: Teflonring	UNIBW_Si3N4_60nm 50 sccm O2:	Zeit: 4 sccm	120 s
Entlacken	29081 / 1 - 6	Iso. + Act. 1 Iso. + Act. 2 +US	5 min 5 min	Iso : Act = 1 : 1 Iso : Act = 1 : 1	
AISI	29081 / 1 - 6	Vorsputtern: Arbeitsdruck: Abpumpen:	3 min 2e-5 mbar 1h	Sputtern: Regelung:	30 min 500 W Ar Druck: 8.0e-3 mbar
Formiergas	29081 / 1 - 6	Projekt: Temperatur: Tempern:	FGAS350 350°C 5slm N2, 250sccm H2 (5%)	Programm: Dauer:	FGAS350 35min

# C. Histogramme

## C.1. Wafer 229 Dioden

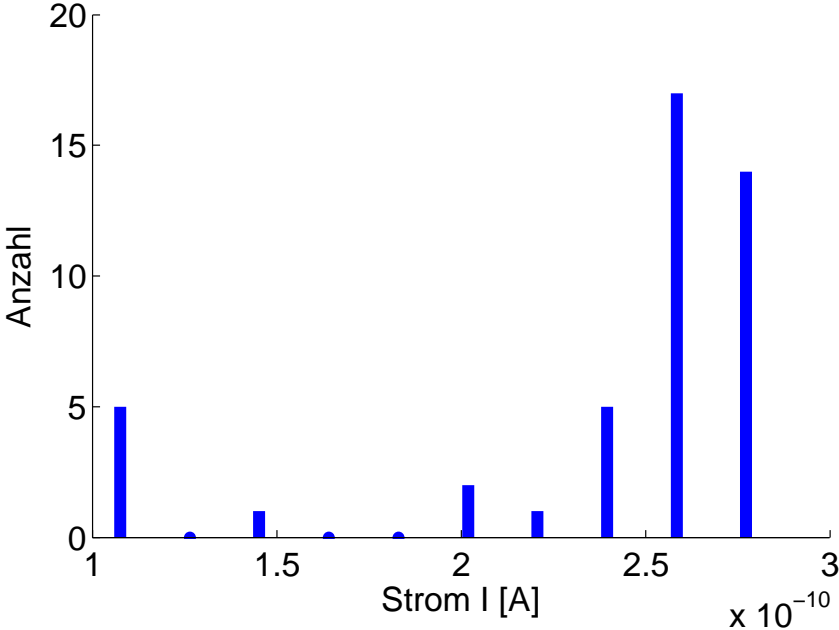


Abbildung C.1.: Verteilung der Leckstromdichte der Source-Isolation-Dioden von den JFETs auf Wafer 229. Die Sperrspannung beträgt  $|V| = 15 \text{ V}$ .

### C. Histogramme

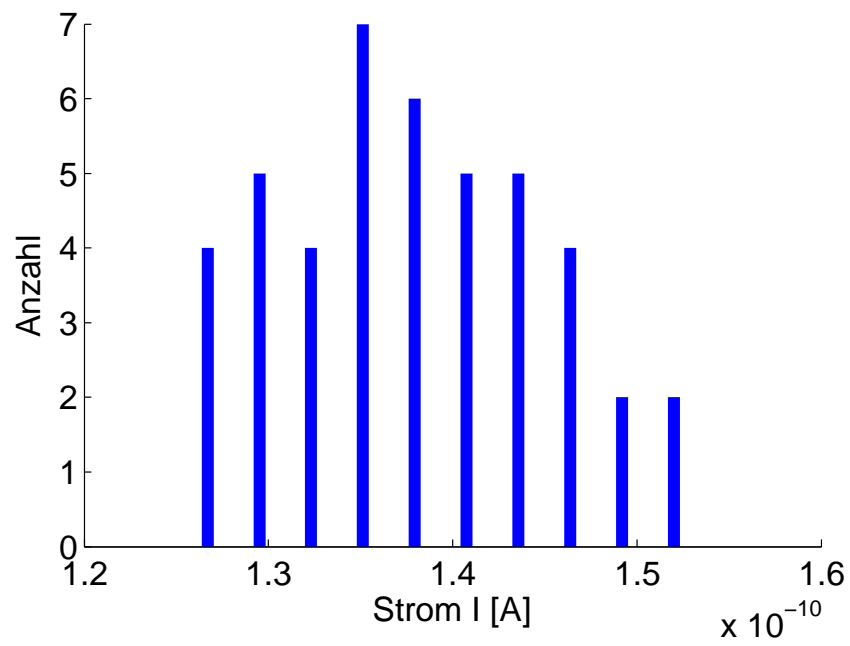


Abbildung C.2.: Verteilung der Leckstromdichte der Drain-Isolation-Dioden von den JFETs auf Wafer 229. Die Sperrspannung beträgt  $|V| = 15 \text{ V}$ .

## C.2. Wafer 231 Dioden

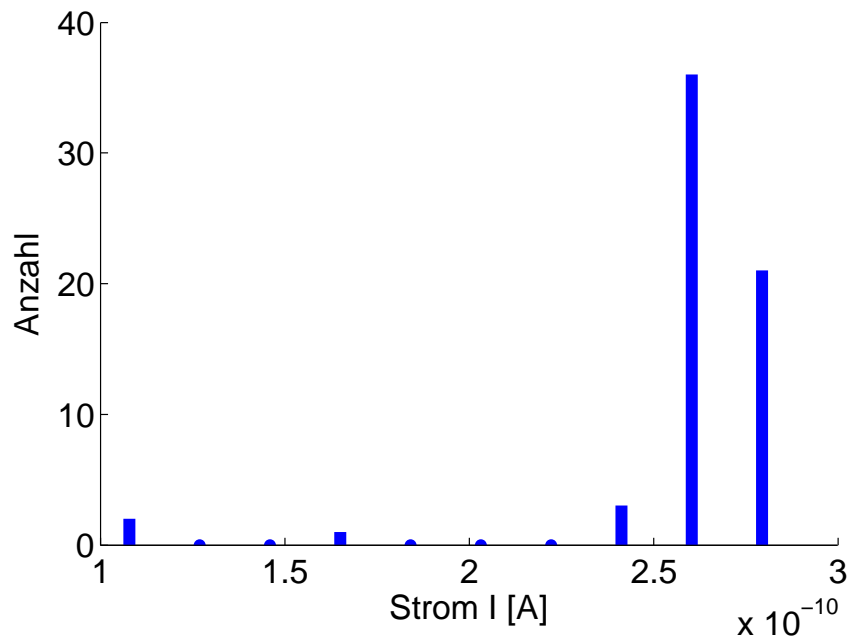


Abbildung C.3.: Verteilung der Leckstromdichte der Source-Isolation-Dioden von den JFETs auf Wafer 231. Die Sperrspannung beträgt  $|V| = 15$  V.

### C. Histogramme

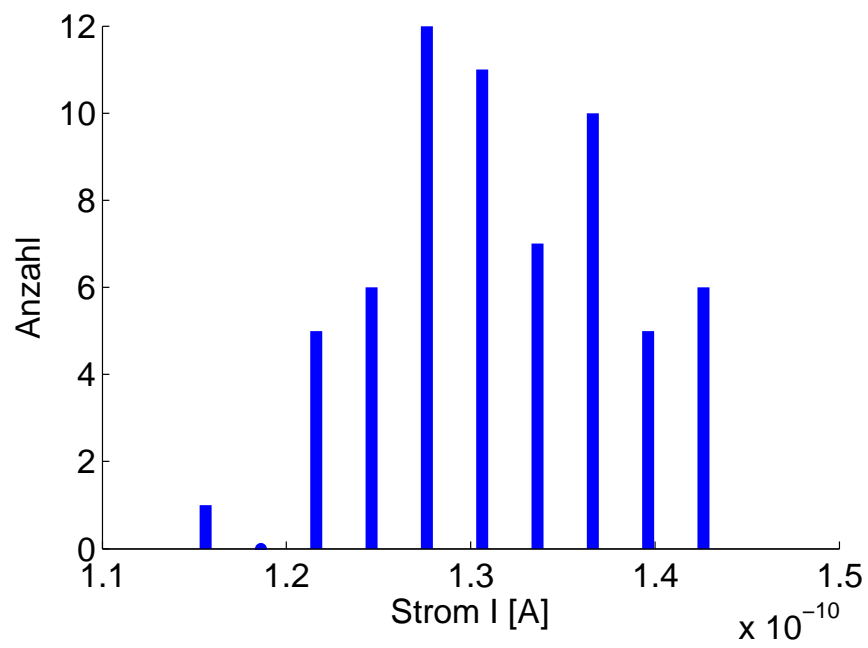


Abbildung C.4.: Verteilung der Leckstromdichte der Drain-Isolation-Dioden von den JFETs auf Wafer 231. Die Sperrspannung beträgt  $|V| = 15$  V.



# Abbildungsverzeichnis

2.1. Schematische Darstellungen eines idealisierten JFETs. . . . .	4
2.2. Theoretische Ausgangskennlinie eines n-Kanal JFETs . . . . .	6
2.3. Banddiagramm eines n-Kanal JFETs . . . . .	6
2.4. Transferkennlinien eines JFETs . . . . .	10
2.5. Schematische Darstellung eine Kurzkanal JFET . . . . .	11
2.6. Schematischer Verlauf einer Diodenkennlinie . . . . .	13
2.7. Schematische Darstellung eines Metall-Silizium-Kontakts. Aus der Geometrie des Kontakts, dem Schichtwiderstand im Silizium und dem spezifischen Kontaktwiderstand zwischen Metall und Silizium lässt sich der gesamte Kontaktwiderstand $R_C$ berechnen. . . . .	14
2.8. Schematische Darstellung eines SDDs . . . . .	15
2.9. Potenzialverteilung in einem SDD . . . . .	16
2.10. Schaltplan . . . . .	17
2.11. Querschnitt eines JFETs . . . . .	18
2.12. Dreidimensionale JFET Modelle für Simulationen . . . . .	19
2.13. Zylindrischer JFET . . . . .	20
2.14. Draufsicht auf den integrierten JFET . . . . .	21
2.15. Verschaltung des integrierten JFET . . . . .	21
3.1. Simulierte Abhängigkeit des Drainstroms von der Kanaldotierung . . . . .	24
3.2. Berechnete Einsatzspannung für verschiedene Kanalhöhen . . . . .	26
3.3. Abhängigkeit des Drainstroms und der Einsatzspannung von der Schichtdicke. . . . .	27
3.4. Epitaktisch gewachsenes Kanalgebiet . . . . .	29
3.5. Diffusionsbarriere für JFETs . . . . .	29
3.6. Offenlegung von Source und Drain . . . . .	30
3.7. Dotierung von Source und Drain . . . . .	31
3.8. Offenlegung des Gates . . . . .	32
3.9. Dotierung des JFETs . . . . .	33
3.10. Vollständig prozessierter JFET. . . . .	33
3.11. Waferkarte für SOD-JFETs . . . . .	34
3.12. Chips der SOD-JFETs . . . . .	35
3.13. Querschnitt des integrierten JFETs. . . . .	37
3.14. Draufsicht auf die Feedbackkapazität. . . . .	38
4.1. JFET mit dünnerem Kanalgebiet. . . . .	41
4.2. Schematische Darstellung eines Implanters . . . . .	43

4.3.	SIMS–Dotierprofil von Kanal und Isolation . . . . .	45
4.4.	SRP–Dotierprofil von Kanal und Isolation . . . . .	46
4.5.	Unabhängige SRP–Dotierprofile von Kanal und Isolation . . . . .	48
5.1.	Gemessene Ausgangskennlinien eines SOD–JFETs . . . . .	50
5.2.	Theoretische und gemessene Ausgangskennlinie eines SOD–JFETs . . . . .	52
5.3.	Simulierte Ausgangskennlinien für verschiedene Kanaldotierungen . . . . .	53
5.4.	Simulierte Ausgangskennlinien für starke Kanaldotierungen . . . . .	54
5.5.	Simulierte Ausgangskennlinien für verschiedene Kanaldotierungen mit unvollständiger Isolation . . . . .	57
5.6.	Simulierte Ausgangskennlinien für starke Kanaldotierungen mit unvollständiger Isolation . . . . .	58
5.7.	Vergleich gemessener und simulierter Ausgangskennlinien . . . . .	60
5.8.	Simulierte Stromdichte mit unvollständiger Isolation in Sättigung . . . . .	61
5.9.	Simulierte Stromdichte mit unvollständiger Isolation . . . . .	62
5.10.	Transferkennlinie eines SOD–JFETs . . . . .	64
5.11.	Simulierte Transferkennlinien . . . . .	65
5.12.	Vergleich von simulierter und gemessener Transferkennlinie für einen SOD–JFET . . . . .	66
5.13.	Simulierte Stromdichte mit unvollständiger Isolation . . . . .	67
5.14.	Gemessene Gateströme bei SOD–JFETs . . . . .	68
5.15.	Simulierte Gateströme bei SOD–JFETs . . . . .	69
5.16.	Simulierte Stromdichte zwischen Gate und Substrat . . . . .	70
5.17.	Gemessene und simulierte Ausgangskennlinie eines SOD–JFETs mit reduzierter Kanalhöhe . . . . .	72
5.18.	Übersicht über die Ausbeute der SOD–JFETs . . . . .	73
5.19.	Gemessene Diodenkennlinien von JFET H8, Wafer 232 . . . . .	76
5.20.	Stromdichten der Gatedioden von JFET H8, Wafer 232 . . . . .	77
5.21.	Simulierte Diodenkennlinien zu JFET H8, Wafer 232 . . . . .	78
5.22.	Gemessene Ausgangskennlinien von JFET H8, Wafer 232 . . . . .	80
5.23.	Berechnete und simulierte Ausgangskennlinien zu JFET H8, Wafer 232 . . . . .	81
5.24.	Transferkennlinien des JFETs H8, Wafer 232 . . . . .	82
5.25.	Bestimmung der Einsatzspannung des JFET H8, Wafer 232 . . . . .	84
5.26.	Steilheit des JFET H8, Wafer 232 . . . . .	85
5.27.	Gemessene Diodenkennlinien der JFETs H8, Wafer 232, 233, 236 . . . . .	87
5.28.	Gemessene Ausgangskennlinien der JFETs H8, Wafer 232, 233, 236. . . . .	89
5.29.	Vergleich der experimentellen mit berechneten und simulierten Ausgangskennlinien von JFET H8, Wafer 233. . . . .	90
5.30.	Gemessene Transferkennlinien der JFETs H8, Wafer 232, 233, 236 . . . . .	92
5.31.	Vergleich von simulierter mit gemessener Transferkennlinien von JFET H8, Wafer 233 . . . . .	94
5.32.	Absolute und normierte Normalverteilung von Leckströme für Dioden der JFETs von den Wafern 232, 233, 234, 236 . . . . .	96

5.33. Absolute und normierte Normalverteilung von Leckströme für Dioden der JFETs auf den Wafern 232, 233, 234, 236 . . . . .	97
5.34. Absolute und normierte Normalverteilung von Leckströmen für Dioden der JFETs auf den Wafern 232, 233, 236 . . . . .	99
5.35. Maskenjustage . . . . .	101
5.36. Verteilung der Ströme in Durchlassrichtung von JFET–Dioden der Wafer 232, 233, 234, 236 . . . . .	102
5.37. Normierte Stromverteilungen von JFET–Dioden der Wafer 232, 233, 234, 236 . . . . .	103
5.38. Verteilung der Ströme von JFET–Dioden der Wafer 232, 233, 234, 236 .	105
5.39. Verteilung der Ströme von JFET–Dioden der Wafer 232, 233, 234, 236 .	106
5.40. Verteilung der Ströme von JFET–Dioden der Wafer 232, 233, 234, 236 .	107
5.41. Histogramme der JFET–Drainströme von Wafer 233 . . . . .	109
5.42. Histogramme der JFET–Drainströme von den Wafern 232, 236 . . . . .	110
5.43. On zu off–Stromverhältnis für die JFETs der Wafer 232, 233, 236 . . . . .	113
5.44. Verteilung der Unterschwellsteigung für die JFETs der Wafer 232, 233, 236	114
5.45. Verteilung der Einsatzspannung für die JFETs der Wafer 232, 233, 236 .	116
5.46. Verteilung der Steilheit für die JFETs der Wafer 232, 233, 236 . . . . .	118
5.47. Querschnitt des PNP–Transistors . . . . .	119
5.48. Gemessene und simulierte Ströme von PNPs H8 der Wafer 232, 233 . . . . .	121
5.49. Ströme eines PNP–Transistors . . . . .	122
5.50. Histogramme der gemessenen Emitterströme . . . . .	123
5.51. On zu off– Verhältnis der Emitterströme . . . . .	124
6.1. Vergleich gemessener und simulierter Ausgangskennlinien . . . . .	126
6.2. Draufsicht auf einen integrierten JFET . . . . .	127
6.3. Verteilung der Unterschwellsteigung für die JFETs der Wafer 232, 233, 236	128
A.1. Übersicht Neunpunktmessung . . . . .	131
A.2. Waferkarte der SDD Chips . . . . .	132
C.1. Verteilung der Leckstromdichte der Drain–Isolation–Dioden von den JFETs auf Wafer 229 . . . . .	143
C.2. Verteilung der Leckstromdichte der Drain–Isolation–Dioden von den JFETs auf Wafer 229 . . . . .	144
C.3. Verteilung der Leckstromdichte der Drain–Isolation–Dioden von den JFETs auf Wafer 231 . . . . .	145
C.4. Verteilung der Leckstromdichte der Drain–Isolation–Dioden von den JFETs auf Wafer 231 . . . . .	146



# Tabellenverzeichnis

3.1. Substratwiderstand und Kanaldotierung . . . . .	30
3.2. Nominelle und realisierte Gatebreiten der SOD–JFETs. . . . .	36
3.3. Parameter der Feedbackkapazitäten . . . . .	38
4.1. Ätzzraten . . . . .	42
4.2. Implantationsenergien . . . . .	45
5.1. Verhältnis von Kanallänge zu Kanalhöhe . . . . .	56
5.2. Übersicht über Gateströme der SOD–JFETs . . . . .	71
5.3. Übersicht über Drainströme eines SOD–JFETs bei verschiedenen Gate- spannungen . . . . .	72
5.4. Leckströme der verschiedenen Dioden von JFET H8, Wafer 232 . . . . .	75
5.5. Experimentell bestimmte Kenngrößen von JFET H8, Wafer 232 . . . . .	83
5.6. Übersicht der prozesstechnischen Besonderheiten . . . . .	86
5.7. Kenngrößen der JFETs H8 der Wafer 232, 233, 236 . . . . .	93
5.8. Statistische Kenngrößen von Dioden der Wafer 232, 233, 234, 236 . . . . .	98
5.9. Geometrische Größen verschiedener JFETs . . . . .	108
5.10. Drainströme von JFETs aus der Literatur . . . . .	111
5.11. Drainströme der JFETs W229 bis W236 . . . . .	111
5.12. Kenngrößen von JFETs der Wafer 232, 233, 236 . . . . .	115
5.13. Kenngrößen von JFETs der Wafer 232, 233, 236 . . . . .	115



# Literaturverzeichnis

- [1] E. Belau, J. Kemmer, R. Klanner, U. Kötz, G. Lutz, W. Männer, E. Neugebauer, H. Seebrunner, and A. Wylie, “Silicon detectors with 5  $\mu$ m spatial resolution for high energy particles,” *Nuclear Instruments and Methods in Physics Research*, vol. 217, no. 1-2, pp. 224 – 228, 1983. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/0167508783901382>
- [2] M. Caccia, L. Evensen, T. Hansen, R. Horisberger, L. Hubbeling, A. Peisert, T. Tuuva, P. Weilhammer, and A. Zalewska, “A si strip detector with integrated coupling capacitors,” *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 260, no. 1, pp. 124 – 131, 1987. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/0168900287903937>
- [3] M. Feser, B. Hornberger, C. Jacobsen, G. D. Geronimo, P. Rehak, P. Holl, and L. Strüder, “Integrating silicon detector with segmentation for scanning transmission x-ray microscopy,” *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 565, no. 2, pp. 841 – 854, 2006. [Online]. Available: <http://www.sciencedirect.com/science/article/B6TJM-4K4WG1V-6/2/d6fa2459fbe7d6cfaf43e46ec7558be9>
- [4] H. Bräuninger, R. Danner, D. Hauff, P. Lechner, G. Lutz, N. Meidinger, E. Pinotti, C. Reppin, L. Strüder, J. Trümper, E. Kendziorra, J. Krämer, M. Mohan, R. Staubert, N. Findeis, P. Holl, J. Kemmer, and C. von Zanthier, “First results with the pn-ccd detector system for the xmm satellite mission,” *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 326, no. 1-2, pp. 129 – 135, 1993. [Online]. Available: <http://www.sciencedirect.com/science/article/B6TJM-472T4F6-7S/2/906a549ecf52ea29253c92abd27da1b8>
- [5] E. Pinotti, H. Bräuninger, N. Findeis, H. Gorke, D. Hauff, P. Holl, J. Kemmer, P. Lechner, G. Lutz, W. Kink, N. Meidinger, G. Metzner, P. Predehl, C. Reppin, L. Strüder, J. Trümper, C. Zanthier, E. Kendziorra, R. Staubert, V. Radeka, P. Rehak, G. Bertuccio, E. Gatti, A. Longoni, A. Pullia, and M. Sampietro, “The pn-ccd on-chip electronics,” *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 326, no. 1-2, pp. 85 – 91,

1993. [Online]. Available: <http://www.sciencedirect.com/science/article/B6TJM-472T4F6-7K/2/7e8b22633e522f8012456b2ec6bffb36>
- [6] J. Kemmer, “Fabrication of low noise silicon radiation detectors by the planar process,” *Nuclear Instruments and Methods*, vol. 169, no. 3, pp. 499 – 502, 1980. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/0029554X80909489>
- [7] V. Radeka, P. Rehak, S. Rescia, E. Gatti, A. Longoni, M. Sampietro, P. Holl, L. Struder, and J. Kemmer, “Design of a charge sensitive preamplifier on high resistivity silicon,” *Nuclear Science, IEEE Transactions on*, vol. 35, no. 1, pp. 155 – 159, feb 1988.
- [8] M. Sampietro, L. Fasoli, P. Rehak, and L. Struder, “Novel p-jfet embedded in silicon radiation detectors that avoids preamplifier feedback resistor,” *Electron Device Letters, IEEE*, vol. 16, no. 5, pp. 208–210, May 1995.
- [9] G. Bertuccio, L. Fasoli, C. Fiorini, E. Gatti, A. Longoni, M. Sampietro, D. Hauff, J. Kemmer, and R. Richter, “Silicon drift detector with integrated p-jfet for continuous discharge of collected electrons through the gate junction,” *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 377, no. 2-3, pp. 352 – 356, 1996, proceedings of the Seventh European Symposium on Semiconductor. [Online]. Available: <http://www.sciencedirect.com/science/article/B6TJM-3VSPYK0-B8/2/3f2dd2620d1ec881710b9045438842f3>
- [10] C. Fiorini and P. Lechner, “Charge-sensitive preamplifier with continuous reset by means of the gate-to-drain current of the jfet integrated on the detector,” *Nuclear Science, IEEE Transactions on*, vol. 49, no. 3, pp. 1147–1151, Jun 2002.
- [11] P. Lechner, S. Eckbauer, R. Hartmann, S. Krisch, D. Hauff, R. Richter, H. Soltau, L. Strüder, C. Fiorini, E. Gatti, A. Longoni, and M. Sampietro, “Silicon drift detectors for high resolution room temperature x-ray spectroscopy,” *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 377, no. 2-3, pp. 346 – 351, 1996, proceedings of the Seventh European Symposium on Semiconductor. [Online]. Available: <http://www.sciencedirect.com/science/article/B6TJM-3VSPYK0-B7/2/fd4a2b6876361d537956a8cd0ed4aa2d>
- [12] M. Sampietro, L. Fasoli, E. Gatti, C. Guazzoni, A. Fazzi, P. Lechner, J. Kemmer, D. Hauf, and L. Struder, “Bipolar feedback transistor integrated on detector with jfet for continuous reset,” *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 439, no. 2-3, pp. 368 – 372, 2000.
- [13] P. Manfredi and V. Speziali, “The state-of-the-art of low noise design in particle physics,” *Nuclear Physics B - Proceedings Supplements*, vol. 32, pp. 487 – 505,



1993. [Online]. Available: <http://www.sciencedirect.com/science/article/B6TVD-47G2PCN-27/2/fe425c25afa939b3d013f33a222cc72c>
- [14] J. Kemmer, “Advanced concepts for semiconductor nuclear radiation detectors,” *Nuclear Instruments and Methods in Physics Research Section B: Beam Interactions with Materials and Atoms*, vol. 45, no. 1-4, pp. 247 – 251, 1990. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/0168583X9090828I>
- [15] C. Guazzoni, M. Sampietro, and A. Fazzi, “Detector embedded device for continuous reset of charge amplifiers: choice between bipolar and mos transistor,” *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 443, no. 2-3, pp. 447 – 450, 2000. [Online]. Available: <http://www.sciencedirect.com/science/article/B6TJM-3YVDN3S-V/2/3281d3ee996e19f29567d5a5cec2392f>
- [16] T. Nashashibi and G. White, “A low noise fet with integrated charge restoration for radiation detectors,” *Nuclear Science, IEEE Transactions on*, vol. 37, no. 2, pp. 452 – 456, apr 1990.
- [17] A. Fazzi and P. Rehak, “A double-gate double-feedback jfet charge-sensitive preamplifier,” *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 380, no. 1-2, pp. 346 – 349, 1996, proceedings of the 9th International Workshop on Room Temperature Semiconductor X- and @c-Ray Detectors, Associated Electronics and Applications. [Online]. Available: <http://www.sciencedirect.com/science/article/B6TJM-3VSNKJJ-2M/2/a52ca6a29787ee4f746b2405b1bc7326>
- [18] H. Matsuura, K. Akatani, M. Ueda, K. Segawa, H. Tomozawa, K. Nishida, and K. Taniguchi, “A new n-channel junction field-effect transistor embedded in the i layer of a pin diode,” *Japanese Journal of Applied Physics*, vol. 38, no. Part 2, No. 9A/B, pp. L1015–L1017, 1999. [Online]. Available: <http://jjap.ipap.jp/link?JJAP/38/L1015/>
- [19] W. Shockley, “A unipolar ffield-effectttransistor,” *Proceedings of the IRE*, vol. 40, no. 11, pp. 1365–1376, Nov. 1952.
- [20] J. E. Lilienfeld, “Method and apparatus for controlling electric currents,” U.S. Patent 1 745 175, 1930.
- [21] —, “Amplifier for electrical currents,” U.S. Patent 1 877 140, 1932.
- [22] —, “Device for controlling electric current,” U.S. Patent 1 900 018, 1933.
- [23] O. Heil, “Improvements in or relating to electical amplifiers and other control arrangements and devices,” GB Patent 439 457, 1935.
- [24] S. M. Sze and K. K. Ng, *Physics of Semiconductor Devices*, 3rd ed. Wiley-Interscience, Oct 2006.

- [25] H. F. Matere, “Crystal device for controlling electric currents by means of a solid semiconductor,” U.S. Patent 2 673 948, 1954.
- [26] R. Paul, *Feldeffekttransistoren*, 1st ed. VEB Verlag Technik Berlin, 1972.
- [27] D. P. Kennedy and R. R. O’Brien, “Computer aided two-dimensional analysis of the junction field-effect transistor,” *IBM Journal of Research and Development*, vol. 14, no. 2, pp. 95–116, march 1970.
- [28] W. Wong and J. Liou, “Two-dimensional analysis of ion-implanted, bipolar-compatible, long- and short-channel junction field-effect transistors,” *Electron Devices, IEEE Transactions on*, vol. 39, no. 11, pp. 2576–2583, nov 1992.
- [29] L. Halle and J. Knudsen, “Jfet/sos devices. i. transistor characteristics and modeling results,” *Electron Devices, IEEE Transactions on*, vol. 35, no. 3, pp. 353–358, mar. 1988.
- [30] J. Chang, A. Kapoor, L. Register, and S. K. Banerjee, “Analytical model of short-channel double-gate jfets,” *Electron Devices, IEEE Transactions on*, vol. 57, no. 8, pp. 1846–1855, Aug 2010.
- [31] V. De and J. Meindl, “Three-region analytical models for mesfets in low-voltage digital circuits,” *Solid-State Circuits, IEEE Journal of*, vol. 26, no. 6, pp. 850–858, Jun 1991.
- [32] J. Hauser, “Characteristics of junction field effect devices with small channel length-to-width ratios,” *Solid-State Electronics*, vol. 10, no. 6, pp. 577–587, 1967. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/0038110167901396>
- [33] B. Himsworth, “A two-dimensional analysis of gallium arsenide junction field effect transistors with long and short channels,” *Solid-State Electronics*, vol. 15, no. 12, pp. 1353–1361, 1972. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/0038110172901293>
- [34] R. Müller, *Grundlagen der Halbleiter-Elektronik*, 2nd ed. Springer-Verlag, 1975.
- [35] G. Dacey and I. Ross, “Unipolar field-effect transistor,” *Proceedings of the IRE*, vol. 41, no. 8, pp. 970–979, aug. 1953.
- [36] T. Eggert, “Die spektrale antwort von silizium – röntgendektoren,” Ph.D. dissertation, Technische Universität München, 2004.
- [37] C. Bulucea, “Recalculation of irvin’s resistivity curves for diffused layers in silicon using updated bulk resistivity data,” *Solid-State Electronics*, vol. 36, no. 4, pp. 489–493, 1993. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/003811019390257Q>

- [38] P. Lechner, C. Fiorini, R. Hartmann, J. Kemmer, N. Krause, P. Leutenegger, A. Longoni, H. Soltau, D. Stötter, R. Stötter, L. Strüder, and U. Weber, “Silicon drift detectors for high count rate x-ray spectroscopy at room temperature,” *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 458, no. 1-2, pp. 281 – 287, 2001. [Online]. Available: <http://www.sciencedirect.com/science/article/B6TJM-42990T4-1K/2/aa3c937dd3a0fc7216fddff361e875b6>
- [39] S. A. Campbell, *The Science and Engineering of Microelectronic Fabrication*, 2nd ed. Oxford University Press, 2001.
- [40] J. Lund, F. Olschner, P. Bennett, and L. Rehn, “Epitaxial n-channel jfets integrated on high resistivity silicon for x-ray detectors,” *Nuclear Science, IEEE Transactions on*, vol. 42, no. 4, pp. 820 – 823, Aug. 1995.
- [41] K. Misiakos and S. Kavadias, “A silicon drift detector with a p-type jfet integrated in the n-well anode,” *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 458, no. 1-2, pp. 422 – 426, 2001. [Online]. Available: <http://www.sciencedirect.com/science/article/B6TJM-42990T4-2B/2/2ca1d8ce0aff7ac81d84e25ad9fa4073>
- [42] A. G. Aberle, *Crystalline silicon solar cells : advanced surface passivation and analysis*. Sydney : Centre for Photovoltaic Engineering, University of New South Wales, 1999.
- [43] K. Williams and R. Muller, “Etch rates for micromachining processing,” *Microelectromechanical Systems, Journal of*, vol. 5, no. 4, pp. 256–269, Dec 1996.
- [44] P. Neumann, “Aufbau eines automatischen messplatzes und auswertung der messdaten durch matlab.” Master’s thesis, Universität der Bundeswehr München, 2010.
- [45] M. Schuh, “Aufbau eines automatischen messplatzes zur messung von pin – dioden.” Master’s thesis, Universität der Bundeswehr München, 2010.
- [46] T. Kubot, “Was weiß ich,” Ph.D. dissertation, Universität der Bundeswehr, 2013.
- [47] T. Clarysse and W. Vandervorst, “Qualification of spreading resistance probe operations. i,” vol. 18, no. 1. AVS, 2000, pp. 369–380. [Online]. Available: <http://link.aip.org/link/?JVB/18/369/1>
- [48] T. Clarysse, P. Eyben, N. Duhayon, M. W. Xu, and W. Vandervorst, “Carrier spilling revisited: On-bevel junction behavior of different electrical depth profiling techniques,” *Journal of Vacuum Science & Technology B: Microelectronics and Nanometer Structures*, vol. 21, no. 2, pp. 729–736, 2003. [Online]. Available: <http://link.aip.org/link/?JVB/21/729/1>

- [49] T. Clarysse and W. Vandervorst, “Qualification of spreading resistance probe operations. ii,” vol. 18, no. 1. AVS, 2000, pp. 381–388. [Online]. Available: <http://link.aip.org/link/?JVB/18/381/1>
- [50] S. M. Hu, “Between carrier distributions and dopant atomic distribution in beveled silicon substrates,” *Journal of Applied Physics*, vol. 53, no. 3, pp. 1499–1510, 1982. [Online]. Available: <http://link.aip.org/link/?JAP/53/1499/1>
- [51] R. G. Mazur, “Poisson-based analysis of spreading resistance profiles,” vol. 10, no. 1. AVS, 1992, pp. 397–407. [Online]. Available: <http://link.aip.org/link/?JVB/10/397/1>
- [52] A. Casel and H. Jorke, “Comparison of carrier profiles from spreading resistance analysis and from model calculations for abrupt doping structures,” *Applied Physics Letters*, vol. 50, no. 15, pp. 989–991, 1987. [Online]. Available: <http://link.aip.org/link/?APL/50/989/1>
- [53] *Atlas User’s Manual*.
- [54] J. Biba, “Qualitätsmanagement im universitären umfeld am beispiel eines halbleiter-labors,” Ph.D. dissertation, Universität der Bundeswehr München, 2012.
- [55] G. D. Betta, G. Verzellesi, G. Pignatell, S. Amon, M. Boscardin, and G. Soncini, “Design of an n-channel jfet on high-resistivity silicon for radiation-detector on-chip front-end electronics,” *Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment*, vol. 365, no. 2-3, pp. 473 – 479, 1995. [Online]. Available: <http://www.sciencedirect.com/science/article/pii/0168900295005528>
- [56] K. F. Kaesen, “Mos-transistoren mit abmessungen im nanometerbereich,” Ph.D. dissertation, Universität der Bundeswehr München, 1998.
- [57] *Model 4200-SCS Technical Data*.
- [58] I. Richer and R. Middlebrook, “Power-law nature of field-effect transistor experimental characteristics,” *Proceedings of the IEEE*, vol. 51, no. 8, pp. 1145–1146, 1963.
- [59] H. Toutenburg and K. Philipp, *Six Sigma - Methoden und Statistik für die Praxis*, 2nd ed. Springer-Verlag, 2009.
- [60] H. W. Lilliefors, “On the kolmogorov-smirnov test for normality with mean and variance unknown,” *Journal of the American Statistical Association*, vol. 62, no. 318, pp. 399–402, 1967. [Online]. Available: <http://www.tandfonline.com/doi/abs/10.1080/01621459.1967.10482916>
- [61] H. Göbel, *Einführung in die Halbleiter-Schaltungstechnik*, 4th ed. Springer-Verlag, 2011.

# Publikationen

## 2009:

C. Rohr, J. Büttner, F. Palitschka, N. Kushch, M. Kartsovnik, W. Biberacher, R. Gross, B. Hermann: Organic superconductors revisited, *The European Physical Journal B*, vol. 69, no. 2, 167–171, 2009

## 2010:

Dressler, M.; Lochner, H.; Axt C.; Schindler, R.; Biba, J.; Hammer, O.; Palitschka, F.; Kulaga-Egger, D.; Nüssel, R.; Stimpel-Lindner, T.; Sulima, T.; Hansch, W.: Improvement of TFET performance by spacer technology, *DPG Spring Meeting*, Regensburg, 2010

Hammer, O.; Palitschka, F.; Lochner, H.; Kubot, T.; Kulaga-Egger, D.; Axt, C.; Biba, J.; Beckmeier, D.; Schindler, R.; Dressler, M.; Sulima, T.; Hansch, W.: Ammonium hydroxide (NH<sub>4</sub>OH) as etch stop chemical for highly boron doped silicon  $\delta$ -layers, *DPG Spring Meeting*, Regensburg, 2010

Schindler, R.; Biba J.; Dressler, M.; Axt, C.; Lochner, H.; Kulaga-Egger, D.; Stimpel-Lindner, T.; Palitschka, F.; Hammer, O.; Sulima, T.; Hansch, W.: Properties of an interface layer created by boron–SOD diffusion, *DPG Spring Meeting*, Regensburg, 2010

Axt, C.; Lochner, H.; Palitschka, F.; Dressler M.; Schindler, R.; Biba, J.; Sulima T.; Hansch W.: SOD as self acting passivation for lateral tunneling field effect transistors, *DPG Spring Meeting*, Regensburg, 2010

## 2013:

Palitschka, F.; Kubot, T.; Höllt, L.; Wiest, F.; Sulima T.; Hansch W.: JFET as impedance converter in silicon drift detectors, *Kolloquium der Fakultät für Elektrotechnik und Informationstechnik an der Universität der Bundeswehr*, Neubiberg, 2013

Kubot, T.; Palitschka, F.; Sulima T.; Hansch W.: Beyond Moore ? Performance Enhancement of vertical Impact Ionisation MOSFET, *Kolloquium der Fakultät für Elektrotechnik und Informationstechnik an der Universität der Bundeswehr*, Neubiberg, 2013



# Danksagung

An dieser Stelle möchte ich mich bei allen Bedanken, die mich bei dieser Arbeit unterstützt haben.

Mein besonderer Dank gilt **Prof. Dr. Walter Hansch** der es mir ermöglichte an der Universität der Bundeswehr dieses interessante und vielseitige Thema zu bearbeiten. Während der Zeit am Institut durfte ich von seinem umfassenden Wissen und Erfahrungen profitieren. Weiterhin möchte ich mich für die großartige Unterstützung bedanken, sowie für das in mich gesetzte Vertrauen und die Freiheiten bei der Anfertigung dieser Arbeit.

Herzlichen Dank auch an **Prof. Dr. Martin Sauter** für seine Hilfe. Die vielen Diskussionen zu meinen Simulationen und Messungen waren ausgesprochen hilfreich.

**Prof. Dr. Hermann Baumgärtner** möchte ich danken für die aufschlussreichen Diskussionen, insbesondere auf dem Gebiet der CV – Messungen bei denen ich viel lernete.

Im besonderen Maß möchte ich mich auch bei **Dr. Lothar Höllt** von der Firma Ketek bedanken für das spannende und vielseitige Thema, sowie seine Unterstützung und Betreuung bei meiner Arbeit. Seine Tür war immer offen und ich bekam jederzeit Hilfe und Unterstützung.

Dank geht auch an **Silvia Wallner, Dr. Reinhard Fojt** und **Dr. Florian Wiest** von Ketek für Ihre Hilfe und Unterstützung.

Ganz besonders möchte ich mich auch bei **Helmut Lochner** und **Dr. Peter Iskra** bedanken, die mir immer mit Rat und Tat zur Seite standen. Auch durfte ich von ihrem umfangreichen Wissen über die Prozesse im Reinraum profitieren. Somit erleichterten mir beide den Einstieg sehr. Es war eine schöne Zeit am Institut.

Herzlich bedanken möchte ich mich bei **Tina Kubot** für Ihre große Unterstützung im Reinraum und Ihrer Diskussionsbereitschaft in theoretischen und technologischen Belangen. Auch dafür, dass sie mich und Mucki in einem Büro ertragen hat. Es war eine schöne Zeit am Institut.

Vielen Dank gebührt auch meinem Kollegen **Dr. Josef Biba** für seine große Unterstützung im Reinraum und seiner Diskussionsbereitschaft in technologischen Belangen sowie die sehr gute Zusammenarbeit und schöne Zeit am Institut.

## *Danksagung*

Bei **Anke Heller** und **Torsten Böttzow** möchte ich mich besonders für die Unterstützung in meiner Anfangszeit bedanken. Dank geht auch an **Maria Bieniek – Barth** und **Hayrettin Altinbas**. Bei allen möchte ich mich für die sehr gute und angenehme Zusammenarbeit bedanken.

Bedanken möchte ich mich auch bei **Dr. Torsten Sulima** und **Dr. Tanja Stimpel – Lindner** für die Hilfe in allen Belangen, ob fachlich oder organisatorisch und besonders der Unterstützung zu Beginn meiner Zeit am Institut.

Herzlicher Dank gilt auch **Hans Messarosch** für seine Arbeit an der MBE – Anlage und **Andreas Rippler** für die vielen RCA – Reinigungen.

Bei **Peter Ciecierski**, **Walter Funke**, **Michael Meyer**, **Tobias Kisthardt** und **Sebastian Winter** möchte ich mich herzlich für Ihre tatkräftige Unterstützung bedanken. In diesem Zusammenhang möchte ich mich auch bei **Georg Behringer** bedanken.

Danke auch an unsere Sekretärinnen **Karin Bächle** und **Cornelia Budach** für Ihre Unterstützung in administrativen Angelegenheiten.

Bedanken möchte ich mich auch bei meinen Kollegen **Daniel Beckmeier**, **Christoph Dietzinger**, **Fabian Florek**, **Thomas Ganka**, **Michael Görlich**, **Zhaohai Jiang**, **Dorota Kulaga – Egger**, **Swetlana Lutschinin**, **Roniyus Marjunus**, **Dr. Rudolf Nüßl**, **Ulrich Pflieger**, **Eva Schober**, **Dr. Martin Schlosser**, **Dr. Christoph Senft**, **Dr. Oliver Senftleben**, **Stefan Simon**, **Vijesh Vijayakumar**, **Dr. Thomas Zillbauer** für die gute Zusammenarbeit und die schöne Zeit an der Universität.

Für das Korrekturlesen meiner Arbeit bedanke ich mich ganz besonders bei **Dr. Tobias Stögbauer**, **Dr. Doan Tuong – Van Le** und **Dr. Lothar Höllt**.

Herzlichen Dank an meine Freunde **Michael Bossenmaier**, **Georg Bretzel**, **Alexander Epping**, **Robert Epping**, **Dr. Doan Tuong – Van Le**, **Dr. Andreas Paxian**, **Dr. Tobias Stögbauer**.

Danke auch an die Meistermannschaft des Stammturniers 2012 sowie den Mannschaften von 2011 und 2013 von denen ich ein Teil sein durfte und unserem Coach **Prof. Dr. Walter Hansch** sowie allen weiteren Mitspielern unserer Fußballgruppe.

Ganz besonders herzlich möchte ich mich für alles bei meinen Eltern **Hannelore** und **Peter Palitschka** bedanken.



