

Analyse und Modellierung des
Alterungsverhaltens Lateraler
DMOS-Transistoren bei Belastung
durch heiße Ladungsträger

Eva Riedlberger

Vorsitzender des Promotionsausschusses	Prof. Dr. – Ing. H. Baumgärtner
1. Berichterstatter	Prof. Dr. – Ing. W. Hansch
2. Berichterstatter	PD Dr. – Ing. habil. R. Kraus

Tag der Prüfung: 20.06.2011

Mit der Promotion erlangter akademischer Grad:
Doktor – Ingenieur
(Dr. – Ing.)

Unterhaching, den 05.09.2011

Zusammenfassung

Wiederholtes Schalten einer induktiven Last ist besonders kritisch für die Langzeitstabilität Lateraler DMOS-Transistoren. In diesem Betriebsmodus werden in erhöhtem Maße hochenergetische Ladungsträger generiert, welche zu einer Schädigung des Oxids bzw. der Si/SiO₂-Grenzfläche führen. Der damit verbundene Ladungsaufbau führt zu einer Änderung der Potentialverteilung im Transistor und ändert damit dessen spannungsabhängigen Widerstand, was ab einem gewissen Schädigungsniveau die Funktion des gesamten Schaltkreises beeinträchtigt. Somit ist das Verständnis der zur Degradation beitragenden physikalischen Vorgänge im Transistor von großer Relevanz, um durch entsprechende Verbesserungen des Herstellungsprozesses und der Transistorgeometrie die Anfälligkeit für Schädigung durch heiße Ladungsträger zu minimieren. Des Weiteren dient ein vertieftes Wissen um den Degradationsmechanismus zur Entwicklung von Modellen, welche die Degradation als Funktion der zeitabhängigen Belastung im Produktschaltkreis abbilden und prognostizieren. Diese Modelle sind von großer Bedeutung für die Abschätzung des Schädigungsniveaus nach einer vom jeweiligen Produkt abhängigen Belastungssequenz. Gegenstand der vorliegenden Arbeit ist deshalb sowohl die Analyse des Degradationsverhaltens Lateraler DMOS-Transistoren als auch die Entwicklung von validen Modellen, die die durch heiße Ladungsträger bedingte Alterung kritischer Transistorparameter simulieren. Durch den Einsatz von verschiedenen experimentellen Methoden sowie Bauelement-Simulation wird ein umfassendes Verständnis des von der elektrischen Belastungsbedingung abhängigen Degradationsverhaltens entwickelt. Neben der Durchführung von Bauelementsimulation unter Verwendung von Standardmodellen wird außerdem auf die Ergebnisse von Monte-Carlo-Simulation zurückgegriffen, welche von Prof. Jungemann im Rahmen einer Kooperation mit dem Institut für Mikroelektronik und Schaltungstechnik der Universität der Bundeswehr Neuburg durchgeführt wurden. Es wird gezeigt, dass Degradation unter Berücksichtigung der Mess- und Simulationsergebnisse bei den für die Modellierung relevanten Arbeitspunkten in erster Linie durch heiße Elektronen ausgelöst wird, welche ein Injektionsmaximum im unteren Teil des kanalseitigen Birdsbeak aufweisen. Mittels thermischer Finite-Elemente-Simulation unter Verwendung des Simulators „TESI“ [Pfo08] wird gezeigt, dass Eigenerwärmungseffekte beim verwendeten Testtransistor aufgrund der geringen Größe keinen signifikanten Einfluss auf die Modellvorhersage beim für die Validierung des Modells benutzten Anwendungsfall des wie-

derholten spannungsbegrenzten Schaltens einer induktiven Last haben. Es kann weiterhin gezeigt werden, dass Erholungseffekte auf den der Messung zugänglichen Zeitskalen ebenfalls so klein sind, dass sie bei der Entwicklung eines Modells zur Vorhersage der Degradation in diesem Betriebsmodus nicht berücksichtigt werden müssen. Schließlich wird, basierend auf herkömmlichen Degradationsmodellen, ein verbessertes Modell zur Vorhersage des Degradationsverhaltens im Gleichspannungsbetrieb vorgestellt, welches die DC-Degradation im für die Modellierung des Degradationsverhaltens im gepulsten Anwendungsfall relevanten Arbeitsbereich abbildet. Ausgehend hiervon wird ein numerischer Algorithmus entwickelt, der die Degradation im dynamischen Betriebsmodus modelliert. Alternativ hierzu wird ein verkürztes analytisches Modell präsentiert, welches sich zur Implementierung in einen Schaltkreissimulator eignet.

Inhaltsverzeichnis

Abkürzungen und Formelzeichen	V
1 Einleitung	1
2 Aufbau und Wirkungsweise des LDMOSFET	7
2.1 Aufbau	7
2.2 Schaltverhalten	10
3 Messtechnik und Simulationsverfahren	15
3.1 Messtechnik	15
3.1.1 Messung des Degradationsverhaltens im Gleichspannungsbetrieb	15
3.1.2 Messung des Degradationsverhaltens bei wiederholtem spannungsbegrenztem Schalten	18
3.1.3 Photon-Emissions-Mikroskopie	24
3.2 Simulationsverfahren	28
3.2.1 Klassische Simulationsverfahren	32
3.2.2 Monte-Carlo-Simulation	34
4 Analyse des Degradationsverhaltens	37
4.1 Grundlagen	39
4.2 Ermittlung des Degradationsmechanismus	42
4.2.1 Ermittlung des kritischsten Parameters	42
4.2.2 Allgemeine Überlegungen zum Degradationsgeschehen	44
4.2.3 Degradation als Funktion von V_G	47
4.2.4 Degradation als Funktion von V_D	61
4.3 Dynamische Effekte	69
4.4 Temperaturabhängigkeit der Degradation	73
4.4.1 Motivation	73
4.4.2 Thermische Finite-Elemente-Simulation	75

5	Modellierung des Degradationsverhaltens	81
5.1	Modellierung der Degradation bei Gleichspannung	82
5.1.1	Herkömmliche Modelle	82
5.1.2	Neues Modell	91
5.2	Modellierung des Degradationsverhaltens im gepulsten Modus	101
5.2.1	Numerisches Verfahren	101
5.2.2	Analytisches Kompaktmodell	104
6	Ausblick	109
	Literaturverzeichnis	119
	Publikationen	129
	Danksagung	131

Abkürzungen und Formelzeichen

Abkürzungen

A/D	Analog/Digital
BZ	Brioullin-Zone
CCD	Charge-Coupled Device
CMOS	Complementary Metal-Oxide-Semiconductor
D	Drain
DC	Direct Current
DK	Driftkriterium
DMOS	Double-diffused Metal-Oxide-Semiconductor
ESD	Electro-static discharge
G	Gate
H	Wasserstoff
IC	Integrated Circuit
LDD	Lightly Doped Drain
LDMOS	Lateral Double-diffused Metal-Oxide-Semiconductor
LDMOSFET	Lateral Double-diffused Metal-Oxide-Semiconductor Field-Effect-Transistor
LOCOS	Local Oxidation of Silicon
MOS	Metal-Oxide-Semiconductor
MOSFET	Metal-Oxide-Semiconductor Field-Effect-Transistor
PFET	P-channel Field-Effect-Transistor
RESURF	Reduced Surface Field
S	Source
Si	Silizium
SiO ₂	Siliziumdioxid
SMU	Source-Measurement-Unit
TCAD	Technology Computer Aided Design
VSU	Voltage-Source-Unit

Formelzeichen

A	Modellparameter
α, α'	Modellparameter
β	Modellparameter
C	Modellparameter
$C_1, \tilde{C}_1, C_2, \tilde{C}_2, C_3,$ C_4, C_5, C_6, C_7, C_8	Modellparameter
C_D	Kapazität der Verarmungszone pro Flächeneinheit
C_{it}	durch umladbare Grenzflächenzustände erzeugte Kapazität pro Flächeneinheit
C_{ox}	Oxidkapazität pro Flächeneinheit
c	spezifische Wärmekapazität
D	Schädigungsniveau
d	Dicke des Wafers
δ	unterer Grenzwert für die Degradation der Beweglichkeit
E	Energie
E_{Gap}	Bandlückenenergie
E_m	maximales elektrisches Feld
E_{CBO}	Leitungsbandoffset
E_{VBO}	Valenzbandoffset
$\epsilon(\vec{r})$	Dielektrizitätskonstante
η	Modellparameter
\vec{F}	Kraft
$f_i(\vec{r}, \vec{k}, t)$	Verteilungsfunktion im Phasenraum
G^{II}	Elektronengenerationsrate durch Stoßionisation
g_m	maximale Steilheit
g_m^0	maximale Steilheit vor Belastung
γ	Modellparameter
\hbar	reduziertes Plancksches Wirkungsquantum
I_{Body}	Bodystrom
I_{acc}	Strom durch die Akkumulationsschicht
I_{acc}^0	Strom durch die Akkumulationsschicht vor Belastung
I_D	Drainstrom
I_D^0	Drainstrom vor Belastung
$I_{D,an}$	(Drain-)Analogstrom
$I_{D,sat}$	(Drain-)Sättigungsstrom
I_D^{with}	Strom durch den internen Standard-MOSFET unter Berücksichtigung des source-/drainseitigen Serienwiderstands

$I_D^{0,with}$	Strom durch den internen Standard-MOSFET unter Berücksichtigung des source-/drain-seitigen Serienwiderstands vor Belastung
$I_D^{without}$	Drainstrom durch den „nackten“ internen Standard-MOSFET
I_S	Sourcestrom
I_{spr}^0	Strom durch die gesamte n^- -Region abzüglich des Stroms durch die Akkumulationsschicht
I_{spr}^0	Strom durch die gesamte n^- -Region abzüglich des Stroms durch die Akkumulationsschicht vor Belastung
I_{Sub}	Substratstrom
i	Index des Energiebands
$\vec{j}(\vec{r}, t)$	Teilchenstromdichte
j_{ox}	Injektionsstromdichte
\vec{k}	Wellenvektor
K, \tilde{K}	Quotient aus dem Leitwert des Kanalgebiets und dem Leitwert der n^- -Region
k_B	Boltzmannkonstante
κ	thermische Leitfähigkeit
L	Gatelänge
L_{eff}	effektive Gatelänge
$L_{eff}^{n^-}$	effektive Länge der n^- -Region
l	Distanz im Transistor
l_{Debye}	Abschirmlänge
$l_{it,e}$	die zum Erreichen von $\varphi_{it,e}$ erforderliche Driftstrecke
λ	Wellenlänge
λ_e	mittlere freie Weglänge für Elektronen
λ_h	mittlere freie Weglänge für Löcher
M	Einteilchenfunktion
$1/m_n^*$	effektive reziproke Elektronenmasse
$\mu(\vec{r}, \vec{k})$	Einteilchenenergie
μ_B	Bulkbeweglichkeit
μ_K	Kanalbeweglichkeit
μ_n	Beweglichkeit der Elektronen
μ^{n^-}	Beweglichkeit in der n^- -Region
$\mu_0^{n^-}$	Beweglichkeit in der n^- -Region vor Belastung
μ_S	Beweglichkeit in der Akkumulationsschicht
N_{eff}	mittlere Dotierung der n^- -Region
N_{it}	Dichte der Grenzflächenzustände
n	Teilchendichte bzw. Modellparameter
$n(\vec{r}, t)$	Teilchendichte
Ω	Raumvolumen

$\omega(\vec{r}, t)$	Energiedichte
P	Wahrscheinlichkeit eines Elektrons, nicht gestreut zu werden
P_{Diss}	dissipierte Leistung
Φ_n	Quasi-Fermipotential für Elektronen
$\Psi(\vec{r}, t)$	elektrisches Potential
φ_{ii}	effektive Mindestenergie zur Erzeugung eines Elektron-Loch-Paares
$\varphi_{it,e}$	effektive zur Erzeugung eines Grenzflächenzustands notwendige Mindestenergie für Elektronen
$\varphi_{it,h}$	effektive zur Erzeugung eines Grenzflächenzustands notwendige Mindestenergie für Löcher
q	Elementarladung
Q	Ladung an der Si/SiO ₂ -Grenzfläche pro Flächeneinheit
R	elektr. Widerstand
R_D	drainseitiger Serienwiderstand
R_{eq}	Gesamtwiderstand von n parallel geschalteten Ohmschen Widerständen R_1 bis R_n
R_{on}	Einschaltwiderstand
R_S	sourceseitiger Serienwiderstand
\vec{r}	Ortsvektor
$\rho(\vec{r}, t)$	Raumladungsdichte
S	Subthreshold Swing
$S_{i,i'}(\vec{k} \vec{k}')(\vec{r}, t)$	Übergangsrate
$S_i(\vec{r}, \vec{k})$	Streurrate
$s(\vec{r}, t)$	Energiestromdichte
T	Temperatur
T_0	Gittertemperatur
T_{max}	maximale Temperatur
T_n^*	dynamische Elektronentemperatur
t	Zeit
t_{Stress}^0	Dauer des ersten Belastungsintervalls
Δt_{int}	„Ausräumzeit“
Δt_{meas}	Zeit zwischen dem Ende einer Belastung und Messung
τ_e	Lebensdauer eines mobilen Ladungsträgers in einem lokalisierten Zustand
τ_{Heat}	charakteristisches Zeitintervall für Abkühlung bzw. Erwärmung des Transistors
$\tau_{j_n}^*, \tau_{j_n^-}, \tau_{\omega_n}, \tau_{s_n}^*$	Relaxationszeiten
V_{fb}	Flachbandspannung
V_{fb}^0	Flachbandspannung vor Belastung
V_D, V_{DS}	Drain(-Source)-Spannung
V_G, V_{GS}	Gate(-Source)-Spannung

V_{Th}	Einsatzspannung
$\widehat{V_{Th}}$	Einsatzspannung, welche bei konstantem Stromkriterium im Unterschwellbereich ermittelt wird
$V_{Th}^{n^-}$	Einsatzspannung der n^- -Region
\vec{v}	Geschwindigkeit
\bar{v}	mittlere Geschwindigkeit
v_{sat}	Sättigungsgeschwindigkeit
W	Gateweite
W_{eff}	effektive Gateweite
$W_{eff}^{n^-}$	effektive Weite der n^- -Region
x_{eff}	mittlere Breite der für Elektronentransport zur Verfügung stehenden nicht-verarmten n^- -Region
x_j	Durchmesser des Transistors
ξ	Beschleunigungsfaktor der Degradation

1 Einleitung

Seit der Erfindung des MOS-Feldeffekttransistors (Abk.: „MOSFET“) und dessen erster technischer Realisierung 1960 [Lil33, Hei35, Kah60] hat die Halbleitertechnologie immens an Bedeutung gewonnen. Heute sind Halbleiterbauelemente in nahezu allen Bereichen des täglichen Lebens zu finden wie beispielsweise in Fahrzeugen, in der Unterhaltungselektronik und in der Medizintechnik. Ermöglicht wurde dieser einzigartige Siegeszug durch die fortschreitende Miniaturisierung der Bauelemente [Sch97], mit der eine erhebliche Senkung der Produktionskosten einherging und die es ermöglichte, die Komplexität der monolithisch auf einem Chip integrierten Schaltkreise stetig weiter zu erhöhen. Dies führte u. a. zur Entwicklung der Smart Power Technologien, die die Vereinigung von Bipolartransistoren, CMOS-Technologie und Leistungs-MOSFETs in einem monolithisch integrierten Schaltkreis erlauben [Bal91]. Eine typische Applikation stellt die sog. Elektronische Kontrolleinheit (ECU) dar, die als Schnittstelle zwischen einer Steuerelektronik und einer elektronischen Last, z. B. einer Spule, fungiert [Tih89, Pri96]. Die für hohe Ströme und Leistungen ausgelegten Leistungs-transistoren dienen dabei in der Regel als Schalter im Lastschaltkreis. Eine weitverbreitete Bauart des Leistungstransistors ist dabei der sog. Laterale DMOS-Feldeffekttransistor (Abk.: „LDMOSFET“), der sich durch eine niedrige Ansteuerleistung auszeichnet [Bal87] und im Gegensatz zum vertikalen DMOS-Feldeffekttransistor leicht in den CMOS-Prozess integriert werden kann [Sun80b]. Trotz der immensen Vorteile hat die stetige Verkleinerung der Transistorgrößen jedoch auch einen erheblichen negativen Effekt auf die Zuverlässigkeit eines Bauelements: Da die Spannungen, die an den Transistor angelegt werden, nicht in gleichem Maße reduziert werden wie die Transistorabmessungen, erhöht sich zunehmend das interne elektrische Feld. Verstärkt wird diese Entwicklung durch Maßnahmen zur Optimierung von Durchbruchspannung und Einschaltwiderstand. Dies hat die Verringerung der Lebensdauer zur Folge, da die Belastung durch heiße Ladungsträger zunimmt. Hierbei handelt es sich um im elektrischen Feld stark beschleunigte Elektronen bzw. Löcher, welche zu einer Schädigung

der Si/SiO₂-Grenzfläche bzw. des Oxids im Transistor führen können. Insbesondere der LDMOSFET reagiert in verstärktem Maß auf die Belastung durch heiße Ladungsträger, da hier Bereiche erhöhter Stromdichte sowie erhöhten elektrischen Feldes nahe der Si/SiO₂-Grenzfläche lokalisiert sind [Moe03b]. Da LDMOSFETs darüber hinaus häufig in sicherheitskritischen Anwendungen wie beispielsweise in Antiblockiersystemen in Kraftfahrzeugen verwendet werden, ist die genaue Kenntnis und sorgfältige Bewertung ihres Degradationsverhaltens in Hinblick auf die Langzeitzuverlässigkeit von entscheidender Bedeutung. Bei der Entwicklung dieser Bauelemente muss darauf geachtet werden, dass während einer festgelegten Mindestlebensdauer (z. B. 15 Jahre) unter festgelegten Betriebsbedingungen und -zeiten die Änderung verschiedener betriebsrelevanter Parameter wie beispielsweise die Einsatzspannung oder der Einschaltwiderstand bestimmte Grenzwerte nicht überschreitet [Kan09]. Da für die Bewertung der Langzeitzuverlässigkeit von Bauelementen im Rahmen der Technologieentwicklung in der Regel nur eine sehr begrenzte Zeit zur Verfügung steht, werden im Zuge moderner Qualifikationsverfahren meist stark beschleunigte Lebensdauertests durchgeführt. Hierzu wird der Transistor bei verschärften Belastungsbedingungen wie etwa stark erhöhten Spannungen betrieben und die damit verbundene Alterung somit beschleunigt. Die „echte“ Lebensdauer des Transistors bei realen Feldbedingungen wird danach mit Hilfe von geeigneten Modellen aus den so erhaltenen Lebenszeiten extrapoliert. Da Leistungshalbleiter oft als Schalter eingesetzt werden, umfasst die gesamte Zuverlässigkeitsanforderung auch eine definierte Anzahl von Schaltvorgängen. Insbesondere kritisch ist dabei das wiederholte Schalten induktiver Lasten, da hier die Selbstinduktion der Spule beim Ausschaltvorgang zu einer Überspannung am Transistor führt. Durch den Einsatz von Zener-Klemmdioden kann zwar der elektrische Durchbruch verhindert werden, jedoch tritt am Bauelement nichtsdestotrotz eine erhöhte Spannung verbunden mit gleichzeitigem Stromfluss auf [Kan09], was die Degradation durch heiße Ladungsträger begünstigt. Da während des Schaltens sowohl Betriebsspannung als auch Betriebstemperatur einer zeitlichen Änderung unterliegen, Lebensdauertests jedoch normalerweise bei zeitlich konstanten Belastungsbedingungen durchgeführt werden, ist die Extrapolation des Degradationsverhaltens im dynamischen Betrieb nicht trivial. In der Praxis wird deshalb für die gesamte Dauer des Schaltvorgangs die kritischste DC-Belastungsbedingung angenommen. Dies ist zwar ein sicheres Verfahren, kann jedoch unter Umständen dazu führen, dass Technologien fälschlicherweise als kritisch eingestuft werden. Die damit einhergehende unnötig große Dimensionierung

der Leistungstransistoren mit dem damit verbundenen erhöhten Platzbedarf auf dem Chip führt zu einer zusätzlichen Erhöhung der Produktionskosten. Die mit der fortschreitenden Technologieentwicklung einhergehende Reduktion der Lebensdauerreserve führte in der jüngsten Vergangenheit zu einer Vielzahl von Publikationen, in denen das Alterungsverhalten von LDMOSFETs vorgestellt, analysiert und modelliert wurde¹. Ein Vergleich der Veröffentlichungen macht deutlich, dass sich das beobachtete spezifische Degradationsverhalten der jeweils untersuchten Bauelemente zum Teil stark voneinander unterscheidet: Beobachtet wurden z. B. ein Anstieg des Einschaltwiderstandes R_{on} für kleine Stresszeiten, gefolgt von einem Abfall [Moe03b, Moe03a, Moe04b] und vice versa [Moe06a, Moe07, Che08, Che09] bzw. ein monoton ansteigendes R_{on} [Are04, Moe04a, Bri06, Wan07]. Entsprechend vielseitig fallen die Begründungen für das jeweils beobachtete Verhalten aus. Zur Analyse werden dabei häufig die der Messung zugänglichen Parameter Substratstrom, Gatestrom sowie das spezifische Degradationsverhalten der sich jeweils im Fokus der Untersuchungen befindlichen Transistorparameter verwendet. Zusammen mit den Ergebnissen von TCAD-Simulation unter Verwendung von klassischen Simulationsverfahren (Drift-Diffusions-Modell bzw. hydrodynamisches Modell) werden Rückschlüsse auf den Ort maximaler Grenzflächen- bzw. Oxidschädigung und auf den dominierenden Degradationsmechanismus gezogen. Unter anderem wird dabei zur Analyse des Degradationsverhaltens auch auf Charge-Pumping-Messungen zurückgegriffen. Die unter Verwendung der oben genannten Methoden abgeleiteten Erkenntnisse zum Ort und zum Mechanismus der Schädigung unterscheiden sich zum Teil erheblich voneinander. Dies ist zum einen natürlich der Tatsache geschuldet, dass sich auch die Transistorgeometrie, der Herstellungsprozess sowie die Belastungsbedingungen der verwendeten LDMOSFETs voneinander unterscheiden. Zusätzlich sind die Abweichungen zu einem gewissen Teil möglicherweise auch darauf zurückzuführen, dass die verwendeten Methoden nur begrenzt Aufschluss über den Degradationsvorgang geben können. So ist es beispielsweise mit Charge-Pumping-Messungen nicht möglich, den mit der Degradation einhergehenden Ladungsaufbau bzw. die Generation von Grenzflächenzuständen im Bereich des dicken Feldoxids im LDMOSFET zu messen, obwohl dieser Bereich in der Regel als höchst kritisch bezüglich

¹siehe hierzu [Man96, Ver97, Ver99, Mou00, O'D00, Moe01, Bri02, Moe03b, Moe03a, Are04, Moe04b, Moe04a, Che05, How05, Moe05, Bri06, Moe06a, Moe06b, Moe07, Wan07, Hef07, Che08, Che09]

der Degradation durch heiße Ladungsträger angesehen wird. Des Weiteren sind die verwendeten Simulationsverfahren u. a. nicht in der Lage, Streuprozesse heißer Ladungsträger stochastisch korrekt zu berücksichtigen, wodurch speziell die Aussagekraft von simulierten Elektronen- bzw. Löcherinjektionsstromdichten ins Oxid nur äußerst gering ist. Im Rahmen dieser Arbeit wird deshalb zusätzlich zur Analyse des Degradationsverhaltens mit üblichen Methoden (Bewertung des Degradationsverhalten der verschiedenen Transistorparameter sowie der Bodystromkennlinie und TCAD-Simulation mit den klassischen Standardsimulationsverfahren) auch auf die Ergebnisse von Monte-Carlo-Simulation zurückgegriffen, welche von Prof. Jungemann, Universität der Bundeswehr, Neubiberg, erstellt wurden. Monte-Carlo-Simulation stellt aktuell das physikalisch fundierteste Simulationsverfahren dar, welches aufgrund der stochastisch korrekten Berücksichtigung von Streuprozessen ermöglicht, Aussagen über die Position, Amplitude und Energieverteilung der Elektronen- bzw. Löcherinjektionsstromdichten ins Oxid treffen zu können. Mit dem Einsatz der ursprünglich in der Fehleranalyse von IC's beheimateten Photon-Emissions-Mikroskopie zur experimentellen Lokalisierung der Position maximalen Auftretens heißer Ladungsträger im LDMOSFET in der vorliegenden Arbeit wird ein weiteres Tool zur umfassenden Analyse des Degradationsverhaltens von LDMOSFETs vorgestellt. Die Messungen hierzu entstanden in Kooperation mit der Abteilung für Fehleranalyse und wurden von S. Müller, H. Bourkadi, B. Ferstl und C. Feuerbaum durchgeführt.

Des Weiteren stand von Anfang an eine möglichst genaue Modellierung des Alterungsverhaltens von LDMOSFETs im Fokus des allgemeinen Interesses: Während in der frühen Veröffentlichung von Manzini et al. [Man96] noch ein einfaches Potenzgesetz zur Abbildung des Degradationsverhaltens benutzt wurde, wurden später Modelle verwendet, welche das beobachtete Sättigungsverhalten der Degradation im Gleichspannungsbetrieb bei hohen Stresszeiten abbilden können. Hierbei handelt es sich um semi-empirische Gleichungen, welche ursprünglich das Degradationsverhalten von LDD-Transistoren beschreiben sollten. Eine fundierte physikalische Begründung der Anwendbarkeit auf LDMOSFETs steht jedoch noch aus und ist deshalb ebenfalls Gegenstand dieser Arbeit. Da der LDMOSFET in der Regel als Schalter betrieben wird, ist eine adäquate Modellierung des Degradationsverhaltens im dynamischen Betriebszustand ebenfalls von großer Bedeutung für die Qualifikation zukünftiger Technologiegenerationen. Jedoch existieren nach aktuellem Kenntnisstand noch keine validen Modelle zur Beschreibung

des Degradationsverhaltens von LDMOSFETs im dynamischen Betriebsmodus unter Berücksichtigung der Sättigung der Degradationscharakteristik. Deshalb werden hier ebenfalls zwei Verfahren vorgestellt, die die Degradation von LDMOSFETs beim spannungsbegrenzten wiederholten Schalten einer induktiven Last mit hinreichender Genauigkeit prognostizieren.

Die vorliegende Arbeit ist folgendermaßen aufgebaut:

- In Kapitel 2 wird der in dieser Arbeit untersuchte LDMOSFET vorgestellt. Weiterhin wird exemplarisch ein typischer Schaltkreis erläutert, in welchem ein spannungsbegrenzter LDMOSFET als Schalter für eine induktive Last fungiert und das zugehörige Schaltverhalten beschrieben.
- In Kapitel 3 werden die zur Analyse des Degradationsverhaltens verwendeten Methoden vorgestellt. Es enthält sowohl eine Darstellung der verwendeten Messtechnik zur experimentellen Bestimmung des Degradationsverhaltens als auch eine Beschreibung der zur Evaluierung des Degradationsmechanismus verwendeten Simulationstools. Des Weiteren wird die Methode der Photon-Emissions-Mikroskopie vorgestellt, welche zur Verifikation der Simulationsergebnisse verwendet wurde.
- Eine umfassende Analyse des Degradationsmechanismus ist Gegenstand von Kapitel 4: Das Degradationsverhalten bei verschiedenen Arbeitspunkten wird beschrieben und die zugrundeliegenden physikalischen Mechanismen unter Zuhilfenahme von Photon-Emissions-Mikroskopie und Bauelement-Simulation untersucht. Erholungs- und Temperatureffekte werden in Hinblick auf ihren Einfluss auf die Güte der Modellvorhersage analysiert und bewertet.
- In Kapitel 5 wird schließlich das Degradationsverhalten eines LDMOSFETs bei dynamischen Belastungsbedingungen modelliert. Dabei wird ein Verfahren vorgestellt, mit dem ausgehend von DC-Belastungstestergebnissen die Degradation des LDMOSFETs im gepulsten Modus vorhergesagt werden kann. Es wird verifiziert am Beispiel eines spannungsbegrenzten LDMOSFETs, der periodisch eine induktive Last schaltet. Darüber hinaus wird ein stark vereinfachtes Kompaktmodell präsentiert, welches im Gegensatz zum o. g. Modell nur minimalen Rechenaufwand beansprucht und deshalb besonders zur Integration in einen Schaltkreissimulator geeignet ist.
- Kapitel 6 thematisiert Maßnahmen, mit deren Hilfe die entwickelten

Modelle für große Transistoren, wie sie auch im Produkt verwendet werden, vor allem in Hinblick auf Eigenerwärmungseffekte aufbereitet werden können.

2 Aufbau und Wirkungsweise des LDMOSFET

Bis in die 80er Jahre hinein enthielten Leistungs-ICs Bipolartransistoren als Leistungsschalter, welche jedoch aufgrund ihres vergleichsweise hohen Leistungsverbrauchs sowie einer begrenzten Miniaturisierbarkeit in zahlreichen Anwendungen durch Leistungs-MOSFETs ersetzt wurden. Die in der vorliegenden Arbeit verwendeten LDMOSFETs sind integrierte Bestandteile einer Smart Power Technologie, die für den Einsatz in der Automobilelektronik bestimmt ist. Der Begriff „Smart Power Technologie“ beschreibt in diesem Kontext eine Technologie, die die monolithische Integration von Bipolar-, CMOS- und DMOS-Transistoren auf einem einzigen Chip erlaubt [Mur02].

2.1 Aufbau

Bei dem in dieser Arbeit untersuchten Transistor handelt es sich um einen n-Kanal LDMOSFET. Sein Aufbau ist in Abb. 2.1 schematisch dargestellt. Wie der Standard-n-MOSFET auch besteht der n-LDMOSFET im Wesentlichen aus einer npn-Struktur, die von einer dünnen SiO_2 -Schicht begrenzt wird. Diese trennt die npn-Struktur von der Gateelektrode aus hochdotiertem Polysilizium, die auf dem Oxid aufgebracht ist. Zwei hochdotierte n-Gebiete bilden Source- und Drainkontakt. Der p-dotierte Bereich wird als „Body“ bezeichnet. Bei kleiner Gate-Source-Spannung V_{GS} ist der Transistor hochohmig, da beide pn-Übergänge in Sperrrichtung geschaltet sind. Es fließt in diesem Fall nur ein geringer Leckstrom. Im Gegensatz zum herkömmlichen Standard-MOSFET führt beim LDMOSFET auch eine hohe Drain-Source-Spannung V_{DS} nicht zum elektrischen Durchbruch, da ein Großteil der Spannung über der ausgedehnten niedrig n-dotierten Zone zwischen Kanal und hochdotiertem Drainkontakt, der sog. Drainerweiterung, abfällt und somit hohe elektrische Feldspitzen vermieden werden.

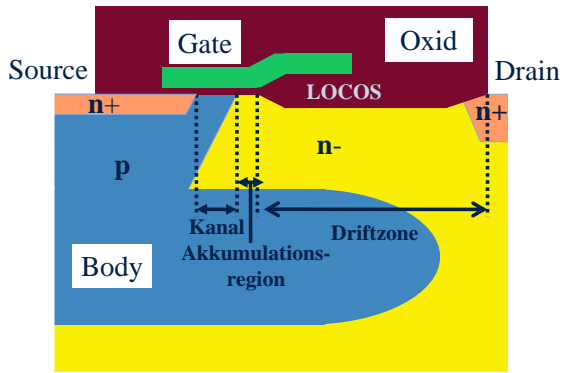


Abbildung 2.1: Aufbau des Lateralen DMOS-Transistors. Der Bodyanschluss ist alternierend zum Sourceanschluss in der dritten Dimension realisiert.

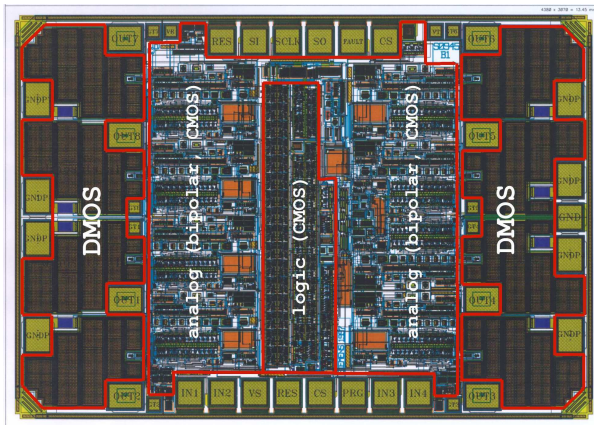


Abbildung 2.2: Aufbau einer typischen integrierten Schaltung mit LD-MOSFETs

Wird V_{GS} über die Einsatzspannung V_{Th} erhöht (hier: $V_{Th} \approx 1.5V$), so wird im p-Gebiet an der Si/SiO₂-Grenzfläche ein Inversionskanal induziert, in welchem die Dichte der Minoritätsladungsträger gegenüber der Zahl der Majoritätsladungsträger stark erhöht wird. In Folge dessen wird der Transistor niederohmig. Bei Anliegen einer positiven Drain-Source-Spannung V_{DS} fließt Strom.

Beim vorliegenden Transistor handelt es sich um einen sog. doppelimplantierten MOSFET (engl. "Double-diffused MOSFET" (DMOSFET)), weil hier im Herstellungsprozess sowohl die Donatoratome für das n-dotierte Sourcegebiet als auch die Akzeptoratome für das p-dotierte Kanalgebiet in aufeinanderfolgenden Schritten durch dieselbe Maskenöffnung implantiert und danach gleichzeitig bei erhöhter Temperatur ausdiffundiert werden. Durch unterschiedliche Diffusionsgeschwindigkeiten bildet sich in Folge ein p-dotiertes Kanalgebiet aus. Vorteil dieses Verfahrens ist die Möglichkeit der Realisierung kleiner Kanallängen, die nicht von der Genauigkeit des Lithographieprozesses abhängen [Mur02]. Die sich an den Kanal anschließende niedrig n-dotierte Drainerweiterung wird beim vorliegenden LDMOSFET durch einen sog. LOCOS-Prozess (engl. „Local Oxidation of Silicon“) [Rug91] realisiert, was zur Ausbildung der typischen schrägen Feldoxidkanten führt. Diese werden aufgrund ihrer Form gemeinhin als „Birdsbeak“ (engl. für „Vogelschnabel“) bezeichnet. Die Länge der LOCOS-Region beim untersuchten Transistor beträgt etwa $3\mu\text{m}$. Da der Stromfluss nahezu horizontal zur Waferoberfläche verläuft, wird der vorliegende Transistor auch Lateraler DMOSFET (Abk. „LDMOSFET“) genannt. Für die nachfolgenden Untersuchungen ist es zweckmäßig, die niedrig n-dotierte Drainerweiterung weiter zu unterteilen: Das sich unmittelbar an den Kanal anschließende vom dünnen Gateoxid begrenzte Gebiet wird im folgenden als Akkumulationsregion bezeichnet, das vom dicken Feldoxid begrenzte Gebiet hingegen als „Driftzone“ (nach [Moe07]). Eine weitere Besonderheit des in dieser Arbeit untersuchten LDMOSFETs ist die Nutzung des Double-RESURF-Effekts (RESURF: „Reduced Surface Field“) [Lud00]. Bei Anliegen einer hohen Drain-Source-Spannung V_{DS} wird das niedrig-dotierte n-Gebiet der Drainerweiterung zusätzlich von der Grenzfläche zum SiO₂ und vom tiefen p-Body her verarmt. Dies führt zur Reduktion der elektrischen Feldspitzen und erhöht somit die Spannungsfestigkeit des LDMOSFETs.

Abb. 2.2 zeigt exemplarisch einen Satz monolithisch integrierter LDMOSFETs einer Smart Power Technologie, welche als Low-Side-Schalter konzi-

piert sind. Links und rechts sind jeweils vier LDMOSFETs auf dem Chip angeordnet, deren separate Drain-Anschlüsse leitend mit einer externen Last verbunden werden können. Die CMOS-Logik in der Mitte enthält eine Digitalsteuerung und kann von einem externen Mikroprozessor gesteuert werden. Der Analogteil beinhaltet CMOS- und Bipolarbauelemente und dient zum einen der Ansteuerung der Leistungstransistoren und fungiert zum anderen als Schutzschaltung für die LDMOSFETs: Verschiedene Fehler wie etwa Kurzschlüsse oder eine Leitungsunterbrechung zur Last werden erkannt und an den Mikroprozessor rückgemeldet.

2.2 Schaltverhalten

In Abb. 2.3 ist ein Schaltkreis dargestellt, in welchem der LDMOSFET als Leistungsschalter für eine induktive Last Anwendung findet. Hierbei handelt es sich um einen typischen Lastschaltkreis, wie er in verschiedenen Bereichen in der Automobilelektronik vorkommt wie beispielsweise in der Steuerung von Magnetventilen. Der Transistor wird als Low-Side-Schalter betrieben, d. h. die Last ist mit dem Drain-Kontakt leitend verbunden, während der Source-Kontakt konstant auf Masse liegt. Deshalb wird im

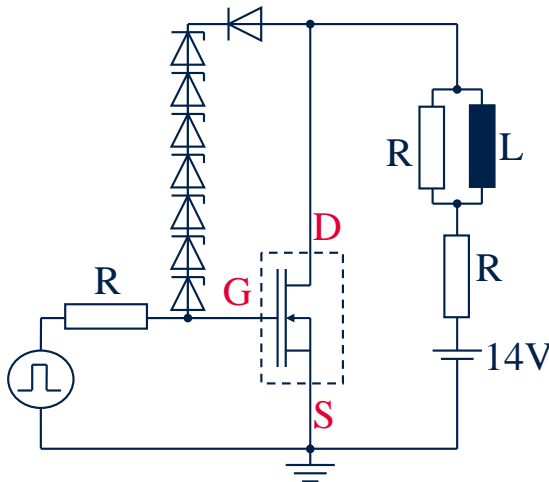


Abbildung 2.3: Aufbau eines typischen Lastschaltkreises (nach H. Gietler, Infineon Technologies, Villach)

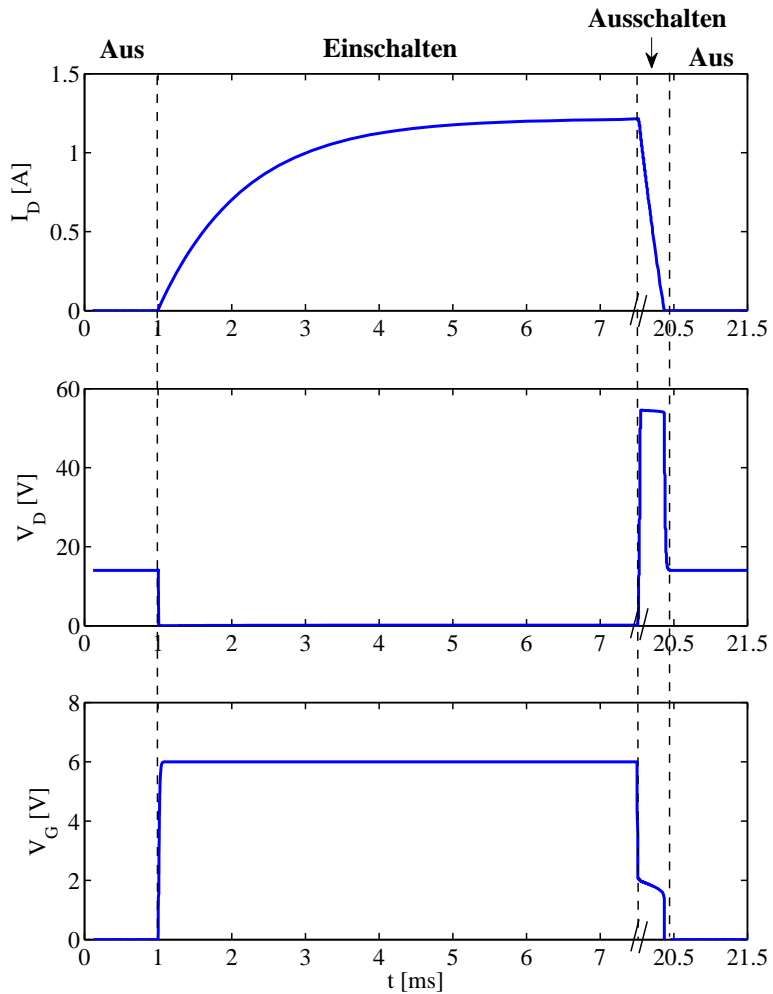


Abbildung 2.4: Simulation des Schaltverhaltens eines spannungsbegrenzten LDMOSFETs beim Schalten einer induktiven Last mit Spectre. Die Simulation wurde aufgesetzt von H. Gietler, Infineon Technologies, Villach.

Folgenden die Drain-Source-Spannung V_{DS} als Drainspannung V_D und die Gate-Source-Spannung V_{GS} als Gatespannung V_G bezeichnet. Bei der Last handelt es sich hier um eine reale Spule, die in Abb. 2.3 als eine Ersatzschaltung aus idealer Spule und in Serie und Reihe geschalteten Ohmschen Widerständen dargestellt wird. Die Versorgungsspannung des Lastschaltkreises liegt konstant bei 14V, was in etwa der Batteriespannung in Autos entspricht. Der Gatekontakt ist hochohmig mit einer Spannungsquelle verbunden, welche von einem Mikroprozessor gesteuert wird. Sie schaltet zwischen den beiden Spannungsniveaus 0V und 6V hin und her und kann so den LDMOSFET in die Betriebszustände „Ein“ oder „Aus“ versetzen. Die Serienschaltung von Zener-Dioden zwischen Drain und Gate begrenzt V_D auf 55V.

Abb. 2.4 zeigt das Schaltverhalten des Transistors. Es handelt sich dabei um das Ergebnis einer mit dem Simulationstool „Spectre“ durchgeführten zeitabhängigen Schaltkreissimulation, die freundlicherweise von H. Gietler, Infineon Technologies, Villach, aufgesetzt und erstellt wurde. Zu Beginn ist $V_G=0V$. Da V_G viel kleiner als die Einsatzspannung $V_{Th} = 1.5V$ ist, wird im Transistor kein Inversionskanal induziert und der Transistor ist hochohmig, d. h. der Schalter ist im „Aus“-Zustand. Die Batteriespannung fällt in Folge fast vollständig zwischen Drain und Source des LDMOSFET ab (d. h. $V_D=14V$). Bis auf einen geringen Leckstrom fließt kein Strom durch den Transistor und es gilt $I_D \approx 0$. Bei quasi-instanter Erhöhung der Gate-Source-Spannung auf $V_G = 6V$ bildet sich im LDMOSFET ein Inversionskanal aus und der Transistor wird niederohmig, so dass die Versorgungsspannung nahezu vollständig über der elektrischen Last abfällt. Durch die Selbstinduktion der Spule steigt der Strom I_D nur langsam an. Der Stromanstieg wird bei kleinen Strömen von der Induktivität der Spule dominiert und folgt infolgedessen einem in etwa linearen Verlauf. Mit ansteigendem Strom wird dieser zunehmend durch den ohmschen Widerstand der Spule bestimmt und geht deshalb in Sättigung über. Setzt man die Spannung an der gateseitigen Spannungsquelle wieder auf 0V, so tritt aufgrund der Erhöhung des Transistorwiderstands durch die Selbstinduktion der Spule eine Spannungserhöhung zwischen Drain- und Sourcekontakt auf, welche durch die Zener-Klemmdioden auf $V_D = 55V$ begrenzt wird. Der Strom I_D nimmt nahezu linear ab, bis die gesamte magnetische Energie der Induktivität dissipiert wurde. Der Schaltkreis ist so dimensioniert, dass in der Anfangsphase des spannungsbegrenzten Abschaltens das Gate auf einen Wert knapp oberhalb von V_{Th} aufgeladen ist und während des Aus-

schaltvorgangs langsam unter die Einsatzspannung V_{Th} sinkt. Dadurch wird erreicht, dass der größte Teil des Induktionsstroms durch den Kanal fließt [Den05].

Da im ausgeschalteten Zustand lediglich Leckströme durch den Transistor fließen und aufgrund der hohen Spannungsfestigkeit des LDMOSFET keine nennenswerten elektrischen Feldspitzen bei Anliegen der Batteriespannung auftreten, erfährt der Transistor keine messbare Degradation durch heiße Ladungsträger. Auch der Einschaltvorgang sowie der konstant eingeschaltete Betriebszustand sind aufgrund der geringen Drainspannung ($V_D < 1V$) nicht kritisch mit Hinblick auf die durch heiße Ladungsträger bedingte Alterung des Bauelements. Lediglich während des Ausschaltvorgangs kommt es aufgrund des simultanen Auftretens von Stromfluss und von elektrischen Feldspitzen als Folge der Spannungserhöhung zwischen Drain und Source zu einer ausgeprägten Degradation des Transistors.

3 Messtechnik und Simulationsverfahren

3.1 Messtechnik

3.1.1 Messung des Degradationsverhaltens im Gleichspannungsbetrieb

Zur Charakterisierung des Degradationsverhaltens der für die Zuverlässigkeit relevanten Transistorparameter im Gleichspannungsbetrieb wurden Standardbelastungstests durchgeführt. Der Ablauf eines solchen elektrischen Belastungstests ist schematisch in Abb. 3.1 dargestellt. Vor der ersten Stressphase werden die zu untersuchenden Parameter des unbelasteten Transistors wie z. B. der Einschaltwiderstand R_{on} gemessen. Diese erste Messung, auf welche die durch die darauffolgenden Stressphasen verursachten Änderungen der Parameterwerte bezogen werden, wird als sog. Nullstunden-Messung bezeichnet. Dabei ist zu beachten, dass die angelegten Messspannungen keine zusätzliche Degradation des Transistors verursachen [Hut00]. Danach folgt die erste Stressphase, an welche sich eine erneute

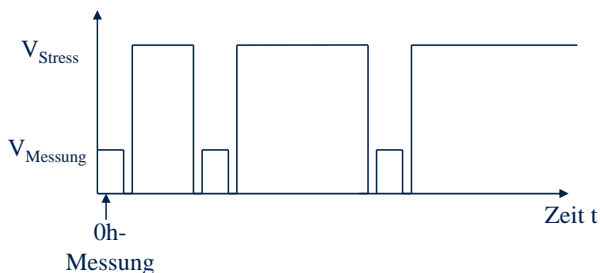


Abbildung 3.1: Prinzipieller Ablauf eines elektrischen Belastungstests im Gleichspannungsbetrieb

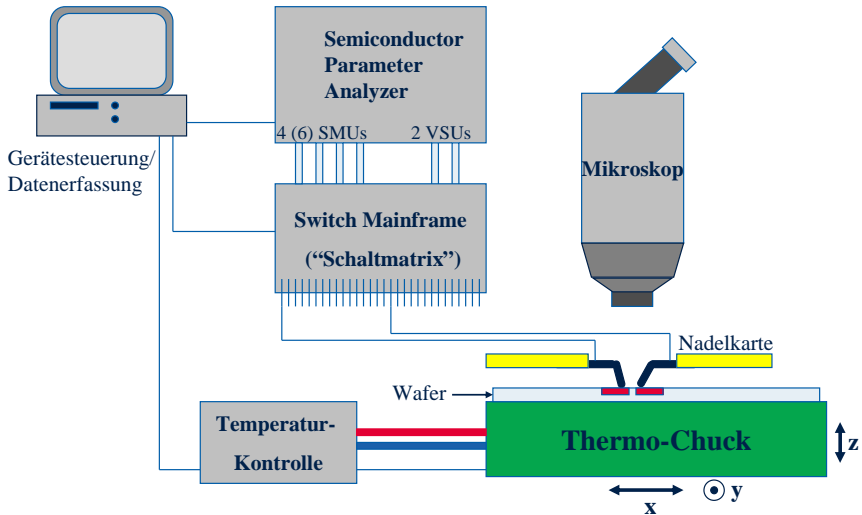


Abbildung 3.2: Schematische Darstellung des Messaufbaus für elektrische DC-Lasttests

Messung der Parameter anschließt. Die Dauer der Stressintervalle wird sukzessive erhöht, wobei die Belastungsintervalle logarithmisch äquidistant gewählt wurden, um den erwarteten zeitlichen Verläufen der Degradationscharakteristiken gerecht zu werden. Die Tests wurden auf Waferlevel durchgeführt, d. h. der zu belastende Transistor ist in den oberen Teil eines ganzen monokristallinen Si-Wafers von acht Zoll Durchmesser eingebettet. Seine Kontakte sind durch eine Abfolge von mehreren Metallisierungsschichten leitend mit den Anschlusspads an der Oberfläche des Wafers verbunden.

Abb. 3.2 zeigt schematisch den Aufbau des verwendeten Belastungstestsystems. Der Transistor wird über eine Schaltmatrix Agilent 5250 von einem Parameter-Analyzer vom Typ Agilent 4155C(B) angesteuert. Der Parameter-Analyzer verfügt über mindestens vier unabhängige Quell-Mess-Einheiten (engl.: „Source-Measurement-Unit“ (SMU)). Dabei handelt es sich um elektronische Instrumente, welche gleichzeitig als Spannungs- bzw. Stromquelle und als elektrisches Messgerät fungieren. Somit wird ermöglicht, eine Spannung an den Transistor anzulegen und gleichzeitig die Stromwerte an den zugehörigen Kontakten zu messen, z. B. zur Ermittlung bestimmter

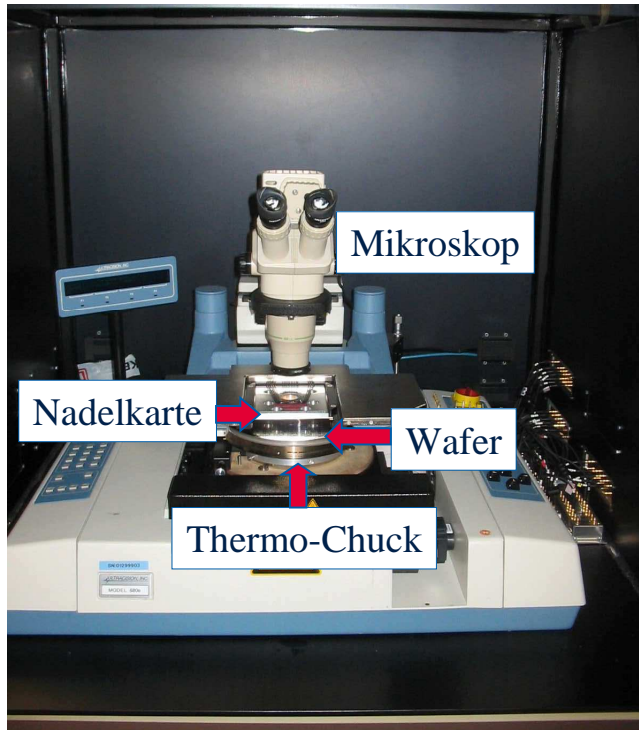


Abbildung 3.3: Photographie eines typischen Messaufbaus für elektrische DC-Lastungstests

elektrischer Parameter. Zusätzlich verfügt der Parameter-Analyzer über zwei unabhängige Spannungsquellen (engl.: „Voltage-Source-Unit“ (VSU)). Der Kontakt von den elektrischen Zuleitungen zu den Anschlusspads des Transistors wird über Kontaktnadeln hergestellt. Da sowohl die elektrischen Parameter der Transistoren als auch deren Degradationsverhalten temperaturabhängig sind, liegt der Wafer während der Belastungstests auf einem sog. Thermo-Chuck auf. Dieser dient sowohl der Fixierung des Wafers durch Unterdruck als auch der Einstellung einer frei wählbaren konstanten Wafertemperatur während des Tests. Er ist in allen Raumrichtungen beweglich, was eine exakte Ausrichtung der Anschlusspads zu den darüber fixierten Kontaktnadeln erlaubt. Aufgrund der kleinen Strukturgrößen ermöglicht ein Mikroskop die visuelle Kontrolle über die Positionierung des zu kontaktierenden Wafers zu den Messspitzen. Nahezu alle Komponenten des Messaufbaus, also Thermo-Chuck und dessen Positionskontrolle, die Schaltmatrix und die Quell-Mess-Einheiten werden von einem externen Rechner unter Verwendung einer Standard-Messsoftware angesteuert. Dies ermöglicht eine weitgehende Automatisierung der elektrischen DC-Belastungstests und erlaubt die „in-situ“-Messung der Alterung der elektrischen Parameter. Dies bedeutet, dass die Messung der Transistorparameter zwischen den Stressintervallen unter gleichen Bedingungen wie z. B. gleicher Temperatur und zeitnah zum Ende des Belastungsintervalls stattfindet. Das Photo eines typischen Messaufbaus mit den o. g. Komponenten ist in Abb. 3.3 gezeigt. Das Herzstück des Setups ist der Prober, in welchem Thermo-Chuck, Nadelkarte und Mikroskop in Position zueinander gesetzt werden. Er befindet sich in einer sog. Black Box, die das System während der Belastungstests vor elektromagnetischer Strahlung schützt.

3.1.2 Messung des Degradationsverhaltens bei wiederholtem spannungsbegrenztem Schalten

Neben der Messung des Degradationsverhaltens von LDMOSFETs im Gleichspannungsbetrieb ist die experimentelle Ermittlung des Degradationsverlaufs im dynamischen Betriebsmodus ebenfalls von großer Wichtigkeit, da Leistungstransistoren zumeist als Schalter betrieben werden und maximale Alterung während der Schaltvorgänge auftritt. Eine besondere Bedeutung kommt der Untersuchung des Degradationsverhaltens bei wiederholtem Schalten einer induktiven Last zu, da hier besonders kritische Arbeitspunkte durchlaufen werden.

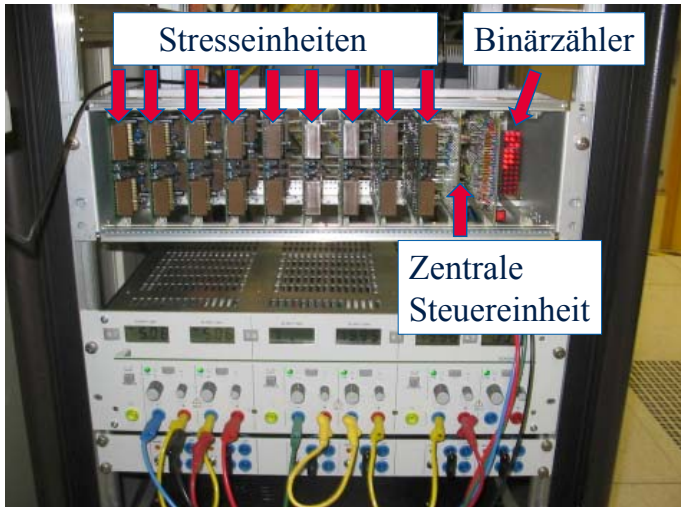


Abbildung 3.4: Photographie des Messaufbaus für dynamische Belastungstests

Die Konstruktion eines geeigneten Testsystems stellt jedoch eine Herausforderung dar, da bei der Skalierung des Lastschaltkreises von Produkt auf Testbedingungen folgende Schwierigkeit besteht: Die Gateweite des Transistors in einem typischen Produktschaltkreis liegt in der Größenordnung von 0.1m , während der Transistor im Testschaltkreis nur wenige μm Gateweite aufweist, um den Einfluss von Eigenerwärmung auf das Degradationsverhalten zu minimieren. Aufgrund des Induktionsgesetzes verhält sich der Skalierungsfaktor der zur Nachbildung des Stromdichte- und Spannungsverlaufs des Produkttransistors im Testtransistor benötigten Induktivität reziprok zum Verhältnis der Gateweiten. Um dem Testtransistor während des spannungsbegrenzten Schaltens den gleichen Stromdichte- und Spannungsverlauf wie im Produkt einzuprägen, wäre eine Induktivität in der Größenordnung von 10H nötig. Die Verwendung einer echten Spule dieser Größenordnung wäre mit einer erheblichen parasitären Kapazität verbunden und der Anstieg des Stroms durch den Transistor beim Einschaltvorgang wäre stark verlangsamt, was die maximale Schaltfrequenz beim dynamischen Belastungstest auf ca. 70Hz verlangsamen würde. Die Belastung eines einzelnen Transistors mit der im Produkt geforderten Mindestlebensdauer von 10^9 Schaltzyklen würde demnach mehrere Monate

in Anspruch nehmen. Da mit einem derartigen Testsystem auf der Basis des Standard-Mess-Systems jeweils nur ein Transistor gleichzeitig belastet werden könnte, würde eine statistische Analyse des Degradationsverhaltens im gepulsten Modus mehrere Jahre in Anspruch nehmen, was nicht mit den aktuellen Entwicklungszyklen in der Halbleiterindustrie vereinbar ist. Zur Vermeidung parasitärer Kapazitäten und zur Reduktion des Zeitaufwands zur experimentellen Ermittlung der Degradation beim wiederholten spannungsbegrenzten Schalten einer induktiven Last werden deshalb die Stromdichte- und Spannungsverläufe im Testtransistor mit Hilfe einer elektronischen Belastungsschaltung künstlich nachgebildet. Dafür wird dem Testtransistor ein dreiecksförmiger Strompuls eingeprägt, dessen Amplitude und Dauer dem Stromverlauf während des spannungsbegrenzten Ausschaltens einer echten induktiven Last entspricht (vgl. Abb. 2.4). Die den Transistor umgebende Schutzstruktur aus Zener-Dioden zwischen Drain und Gate sorgt zugleich dafür, dass auch die Spannungsverläufe an den Anschlüssen des Testtransistors denen im Produkt-Lastschaltkreis entsprechen. Das hier vorgestellte Messsystem wurde von Dr. Robert Keller, Infineon Technologies, München, entwickelt und entstand mit seiner Unterstützung. Abb. 3.4 zeigt eine Photographie des kompletten Messaufbaus mit den drei wesentlichen Bestandteilen des Systems, der zentralen Steuereinheit, den Stresseinheiten sowie einem Binärzähler. Die Funktionsweise der einzelnen Bestandteile soll im Folgenden näher erläutert werden. Das Herzstück des Belastungssystems ist die zentrale Steuereinheit. Ihr Zweck ist es, Spannungspulse zu erzeugen, welche als Eingangssignal in den Stresseinheiten dreiecksförmige Stromdichtepulse auslösen, deren Verlauf und Dauer dem Stromdichteverlauf in einem Transistor beim spannungsbegrenzten Ausschalten einer Induktivität entspricht. In Abb. 3.5 ist das Blockschaltbild der zentralen Steuereinheit abgebildet. Durch einen Timer erzeugte Nadelpulse schließen periodisch einen Schalter S1, über den sich die Kapazität C mit kleiner Zeitkonstante entlädt. Nach Öffnen des Schalters lädt C sich periodisch wieder auf, wobei durch eine Konstantstromquelle ein gleichmäßiger Spannungsanstieg erreicht wird. Der Spannungsanstieg wird durch den Operationsverstärker OP1 auf U_{ref} begrenzt: Erhöht sich der Spannungsanstieg an C über $U_{ref} \approx 0V$, so öffnet der Schalter S2, wodurch der Ladevorgang von C unterbrochen wird. Ein Spannungsfollower OP2 ermöglicht ein niederohmiges Abgreifen des Spannungspulses über einen Spannungsteiler. Das Ausgangssignal ist dreiecksförmig mit steiler Anstiegs- und flacher Abstiegsflanke und ist über metallbeschichtete Leisten leitend

mit den Stresseinheiten verbunden. Ein Binärzähler, der ebenfalls an den Timer angeschlossen ist, erlaubt ein einfaches Auslesen der Gesamtpulszahl mittels Leuchtdioden.

Der von der zentralen Steuereinheit erzeugte Spannungsverlauf dient als Eingangssignal für die bis zu 36 Stresseinheiten, von denen jede zur elektrischen Belastung je eines Transistors dient. Ein vereinfachtes Schaltbild ist in Abb. 3.6 dargestellt. Die Stresseinheit besteht zum einen aus einer Stromquelle, welche dreiecksförmige Strompulse erzeugt und zum anderen aus dem zu belastenden Transistor, welcher von einer Schaltung zur Spannungsbegrenzung umgeben ist. Das Ausgangssignal der zentralen Steuereinheit wird in den positiven Eingang eines gegengekoppelten Operationsverstärkers eingespeist, der über einen Vorwiderstand einen p-Kanal Feldeffekttransistor (PFET) aufsteuert. Der PFET wirkt als Stromquelle, dessen Strom näherungsweise proportional zur Gatespannung ist. Durch die Zener-Dioden wird die Drain-Source-Spannung auf 55V begrenzt und das Gate wird auf einen Wert knapp oberhalb der Einsatzspannung V_{Th} aufgeladen. Der variable Widerstand R_{var} dient sowohl zur Einstellung der Amplitude als auch zur Linearisierung des dreiecksförmigen Stromverlaufs am Testtransistor. Die Dämpfungskondensatoren C_{Daemp} reduzieren Schwingungen in Folge von Übersteuerung. Hochohmige Widerstände ($R = 1M\Omega$) zwischen den Transistorterminals R_{ESD} erhöhen die ESD-Sicherheit des LDMOSFETs.

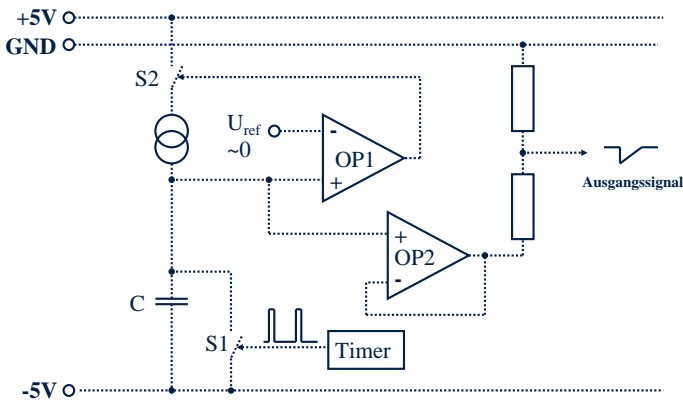


Abbildung 3.5: Blockschaltbild der zentralen Steuereinheit

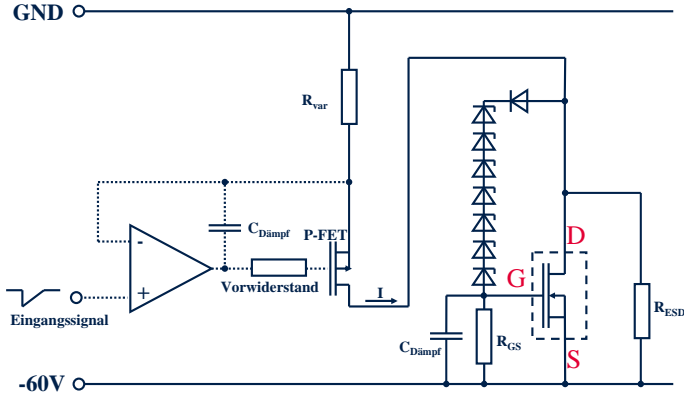


Abbildung 3.6: Blockschaltbild einer Stresseinheit zur Belastung im Repetitive Clamping Modus

Abb. 3.7 vergleicht die mit dem Messaufbau nachgebildeten Spannungs- und Stromverläufe während eines Strompulses mit den Spannungs- und Stromverläufen während des spannungsbegrenzten Ausschaltens einer induktiven Last als Ergebnis der Spectre-Simulation von Abb. 2.4 in Kapitel 2.2. Es ist deutlich zu sehen, dass es mit dem dynamischen Belastungstestsystem möglich ist, die Spannungs- und Stromdichteverläufe hinreichend gut nachzubilden.

Bei den vorliegenden Messungen wurden die Transistoren mit einer Frequenz von ca. 680Hz belastet, wodurch Belastungstests mit einer Anforderung von 10^9 Pulsen in 17 Tagen durchgeführt werden können. Dabei können bis zu 36 Transistoren gleichzeitig belastet werden. Anders als bei den konventionellen DC-Belastungstests befinden sich die Transistoren in einem Keramik-Gehäuse. Das Belastungstestsystem wurde bei Raumtemperatur im klimatisierten Labor betrieben. Anders als beim konventionellen DC-Belastungssystem handelt es sich beim dynamischen Belastungstestsystem um ein „ex-situ“-Messsystem. Dies bedeutet, dass die Proben nach dem Unterbrechen der Belastung aus dem Setup ausgebaut und an einem separaten Messplatz auf die Degradation ihrer Parameter hin gemessen werden, bevor sie wieder eingebaut und erneut elektrischem Stress ausgesetzt werden. Da die mittlere Temperatur am Messplatz etwas höher war als am Stress-Setup, wurden die Transistoren vor jeder Messung ca. 15min am Messplatz gelagert, um gleiche Temperaturen der Transistoren während der Messung zu

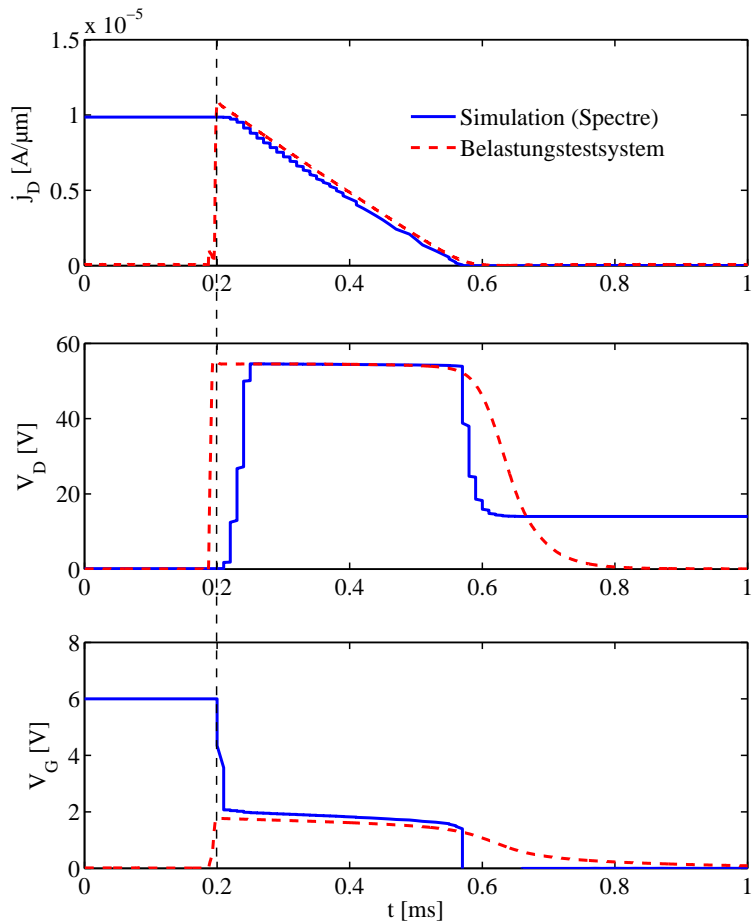


Abbildung 3.7: Zeitlicher Spannungs- und Stromverlauf während dem spannungsbegrenzten Ausschalten in der Spectre-Simulation und im dynamischen Belastungstestsystem

gewährleisten. Nichtsdestotrotz war auch die Messplatztemperatur gewissen zeitlichen Schwankungen unterworfen, was die Degradationsmessungen beeinflusst, da die zu messenden elektrischen Parameter zusätzlich zu ihrer Degradation zeitliche Änderungen aufgrund von Temperaturschwankungen in der Größenordnung von $\pm 1^\circ\text{C}$ erfahren. Diese können in einer relativ großzügigen Schätzung mit $\pm 0.4\%$ (bei $\Delta R_{on}/\Delta T = 0.4\%/^\circ\text{C}$) angegeben werden, waren jedoch in der Regel kleiner.

3.1.3 Photon-Emissions-Mikroskopie

Die Lage des Hot Spots, d. h. des Ortes maximalen Auftretens heißer Ladungsträger während der Belastung, wurde experimentell durch Photon-Emissions-Mikroskopie bestimmt. Die Aufnahmen wurden im Rahmen der Zusammenarbeit mit der Abteilung für Fehleranalyse erstellt von H. Bourkadi, B. Ferstl, S. Müller und C. Feuerbaum, Infineon Technologies, Neubiberg. Photon-Emissions-Mikroskopie ist in der Analyse von Fehlern

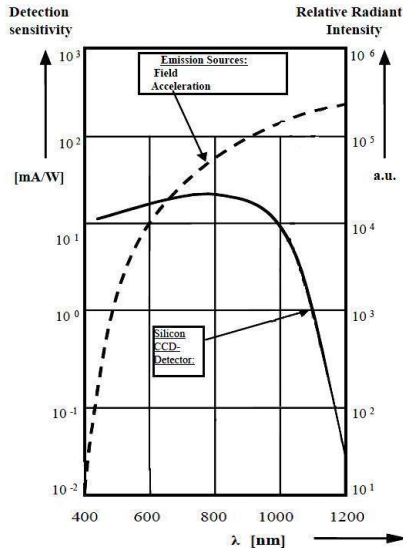


Abbildung 3.8: Emissionsspektrum einer pn-Diode im Avalanche-Durchbruch und die spektrale Response der Si-CCD-Kamera (nach Boit [Boi04])

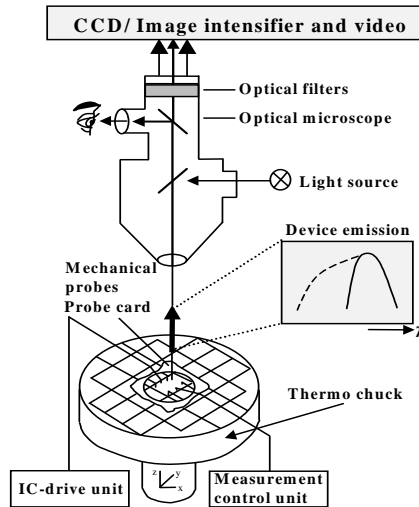


Abbildung 3.9: Schematische Darstellung des Messaufbaus für Photon-Emissions-Mikroskopie (aus [Boi04])

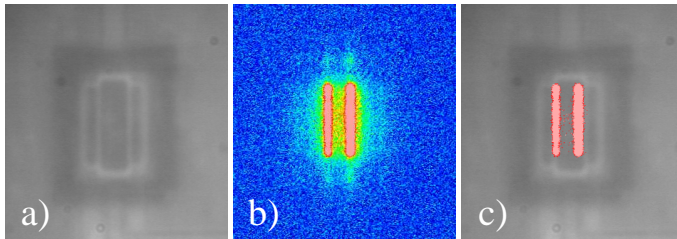


Abbildung 3.10: a) Modus 1: Reflexionsaufnahme bei externer Beleuchtung und ausgeschaltetem Transistor, b) Modus 2: Intensitätsverteilung der emittierten Photonen bei eingeschaltetem Transistor, c) Superposition von Reflexionsaufnahme und der Intensitätsverteilung emittierter Photonen (Aufnahmen von C. Feuerbaum, Infineon Technologies, Neubiberg)

in der Mikroelektronik weit verbreitet, da es sich hierbei um eine schnelle, sensitive und kontaktlose Technik zur Lokalisierung von elektrischen Fehlstellen in ICs handelt. Sie basiert auf der orts aufgelösten Detektion von Photonen, welche bevorzugt in Bereichen mit hohen elektrischen Feldstärken bzw. hohen Rekombinationsraten emittiert werden. Über die Emission von sichtbarem Licht von einem pn-Übergang im Avalanche-Durchbruch wurde erstmalig 1955 von R. Newman [New55] berichtet.

Der ursächliche physikalische Vorgang ist die Elektrolumineszenz: Bewegliche Ladungsträger werden durch das Vorhandensein eines elektrischen Feldes in Zustände höherer Energie überführt, von denen sie u. a. durch strahlende Streuprozesse wieder zu energetisch günstigeren Zuständen relaxieren. Über die zugrunde liegenden Relaxationsvorgänge existieren verschiedene Theorien [Chi00]. Als mögliche Ursachen von Photonenemission durch heiße Ladungsträger werden etwa strahlende Rekombination von Elektronen und Löchern (indirekte bzw. direkte Interband-Prozesse) [Pan71, New55, Chy56, Boi04] sowie Intrabandübergänge [New55, Chy56, Boi04] genannt. Das Emissionsspektrum einer rückwärtsbetriebenen pn-Diode im Avalanche-Durchbruch im Bereich von 400nm bis 1200nm ist in Abb. 3.8 als gestrichelte Linie dargestellt. Die Strahlungsintensität nimmt zu kleineren Wellenlängen hin um mehrere Größenordnungen ab, bis bei $\lambda = 400nm$ ($E_{Photon} = 3.1$ eV) praktisch keine Emission mehr stattfindet. Die Abbruchkante auf der hochenergetischen Seite kann dadurch erklärt werden, dass die Zahl der mobilen Ladungsträger, die im elektrischen Feld des Transistors ohne zu streuen beschleunigt werden, mit der freien Weglänge sinkt. Deshalb erreichen nur wenige mobile Ladungsträger Zustände hoher Energie, deren strahlende Relaxation zur Emission hochenergetischer Photonen führt [Chy56, Boi04]. Die hohe Intensität von Photonenemission mit Energien unterhalb der Bandlücke von Silizium $E_{Gap} = 1.12eV$ ($\lambda \approx 1100nm$) kann nicht mit der Rekombination von Elektronen und Löchern erklärt werden, kann jedoch durch Intrabandübergänge plausibel gemacht werden.

Die örtliche Verteilung der Emissionsintensität auf der Chipoberfläche wird beim vorliegenden Messaufbau mit Hilfe einer gekühlten Si-CCD-Kamera detektiert, deren spektrale Empfindlichkeit in Abb. 3.8 als durchgezogene Linie gegen die linke Achse aufgetragen ist. Da die Si-CCD auf dem komplementären Prozess der Photonen-Absorption in Silizium beruht, nimmt die spektrale Empfindlichkeit bei Erreichen der Bandlückenenergie $\lambda \approx 1100nm$ rapide ab. Inhomogene mehrlagige Metallschichten auf der Vorderseite des

Chips behindern die Transmission von Photonen, so dass beim vorliegenden LDMOSFET die Intensitätsverteilung der emittierten Photonen von der Waferrückseite her detektiert wurde. Der Absorptionskoeffizient von Silizium ist abhängig von der Grunddotierung des Wafermaterials und steigt bei Erreichen der Bandlückenenergie stark an [Sor87], wodurch die Intensität im für die CCD-Kamera empfindlichen Wellenlängenbereich mit zunehmender Chipdicke rasch abnimmt (vgl. hierzu auch [Deb93]). Um eine hinreichende Photonenemission von der Waferrückseite zu gewährleisten, wurden deshalb für die in dieser Arbeit vorgestellten Messungen die untersuchten Chips von den Kollegen von der Abteilung für Fehleranalyse auf ca. $350\mu\text{m}$ gedünnt.

Der Messaufbau ist schematisch in Abb. 3.9 dargestellt. Bei der vorliegenden Arbeit wurde dabei das kommerzielle Mess-System PHEMOS-1000 verwendet. Der Chip mit dem zu untersuchenden Transistor wird mit der Rückseite nach oben auf dem in allen Raumrichtungen beweglichen Chuck platziert. Mittels einer geeigneten Verschaltung kann der Transistor über externe Spannungs- bzw. Stromquellen bei beliebigen Arbeitspunkten betrieben werden. Direkt über dem zu untersuchenden Chip ist ein Mikroskop mit bis zu 100-facher Vergrößerung angebracht. Das vergrößerte Bild wird von einer wassergekühlten Silizium-CCD-Kamera detektiert und von einem 12-bit A/D-Konverter von einem Analogsignal in ein digitales Signal umgewandelt, welches anschließend an einen externen Rechner mit einer geeigneten Software übermittelt wird. Der Messaufbau ist zum größten Teil in einem innen schwarz verkleideten Kasten untergebracht, um die Einflüsse von externer und Streustrahlung auf die Intensitätsverteilung zu minimieren [Feu08].

Um die Intensitätsverteilung der emittierten Strahlung einer bestimmten Position im Transistor zuordnen zu können, kann das Photon-Emissions-Mikroskop in zwei verschiedenen Betriebsmodi betrieben werden. Im Modus 1 wird der Chip mit dem zu untersuchenden abgeschalteten Transistor von einer externen Lichtquelle mit bis ins Infrarot erweitertem Spektralbereich beleuchtet und das reflektierte Licht von der CCD-Kamera detektiert. Durch die verschiedenen Reflexionskoeffizienten der Transistorbestandteile entsteht so ein Bild, welches die Umrisse des zu untersuchenden Transistors zeigt (siehe Abb. 3.10a). Danach wird die externe Lichtquelle abgeschaltet und der Transistor einer elektrischen Belastung ausgesetzt (Modus 2). Die detektierte Intensitätsverteilung hat ihren Ursprung nun allein in der Emission von Photonen durch Relaxationsvorgänge mobiler Ladungsträger

im Bauelement und ist in Abb. 3.10b dargestellt. Durch Superposition der in den beiden Betriebsmodi entstandenen Aufnahmen können in einem weiteren Schritt die Intensitätsmaxima in Korrelation zur Transistorgeometrie gesetzt werden. Dies wird in Abb.3.10c gezeigt. Da die Amplitude der Photonemission von der Dichte heißer Ladungsträger abhängig ist, erwarten wir maximale Degradation der Si/SiO₂-Grenzfläche bzw. des Oxids in der Nähe von Emissionsmaxima.

Bei der Interpretation der Photon-Emissions-Charakteristiken ist jedoch darauf zu achten, dass die detektierte Emission ausschließlich von Relaxationsprozessen heißer Ladungsträger stammt. Breitverteilte Störsignale wurden beim vorliegenden Transistor bei hohen Drain- und Gatespannungen beobachtet. Da sie durch niederfrequentes periodisches Unterbrechen der Belastung unterdrückt werden konnten, konnte ihr Ursprung auf Schwarzkörperstrahlung in Folge starker Eigenerwärmung des Transistors zurückgeführt werden.

3.2 Simulationsverfahren

Um ein Verständnis für die physikalischen Vorgänge innerhalb des Transistors zu entwickeln, welche zur Veränderung seiner elektrischen Eigenschaften führen, wurde neben den oben vorgestellten experimentellen Verfahren auch auf die Methode der numerischen TCAD-Simulation zurückgegriffen. „TCAD“ ist die Abkürzung für Technology Computer Aided Design und steht für die simulationsgestützte Halbleitertechnologieentwicklung [Pim93].

In den letzten Jahrzehnten wurde eine Vielzahl von Softwarearchitekturen entwickelt [Fas93], die den Entwicklungsprozess neuer Generationen von Halbleiterbauelementen und ICs unterstützen und optimieren. Dabei umfasst TCAD-Simulation die drei Bereiche Prozess-, Bauelement- und Schaltkreissimulation [Pim93, Fas93, Dut93]. Die Prozess-Simulation bildet den Herstellungsprozess von Halbleiterbauelementen mit mathematischen Modellen nach. Aus der Abfolge der einzelnen Prozessschritte und der Maskeninformation werden die resultierende Bauelementgeometrie und die Dotierstoffverteilung errechnet [Pim93]. Das Ziel der Prozesssimulation ist ein Datensatz, der ein virtuelles Bauelement definiert, welches möglichst genau dem realen Transistor entspricht. Hierdurch wird es ermöglicht, relevante Informationen zur Prozesstechnologie mit der Bauelement-Geometrie

und der Dotierstoffverteilung zu verbinden [Dut93]. Die so erhaltenen Daten stellen die Grundlage für die Bauelementsimulation dar: Ausgehend vom virtuellen Äquivalent wird das elektrische Verhalten des Transistors unter Verwendung von geeigneten physikalischen Modellen nachgebildet. Dabei ist die Bauelementsimulation von großem Nutzen für den Entwicklungsprozess, da sie physikalische Größen erfassbar macht, die sich der Messung grundsätzlich entziehen wie beispielsweise der elektrische Potentialverlauf im Innern des Bauelements, die Stromdichteverteilung, Stoßionisationsraten usw. Des Weiteren wird mit der Bauelementsimulation die Strom-Spannungs-Abhängigkeit des realen Transistors modelliert, welche in einem weiteren Schritt als Ausgangspunkt für die Schaltkreis-Simulation dient [Pim93].

In der vorliegenden Arbeit wurde zur Analyse des Alterungsvorgangs im LD-MOSFET auf die Bauelementsimulation zurückgegriffen, da mit ihrer Hilfe die mit der Injektion heißer Ladungsträger in Zusammenhang gebrachten physikalischen Größen wie etwa die räumliche Verteilung des elektrischen Felds und der Stromdichte simuliert werden können. Das Grundprinzip der Bauelement-Simulation wird in Abb. 3.11 am Beispiel des kommerziellen Bauelement-Simulators Sentaaurus Device [Syn09] verdeutlicht.

Um das Verhalten eines Bauelements zu simulieren, wird dieses wie oben

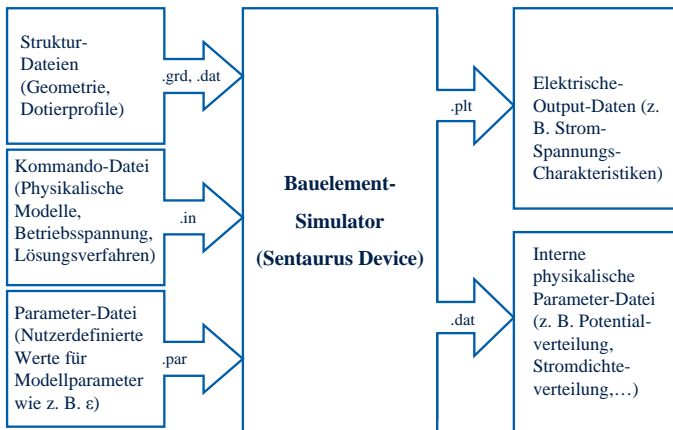


Abbildung 3.11: Eingangs- und Ausgangsdaten für die Bauelementsimulation bei Sentaaurus Device [Syn09]

erwähnt zuerst durch ein „virtuelles“ Bauelement angenähert, indem man in einer Datei (.grd) einen Satz an Datenpunkten definiert, dessen Koordinaten ein Gitter über dem Bauelement aufspannen, wobei jedem Gitterpunkt ein Material und, in einer separaten Datei (.dat), die dem Gitterpunkt entsprechende Dotierstoffkonzentration zugeordnet ist („Diskretisierung“). Diese Eingangsinformationen sind hier das nachbearbeitete Ergebnis einer von Dr. Dietrich Bonart, Infineon Technologies, Regensburg, erstellten Prozess-Simulation mit T-Suprem4 [Syn09]. In einem weiteren Schritt wird selbstkonsistent für jeden einzelnen Gitterpunkt ein Satz von Modellgleichungen gelöst, welcher die physikalischen Prozesse im Innern des Bauelements als Funktion von vom Nutzer festgelegten Randbedingungen wie etwa die Berücksichtigung bestimmter physikalischer Modelle und Arbeitspunkte beschreibt und die in einer Kommando-Datei (.in) zusammengefasst sind. In einer Parameter-Datei (.par) können darüber hinaus die individuellen Modellparameter vom Nutzer angepasst werden. Für jeden Gitterpunkt werden die physikalischen Größen von Interesse wie etwa das elektrostatische Potential oder die Strom- und Ladungsträgerdichte berechnet und in einer Ergebnis-Datei (.dat) abgespeichert. Durch lineare Interpolation der Werte zwischen den Gitterpunkten kann mit Hilfe einer geeigneten Software die räumliche Verteilungsfunktion der relevanten Parameter dargestellt werden, was eine visuelle Bewertung stark erleichtert. Ein weiteres Ergebnis sind die sog. Kontaktdatei, d. h. die Ströme und Spannungen an den elektrischen Kontakten des Bauelements bei den simulierten Arbeitspunkten, aus denen z. B. eine Strom-Spannungs-Kennlinie interpoliert werden kann und die in einer weiteren Ergebnis-Datei (.plt) abgespeichert werden.

Im folgenden Abschnitt werden die in den verschiedenen Simulationsverfahren verwendeten physikalischen Modellgleichungen vorgestellt und erläutert. Die verschiedenen Modellverfahren basieren in der Regel auf der selbstkonsistenten Lösung von Poisson-Gleichung und Boltzmann-Transportgleichung bzw. den aus der Boltzmann-Transportgleichung abgeleiteten Bilanzgleichungen für die für den Ladungsträgertransport relevanten makroskopischen Größen. Die Poisson-Gleichung gibt im Fall eines wirbelstromfreien quasistationären Feldes das elektrische Potential $\Psi(\vec{r}, t)$ als Funktion einer vorgegebenen Raumladungsdichte $\rho(\vec{r}, t)$ an:

$$\nabla_{\vec{r}}(\epsilon(\vec{r})\nabla_{\vec{r}}\Psi(\vec{r}, t)) = -\rho(\vec{r}, t) \quad (3.1)$$

mit $\epsilon(\vec{r})$: Ortsabhängige Dielektrizitätskonstante. Die Boltzmann-Transportgleichung beschreibt hier die Änderung der Elektronen- bzw. Löcherverteilung

lungsfunktion $f_i(\vec{r}, \vec{k}, t)$ im 6-dimensionalen Phasenraum durch Streu- und Beschleunigungsprozesse in einem elektrischen Feld in Form einer semiklassischen Integro-Differentialgleichung. Die Gleichung hat die Form

$$\left\{ \frac{\partial}{\partial t} + v_i(\vec{r}, \vec{k}) \nabla_{\vec{r}} + \frac{\vec{F}_i(\vec{r}, \vec{k})}{\hbar} \nabla_{\vec{k}} \right\} f_i(\vec{r}, \vec{k}, t) = \frac{\partial f_i(\vec{r}, \vec{k}, t)}{\partial t} |_{Koll}. \quad (3.2)$$

Die linke Seite ist die ausführliche Schreibweise für die totale Zeitableitung der Verteilungsfunktion $f_i(\vec{r}, \vec{k}, t)$ unter Verwendung der semi-klassischen Bewegungsgleichung $\hbar \frac{\partial \vec{k}}{\partial t} = \vec{F}$, wobei \vec{F} eine elektrische Kraft darstellt. Der Term auf der rechten Seite wird als Kollisionsintegral bezeichnet und beschreibt den Beitrag durch Streuprozesse.

Für das Kollisionsintegral gilt

$$\begin{aligned} \frac{\partial f_i(\vec{r}, \vec{k}, t)}{\partial t} |_{Koll} = & \frac{\Omega}{(2\pi)^3} \sum_{i'} \int_{BZ} (1 - f_i(\vec{r}, \vec{k}, t)) S_{i,i'}(\vec{k}|\vec{k}')(\vec{r}, t) f_{i'}(\vec{r}, \vec{k}', t) \\ & - (1 - f_{i'}(\vec{r}, \vec{k}', t)) S_{i',i}(\vec{k}'|\vec{k})(\vec{r}, t) f_i(\vec{r}, \vec{k}, t) d^3 k', \end{aligned} \quad (3.3)$$

wobei Ω das Raumvolumen des betrachteten Halbleiters darstellt.

$S_{i,i'}(\vec{k}|\vec{k}')(\vec{r}, t)$ ist die Übergangsrate vom Zustand (i', \vec{k}') in den Zustand (i, \vec{k}) gemäß Fermi's Goldener Regel. f beschreibt die Wahrscheinlichkeit, dass ein Zustand besetzt ist, während $(1-f)$ die Wahrscheinlichkeit angibt, dass ein Zustand unbesetzt ist. Der erste Term auf der rechten Seite in Gl. 3.3 beschreibt also die Wahrscheinlichkeit, dass ein Teilchen aus einem Zustand (i', \vec{r}, \vec{k}') in den Zustand (i, \vec{r}, \vec{k}) hineingestreut wird. Da alle Zustände im Impulsraum potentielle Anfangszustände sind, muss über die gesamte Brioullin-Zone (BZ) und alle Bänder i' integriert werden. Der zweite Term in Gl. 3.3 beschreibt in analoger Form die Wahrscheinlichkeit, dass ein Teilchen aus dem Zustand (i, \vec{r}, \vec{k}) herausgestreut wird [Jun03].

Die Monte-Carlo-Simulation stellt das physikalisch fundierteste Simulationsverfahren für Halbleiterbauelemente dar, da die Boltzmann-Transportgleichung direkt gelöst wird unter stochastisch korrekter Berücksichtigung von Streuprozessen und der Integration vollständiger Energiebandstrukturen in den Simulationsflow [Dec02]. Der große Rechenaufwand und die daraus folgenden vergleichsweise langen Simulationszeiten sind jedoch der

Grund dafür, dass sich dieses Verfahren noch nicht als industrielle Standardsimulationsmethode durchsetzen konnte. Stattdessen werden in der Halbleiterentwicklung heutzutage hauptsächlich stark vereinfachte Modellgleichungen verwendet, denen aus der Boltzmann-Transportgleichung abgeleitete Bilanzgleichungen für den makroskopischen Teilchen- bzw. Energietransport zugrunde liegen [Dec02, Jun03]. In den nächsten Abschnitten wird die Modellarchitektur für den Monte-Carlo-Simulationsalgorithmus und die klassischen Standard-Simulationsverfahren (Drift-Diffusions-Modell und hydrodynamisches Modell) kurz skizziert.

3.2.1 Klassische Simulationsverfahren

Die in den klassischen Simulationsverfahren verwendeten vereinfachten Modellgleichungen werden durch die Entwicklung der Boltzmann-Transportgleichung nach sog. Momenten abgeleitet. Auf diese Weise reduziert man die komplexe sechsdimensionale Boltzmann-Transportgleichung auf Bilanzgleichungen für wenige makroskopische physikalische Größen im Ortsraum, welche den Ladungsträgertransport und, im Fall des hydrodynamischen Modells, zusätzlich den Energietransport im Bauelement beschreiben. Dies sind für die ersten vier Momente die Teilchendichte $n(\vec{r}, t)$, die Teilchenstromdichte $\vec{j}(\vec{r}, t)$ sowie die Energiedichte $\omega(\vec{r}, t)$ und die Energiestromdichte $\vec{s}(\vec{r}, t)$. Man erhält sie durch Integration der mit $f_i(\vec{r}, \vec{k}, t)$ gewichteten Einteilchenfunktionen $M = 1, \vec{v}$ (Einteilchengeschwindigkeit), μ (Einteilchenenergie) und $\mu\vec{v}$ (Einteilchenenergiestrom) über den k -Raum:

$$n(\vec{r}, t) = \frac{2}{(2\pi)^3} \sum_i \int_{BZ} f_i(\vec{r}, \vec{k}, t) d^3k \quad (\text{Teilchendichte}) \quad (3.4)$$

$$\vec{j}(\vec{r}, t) = \frac{2}{(2\pi)^3} \sum_i \int_{BZ} \vec{v}(\vec{r}, \vec{k}) f_i(\vec{r}, \vec{k}, t) d^3k \quad (\text{Teilchenstromdichte}) \quad (3.5)$$

$$\omega(\vec{r}, t) = \frac{2}{(2\pi)^3} \sum_i \int_{BZ} \mu(\vec{r}, \vec{k}) f_i(\vec{r}, \vec{k}, t) d^3k \quad (\text{Energiedichte}) \quad (3.6)$$

$$\vec{s}(\vec{r}, t) = \frac{2}{(2\pi)^3} \sum_i \int_{BZ} \mu(\vec{r}, \vec{k}) \vec{v}(\vec{r}, \vec{k}) f_i(\vec{r}, \vec{k}, t) d^3k \quad (\text{Energiestromdichte}) \quad (3.7)$$

Die zugehörigen Momentgleichungen erhält man, indem man beide Seiten der Boltzmann-Transportgleichung mit M multipliziert und über den k -Raum integriert. Unter Verwendung der Ausdrücke (3.4)-(3.7) wird Gl. (3.2) dann z. B. für Elektronen nach einigen Näherungen zu

$$\nabla_{\vec{r}} \vec{j}_n + \frac{\partial n}{\partial t} = G^{II} \quad (0.Moment) \quad (3.8)$$

$$\vec{j}_n = -n \frac{\tau_{j_n}^*}{m_n^*} \nabla_{\vec{r}} [-q\Psi] - \frac{\tau_{j_n}^*}{m_n^*} \nabla_{\vec{r}} [nk_B T_n^*] \quad (1.Moment) \quad (3.9)$$

$$\nabla_{\vec{r}} \vec{s}_n = -\vec{j}_n \nabla_{\vec{r}} [-q\Psi] - n \frac{3k_B}{2} \frac{T_n^* - T_0}{\tau_{\omega_n}^*} \quad (2.Moment) \quad (3.10)$$

$$\begin{aligned} \vec{s}_n = & -n \frac{5k_B T_n^* \tau_{s_n}^*}{2m_n^*} \nabla_{\vec{r}} [-q\Psi] \\ & - \frac{5\tau_{s_n}^* \tau_{j_n}^*}{2m_n^* \tau_{j_n}^*} \nabla_{\vec{r}} [n(k_B T_n^*)^2] \end{aligned} \quad (3.Moment). \quad (3.11)$$

(nach [Jun03]). Die Ableitung für Löcher erfolgt analog. Bei den Größen $\tau_{j_n}^*$, $\tau_{\omega_n}^*$ und $\tau_{s_n}^*$ handelt es sich um aus Monte-Carlo-Simulationen extrahierte Modellparameter, welche verschiedene Relaxationszeiten darstellen. T_n^* beschreibt die dynamische Elektronentemperatur und ist definiert durch die mittlere kinetische Energie der Elektronen, wohingegen T_0 die Gittertemperatur beschreibt. $1/m_n^*$ ist die effektive reziproke Elektronenmasse [Jun03]. Das 0. Moment beschreibt die Teilchenerhaltung in Form der Kontinuitätsgleichung und wird ergänzt um die Elektronengenerationsrate G^{II} durch Stoßionisation. Das 1. Moment gibt die Stromdichte als Funktion der treibenden Kräfte im Bauelement an. Diese sind hier das elektrische Feld, Diffusions- und Thermoeffusionskraft [Dec02]. Als 2. Moment erhält man die Energieerhaltungsgleichung aus der Elektrodynamik (Satz von Poynting) in allgemeiner Form. Das 3. Moment schließlich beschreibt die Energiestromdichte in Analogie zu Gl. (3.9). Bei Abbruch der Momententwicklung bereits nach dem 1. Moment und unter der Annahme, dass die Elektronen stets im thermischen Gleichgewicht mit den Atomrümpfen des Gitters sind, erhält man die Modellgleichungen für das Drift-Diffusions-Modell, welches aufgrund seiner Einfachheit und des daraus folgenden einfach zu handhabenden Simulationsalgorithmus (kleine Simulationszei-

ten, gute Konvergenz) das am weitesten verbreitete Verfahren darstellt. Seinen Namen hat es daher, dass lediglich Drift- und Diffusionsstrom zur Gesamtstromdichte beitragen. Mit $T_n^* \approx T_0$ und $\tau_{j_n}^* \approx \tau_{j_n^-}$ reduziert sich Gl. (3.9) nämlich zu

$$\vec{j}_n = -n \frac{\tau_{j_n}^*}{m_n^*} \nabla_{\vec{r}} [-q\Psi] - \frac{k_B T_0 \tau_{j_n}^*}{m_n^*} \nabla_{\vec{r}} n. \quad (3.12)$$

Sie kann schließlich unter Verwendung des Quasifermpotentials Φ_n (vgl. hierzu [Jun03]) noch weiter vereinfacht werden zu

$$\vec{j}_n = n \mu_n \nabla_{\vec{r}} \Phi_n \quad (3.13)$$

mit

$$\mu_n = \frac{q \tau_{j_n}^*}{m_n^*} \quad (3.14)$$

[Jun03]. Aufgrund der starken Vereinfachung bewegen sich die Ladungsträger im Drift-Diffusions-Modell stets parallel zum Gradienten des Quasifermpotential, Beiträge zum Stromfluss durch Thermodiffusion werden nicht berücksichtigt. Des Weiteren ist das Drift-Diffusions-Modell nicht imstande, nicht-lokale Effekte bei räumlich und zeitlich stark fluktuierenden Feldern abzubilden. Diese Effekte werden hingegen beim hydrodynamischen Simulationsansatz mitberücksichtigt, in dem eine dynamische Ladungsträgertemperatur definiert und bei dem durch Verwendung der Gleichungen (3.10) und (3.11) auch der Energietransport in den Simulationsflow integriert wird. Nachteile des hydrodynamischen Modells liegen u. a. in einem stark erhöhten Rechenaufwand und durch die Komplexität in einer geringeren Stabilität des Simulationsprozesses.

3.2.2 Monte-Carlo-Simulation

Wie oben erwähnt stellt die Monte-Carlo-Simulation das physikalisch am meisten fundierte Verfahren dar, da die Boltzmann-Transportgleichung stochastisch exakt gelöst wird. Allerdings müssen auch hier einige Vereinfachungen vorgenommen werden, da die mehrfache Nichtlinearität der Boltzmann-Transportgleichung in $f_i(\vec{r}, \vec{k}, t)$ die Entwicklung eines Simulationsalgorithmus erschwert. Zur Vereinfachung wird deshalb das Pauliverbot bei der Berücksichtigung des Besetzungszustands der Endzustände im Kollisionsintegral vernachlässigt. Des Weiteren wird angenommen, dass sowohl

die Übergangsrate als auch die Kraft unabhängig von der Verteilungsfunktion und der Zeit sind [Jun03].

Die linearisierte Boltzmann-Transportgleichung sieht dann folgendermaßen aus:

$$\left\{ \frac{\partial}{\partial t} + \vec{F}_i(\vec{r}, \vec{k}) \frac{1}{\hbar} \nabla_{\vec{k}} + \vec{v}_i(\vec{r}, \vec{k}) \nabla_{\vec{r}} + S_i(\vec{r}, \vec{k}) \right\} f_i(\vec{r}, \vec{k}, t) = \frac{\Omega}{(2\pi)^3} \sum_{i'} \int_{BZ} S_{i,i'}(\vec{k}|\vec{k}')(\vec{r}) f_{i'}(\vec{r}, \vec{k}', t) d^3 k' \quad (3.15)$$

mit der Streurrate

$$S_i(\vec{r}, \vec{k}) := \frac{\Omega}{(2\pi)^3} \sum_{i'} \int_{BZ} S_{i,i'}(\vec{k}|\vec{k}')(\vec{r}) d^3 k'. \quad (3.16)$$

In der Monte-Carlo Simulation wird die Verteilungsfunktion von mobilen Ladungsträgern im Impuls- und Ortsraum durch ein Teilchenensemble dargestellt. Die Bewegung der Ladungsträger des Ensembles wird dabei in jeweils zwei Schritten berechnet: Im ersten Schritt wird die freie Flugzeit der Teilchen mit Hilfe von Pseudozufallszahlen ermittelt. Unter Berücksichtigung des elektrischen Feldes kann dann die Änderung des Teilchenzustands im Phasenraum errechnet werden. In einem zweiten Schritt wird wiederum nach dem Zufallsprinzip der Streumechanismus und der Teilchenzustand nach dem Stoß ermittelt. Diese Schritte werden für alle Ladungsträger der initialen Verteilungsfunktion wiederholt ausgeführt bis zum Ende der Simulationszeit. Anschließend werden durch Mittelung verschiedene makroskopische Größen wie etwa die Stromdichte extrahiert [Jun03].

Wie oben erwähnt muss die Boltzmann-Transportgleichung eigentlich selbstkonsistent mit der Poisson-Gleichung gelöst werden, da die mit der Boltzmann-Transportgleichung errechnete Verteilungsfunktion vom elektrischen Feld abhängig ist, dessen Abhängigkeit von der Verteilungsfunktion wiederum mit der Poisson-Gleichung beschrieben wird. In der Praxis wird jedoch zur Beschreibung von heißen Ladungsträgern aufgrund des geringeren Rechenaufwands und einer erhöhten Stabilität des Simulationsalgorithmus häufig auf das Näherungsverfahren der nicht-selbstkonsistenten Monte-Carlo-Simulation zurückgegriffen. Hierbei wird die Simulation für einen beschränkten Bereich des Transistors bei vorgegebener elektrischer Feld- und Stromdichteverteilung durchgeführt, welche häufig das Ergebnis

einer Standard-Bauelementsimulation ist ebenso wie die indirekt in den Streuterm eingehende Ladungsträgerdichteverteilung [Jun03]. Eine detaillierte Beschreibung des verwendeten Monte-Carlo-Algorithmus findet sich in [Jun03].

Bei den im Rahmen der vorliegenden Arbeit durchgeführten Simulationen wurden sowohl die klassischen Standardverfahren (Drift-Diffusions-Modell und hydrodynamisches Modell) als auch der Monte-Carlo-Ansatz verwendet. Zur Evaluierung der räumlichen Verteilung von elektrischem Feld, Stromdichte und Stoßionisationsraten stellte sich dabei das Drift-Diffusions-Modell als hinreichend genaue Simulationsmethode heraus, da aufgrund der großen Transistorabmessungen und Spannungen der Einfluss nicht-lokaler Effekte vernachlässigbar ist. Dabei wurde der kommerzielle Bauelement-Simulator Sentaurus Device [Syn09] benutzt. Da insbesondere Streuprozesse von den klassischen Standardverfahren jedoch nur unzulänglich nachgebildet werden können, wurde zur Simulation der Injektionsstromdichten von Elektronen und Löchern ins Oxid auf die wesentlich genauere nicht-selbstkonsistente Monte-Carlo-Methode zurückgegriffen. Diese war auf das Ergebnis einer mit der Simulationssoftware GALENE [Tho91] erstellten Bauelementsimulation unter Verwendung des hydrodynamischen Modells von Dr. S. Decker, Infineon Technologies, Neubiberg, und Prof. C. Jungemann, Universität der Bundeswehr, Neubiberg, aufgesetzt. Die Monte-Carlo-Simulation wurde erstellt von Prof. C. Jungemann.

4 Analyse des Degradationsverhaltens

Um die Funktionstüchtigkeit und die Zuverlässigkeit des untersuchten LDMOSFETs bei Belastung durch heiße Ladungsträger zu gewährleisten, darf die Änderung bestimmter Parameter während einer definierten Zeitspanne gewisse Grenzwerte nicht überschreiten. Ein Hauptaspekt der vorliegenden Arbeit ist deshalb die Entwicklung eines validen mathematischen Modells, welches die Degradation des LDMOSFETs bei elektrischer Belastung nachbildet. Da Modelle simplifizierende Abbildungen der Wirklichkeit sind, erfordert dies ein vertieftes Verständnis derselben, also in diesem Fall eine möglichst genaue Kenntnis der für die Degradation durch heiße Ladungsträger verantwortlichen Vorgänge im Transistor. In den folgenden Kapiteln wird deshalb unter Verwendung der in Kapitel 3 vorgestellten experimentellen Methoden und Simulationsverfahren das Degradationsverhalten des LDMOSFETs als Funktion der für die Modellentwicklung relevanten Variablen umfassend analysiert. Dazu gehören neben der Untersuchung der Abhängigkeit der Degradation von der Belastungsspannung auch die Untersuchung und Bewertung von Eigenerwärmungs- und Erholungseffekten. Bei der Übertragung der so für den speziellen untersuchten LDMOSFET erzielten Erkenntnisse auf andere Transistoren ähnlicher Bauart ist hierbei unbedingt zu beachten, dass anders als in Standardtransistoren die für die Injektion heißer Ladungsträger relevanten Größen elektrische Feld- und Stromdichteverteilung komplexe Funktionen der anliegenden Spannungen, des Herstellungsprozesses und der Transistorgeometrie sind [Moe03b]. Darüber hinaus ist davon auszugehen, dass die molekulare Struktur der Si/SiO₂-Grenzfläche sowie des Dielektrikums und somit der mikroskopische Degradationsmechanismus ebenfalls in sensitiver Weise von den Parametern des Herstellungsprozesses abhängen. Vom Zusammenspiel der zahlreichen verschiedenen Einflussfaktoren hängt letztlich auch ab, wie sich die Transistoren bei Belastung verhalten. Degradation von LDMOSFETs kann deshalb nach dem heutigen Kenntnisstand nicht aus allgemein gülti-

gen Prinzipien abgeleitet werden, sondern muss stets individuell für den konkreten Transistor untersucht werden.

4.1 Grundlagen

Durchlaufen mobile Ladungsträger ein hohes elektrisches Feld, so werden sie in diesem stark beschleunigt. Durch die Relaxation der hochenergetischen „heißen“ Ladungsträger durch Streuprozesse wie Phononenstreuung, Stoßionisation und Photonenemission stellt sich bei Gleichspannungsbelastung im Transistor ein stationärer Zustand ein. Außerdem können heiße Ladungsträger zur Schädigung des Oxids bzw. der Si/SiO₂-Grenzfläche auf atomarer Basis führen. Über die elementaren Schädigungsmechanismen gibt es bis heute jedoch noch keine gesicherten Erkenntnisse. Deshalb wird in dieser Arbeit die Näherung gemacht, dass einer Schädigung die Injektion der heißen Ladungsträger ins Oxid vorausgeht. Bei Vernachlässigung von Tunneleffekten bzw. spannungsinduzierter Barrierenerniedrigung müssen heiße Elektronen bzw. Löcher dafür über genügend kinetische Energie verfügen, um das Leitungsband- bzw. das Valenzbandoffset zu überwinden. Dieses beträgt nach Bersch et al. [Ber08] $E_{CBO} = 3.3eV$ für Elektronen und $E_{VBO} = 4.5eV$ für Löcher.

Im Folgenden soll zunächst die Struktur der Si/SiO₂-Grenzfläche und des Oxids näher betrachtet werden: Die Oxidschicht wird durch thermische Oxidation des Silizium-Einkristalls hergestellt. Abb. 4.1 zeigt einen mit dem Transmissions-Elektronenmikroskop aufgenommenen Querschnitt der Si/SiO₂-Grenzfläche und die Gitterstruktur des Materialsystems. Während das Silizium die regelmäßige Bindungsstruktur eines Einkristalls aufweist, hat die SiO₂-Schicht einen amorphen Charakter. Durch die unterschiedli-

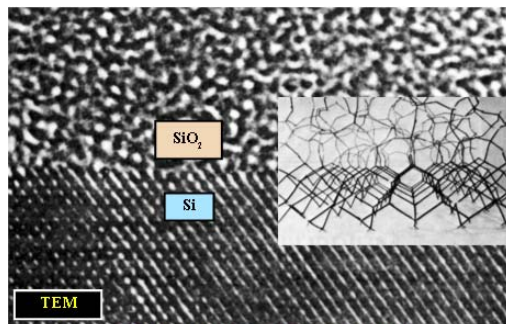


Abbildung 4.1: TEM-Aufnahme und Bindungsstruktur der Si/SiO₂Grenzfläche [Goo85]

chen Gitterkonstanten von Si und SiO₂ und die Aperiodizität der SiO₂-Bindungorbitale weist die Grenzfläche eine hohe Zahl von ungesättigten Bindungen auf, welche zur Ausbildung von lokalisierten Grenzflächenzuständen in der Bandlücke führt. Ihre Dichte hängt stark von der Kristallorientierung ab und bewegt sich beispielsweise für einen <111>-Wafer in der Größenordnung von 10^{12}cm^{-2} . Durch Absättigung dieser Orbitale mit Wasserstoff in einem weiteren Prozessschritt, z. B. durch das Ausheilen in Formiergas, wird die Dichte von elektrisch aktiven Grenzflächenzustände auf bis zu etwa 10^{10}cm^{-2} reduziert [Edw91]. Weitere mögliche Ursachen von Grenzflächenzuständen sind Fremdatome oder überschüssiger Sauerstoff [Sze07]. Des Weiteren ist die Oxidschicht anfällig für Ladungsaufbau [Tak95], da die zahlreichen durch die Unregelmäßigkeit der Bindungsstruktur bedingten Defekte Einfangzentren für mobile Ladungsträger darstellen. In der Literatur wird bei der Analyse der Degradation allgemein zwischen zwei Schädigungsmechanismen unterschieden [Tak95, Her92, Sze07]. Dies sind die Generation von Grenzflächenzuständen einerseits und das Einfangen von Ladungsträgern in tiefen lokalisierten Zuständen im Oxid andererseits:

- Das Wesen und die Entstehung von *Grenzflächenzuständen* sind heute noch Gegenstand aktuellster Forschung. Ein weitverbreitetes wenn auch mittlerweile stark umstrittenes Modell zur Entstehung der Grenzflächenzustände ist das Reaktions-Diffusions-Modell nach Hu et al. [Hu85]: Hochenergetische Ladungsträger brechen die Si-H-Bindungen an der Grenzfläche auf. Während ein Teil der Bindungen sofort wieder rekombiniert, diffundiert ein Teil des Wasserstoffs von der Grenzfläche weg und steht nach dem Beenden der Belastung nicht zur Passivierung der freien Bindungen zur Verfügung, so dass eine Erhöhung der Dichte von Grenzflächenzuständen messbar wird. An Si-Atomen vorhandene freie Bindungen, welche an drei weitere Siliziumatome gebunden sind bzw. an zwei Siliziumatome und ein Sauerstoffatom, werden als Pb-Zentren bezeichnet [Poi89] und sind nach aktuellem Stand der Erkenntnisse hauptursächlich für die Ausbildung von lokalisierten Grenzflächenzuständen [Gra10]. Die Grenzflächenzustände können innerhalb kurzer Zeit Ladungen mit dem Silizium austauschen („schnelle Einfangzentren“), weswegen ihr Besetzungszustand von der Lage des Fermi-Niveaus in der Bandlücke abhängt und infolgedessen stark an den Potentialverlauf im Transistor gebunden ist. Sie können akzeptorartiger oder donatorartiger Natur sein. Akzeptorartige

Zustände sind in unbesetztem Zustand neutral und werden bei Besetzung mit einem Elektron negativ. Die in unbesetztem Zustand ebenfalls neutralen donatorartigen Zustände hingegen können durch Abgabe eines Elektrons positiv werden [Sze07].

- Im Gegensatz zu den schnell umladbaren Grenzflächenzuständen ist der Besetzungszustand von *tiefen lokalisierten Zuständen im Oxid* im Allgemeinen nicht von der Potentialverteilung im Transistor abhängig. Diese lokalisierten Zustände entstehen durch Defekte im amorphen SiO_2 und sind zu Beginn neutral. Injektion heißer Ladungsträger ins Oxid führt zur Besetzung der Fehlstellen mit Elektronen bzw. mit Löchern und resultiert in einem Ladungsaufbau, der durch wesentlich größere Zeitkonstanten charakterisiert ist als die Grenzflächenzustände, so dass auch nach Absetzen der Belastung die meisten Ladungen im Oxid verbleiben [Sze07, Sch06].

Beide Mechanismen, die Generation von Grenzflächenzuständen einerseits und das Einfangen von Ladungsträgern in Fehlstellen im Oxid andererseits, führen zu einem Ladungsaufbau im Silizium, ändern somit den Potentialverlauf im Transistor und können infolgedessen zur Änderung verschiedener betriebsrelevanter Transistorparameter führen.

4.2 Ermittlung des Degradationsmechanismus

Im Folgenden wird das Degradationsverhalten des LDMOSFETs experimentell untersucht und analysiert. Wie oben erwähnt gibt es über die physikalischen Vorgänge auf molekularer Ebene, welche zur Generation von Grenzflächenzuständen bzw. zum Einfangen von Ladungsträgern in tiefen Fehlstellen im Oxid führen, heute noch sehr wenige gesicherte Erkenntnisse. Dies liegt vor allem daran, dass diese experimentell (noch) sehr schwer zugänglich sind. In der vorliegenden Arbeit wird deshalb unter Verwendung der Ergebnisse von Degradationsmessungen, Bauelementsimulation sowie Photon-Emissions-Mikroskopie versucht, ein für die Modellierung hinreichendes Verständnis des oft sehr stark voneinander abweichenden Degradationsverhaltens der verschiedenen Transistorparameter bei unterschiedlichen Belastungsbedingungen zu gewinnen.

4.2.1 Ermittlung des kritischsten Parameters

Von Bedeutung für die Untersuchung der Transistordegradation sind die folgenden elektrischen Parameter: Die beim Stromwert $100nA \cdot (W/L)$ im Unterschwellbereich gemessene Spannung \widehat{V}_{Th} , der Einschaltwiderstand R_{on} , der Sättigungsstrom $I_{D,sat}$ und der Analogstrom $I_{D,an}$. Die Arbeitspunkte, bei denen diese Parameter jeweils ermittelt werden, sind in Tab. 4.1 aufgelistet. Für jeden dieser charakteristischen Parameter ist ein sog. Driftkriterium (DK) festgelegt. So darf z. B. die Änderung des Einschaltwiderstands R_{on} 10% des Nullstundenwertes nicht überschreiten. Dadurch wird sichergestellt, dass die Funktion der für die LDMOSFETs vorgesehenen Schaltkreise im Produkt durch die Degradation des Transistors nicht beein-

Mess-Parameter	Abk.	V_D [V]	V_G [V]	DK
Einschaltwiderstand	R_{on}	0.25	5.0	10%
Sättigungsstrom	$I_{D,sat}$	10	5.0	20%
Analogstrom	$I_{D,an}$	10	1.9	20%
Mess-Parameter	Abk.	V_D [V]	I_D [A]	DK
Einsatzspannung bei konstantem Strom	\widehat{V}_{Th}	0.1	$100nA \cdot (W/L)$	100mV

Tabelle 4.1: Definition der Transistorparameter und der zugehörigen Driftkriterien (DK)

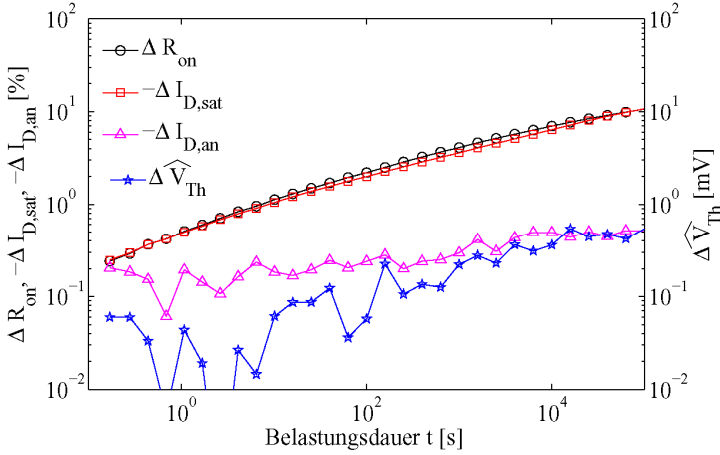


Abbildung 4.2: Beispiel für die unterschiedliche Degradation der verschiedenen elektrischen Parameter während eines Belastungstests (bei $V_D = 55V$, $V_G = 3V$, $T=25^\circ C$)

trächtig wird. Die Änderung von R_{on} , $I_{D,sat}$, $I_{D,an}$ wird in % angegeben, wohingegen die Drift von \widehat{V}_{Th} prinzipiell in mV erfasst wird. Der Parameter, der durch die Belastung zuerst das für ihn festgelegte Driftkriterium erreicht, definiert die Lebensdauer des Transistors.

In Abbildung 4.2 ist ein Beispiel für die Degradation der oben definierten elektrischen Parameter während eines Belastungstests bei den Belastungsspannungen $V_D = 55V$ und $V_G = 3V$ bei Raumtemperatur als Funktion der Belastungsdauer t dargestellt. $I_{D,sat}$ und $I_{D,an}$ werden durch die Belastung reduziert, komplementär dazu steigt R_{on} an. \widehat{V}_{Th} erfährt hier praktisch keine Verschiebung. Am stärksten ausgeprägt ist die Degradation von R_{on} und $I_{D,sat}$, die beide während einer Gesamtbelastungsdauer von 10^5 s um mehr als 10% degradieren. Hingegen unterliegt $I_{D,an}$ beim vorliegenden Arbeitspunkt nur einer sehr geringen Degradation. Aufgrund seines im Vergleich zum Sättigungsstrom $I_{D,sat}$ niedrigeren Driftkriteriums (siehe Tabelle 4.1) ist somit der Einschaltwiderstand R_{on} der kritischste Parameter bezüglich der Degradation bei Belastung mit heißen Ladungsträgern. Dies gilt bei allen untersuchten Arbeitspunkten. Der Fokus der folgenden Analyse des Degradationsmechanismus und bei der Erstellung eines Modells in Kapitel 5 liegt deshalb auf dem Einschaltwiderstand R_{on} .

4.2.2 Allgemeine Überlegungen zum Degradationsgeschehen

Zusätzlich zu den in Abb. 4.2 ermittelten Degradationscharakteristiken der diskreten Transistorparameter $\widehat{V_{Th}}$, R_{on} , $I_{D,sat}$ und $I_{D,an}$ wurde während des Belastungstests nach jedem Stressintervall auch die Transferkennlinie im linearen Bereich ($V_D = 100mV$) aufgenommen. Abb. 4.3 zeigt das Resultat sowohl in einer linearen (Abb. 4.3a) als auch in einer halb-logarithmischen (Abb. 4.3b) Darstellung. Zunächst soll der Verlauf der Nullstundenkennlinie (durchgezogene Linie) erläutert werden. Bei kleiner Gatespannung unterhalb der Einsatzspannung V_{Th} ($V_{Th} \approx 1.5V$) befindet sich der Kanalbereich in Verarmung bzw. in schwacher Inversion und es fließt lediglich ein Leckstrom, der mit zunehmender Gatespannung und der daraus resultierenden Erhöhung der Elektronendichte exponentiell ansteigt¹.

¹Die Abweichung der Kennlinie von einem linearen Verhalten im Unterschwellbereich in Abb. 4.3b ist durch die Überlagerung der Kennlinie mit der Kennlinie eines parasitären Randtransistors bedingt.

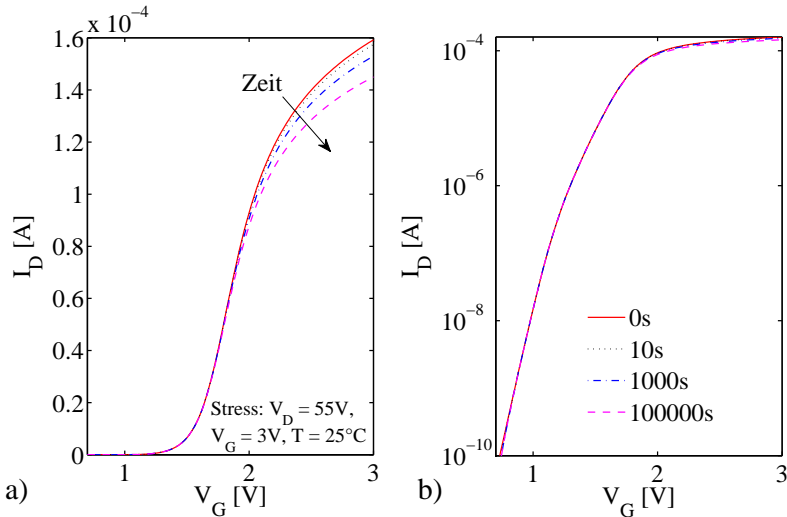


Abbildung 4.3: Degradation der Übertragungskennlinie im ohmschen Bereich ($V_D=0.1V$)

Das Unterschwellverhalten eines Transistors wird durch die Größe S (engl. „Subthreshold Swing“) charakterisiert. Diese ist definiert als

$$S := (\ln 10) \cdot \frac{dV_G}{d \ln I_D} = (\ln 10) \cdot \frac{k_B T}{q} \cdot \left(\frac{C_{ox} + C_D + C_{it}}{C_{ox}} \right) \quad (4.1)$$

und gibt die zur Verzehnfachung des Drainstroms nötige Erhöhung der Gatespannung an. C_{ox} und C_D bezeichnen die Kapazität des Gateoxids bzw. der Verarmungszone im p-Gebiet unter dem Gate pro Fläche. C_{it} gibt die durch die umladbaren Grenzflächenzustände erzeugte Kapazität pro Fläche an und ist proportional zu deren Dichte [Sze07].

Im Bereich starker Inversion ($V_G > V_{Th}$) hingegen ist der Drainstrom für $V_D \ll V_G - V_{Th}$ in einem konventionellen Standard-MOSFET durch einen linearen Anstieg charakterisiert und wird beschrieben durch

$$I_D \approx \frac{W}{L} \mu_K C_{ox} (V_G - V_{Th}) V_D \quad (4.2)$$

mit μ_K : Kanalbeweglichkeit, C_{ox} : Gateoxid-Kapazität pro Fläche, L : Kanallänge und W : Kanalweite. Bei steigender Gatespannung tritt jedoch eine zunehmende Abweichung der Transferkennlinie von einem idealen linearen Verlauf zu kleineren Stromwerten hin auf, was auf eine von V_G abhängige Beweglichkeitsreduktion aufgrund des steigenden transversalen elektrischen Felds zurückgeführt wird. Der dominierende Effekt beim vorliegenden LD-MOSFET, der zur zunehmenden Reduktion des Stroms mit steigender Gatespannung führt, ist jedoch durch die niedrigdotierte Drainerweiterung bedingt, die sich wie ein Serienwiderstand R_D am Drain eines internen Standard-MOSFETs verhält. Dieser sei in erster Näherung nicht spannungsabhängig. Die Eingangskennlinie dieses internen Standard-MOSFETs wird dann wie in Gl. (4.2) beschrieben, wobei für die Drainspannung am internen Standard-MOSFET V_D' nun gilt:

$$V_D' = V_D - I_D R_D. \quad (4.3)$$

Damit wird Gl.(4.2) zu

$$I_D \approx \frac{W}{L} \mu_K C_{ox} (V_G - V_{Th}) (V_D - I_D R_D). \quad (4.4)$$

Daraus folgt

$$I_D \approx \frac{\frac{W}{L} \mu_K C_{ox} (V_G - V_{Th}) V_D}{1 + \frac{W}{L} \mu_K C_{ox} (V_G - V_{Th}) R_D}. \quad (4.5)$$

Auflösen nach V_D führt schließlich zu

$$V_D \approx \left(\frac{1}{\frac{W}{L} \mu_K C_{ox} (V_G - V_{Th})} + R_D \right) I_D. \quad (4.6)$$

Wie aus Gl. (4.6) ersichtlich ist, kann der Einfluss von R_D auf die Gesamttransferkennlinie bei Gatespannungen knapp oberhalb von V_{Th} vernachlässigt werden, da aufgrund des hohen Kanalwiderstands V_D praktisch komplett über dem Kanal abfällt. Mit zunehmender Erhöhung der Gatespannung sinkt der Kanalwiderstand jedoch, was dazu führt, dass ein wachsender Anteil von V_D an der niedrigdotierten Drainerweiterung (R_D) anliegt. Die Reduktion der effektiven Drain-Source-Spannung über dem internen Standard-MOSFET führt deshalb bei steigendem V_G zu einer zunehmenden Reduktion des Drainstroms. Die resultierende Transferkennlinie für den vorliegenden LDMOSFET ist in Abb. 4.3a als durchgezogene Linie dargestellt.

Das Degradationsverhalten der Transferkennlinie lässt bereits einige wichtige Schlussfolgerungen hinsichtlich des Degradationsmechanismus bei Belastung durch heiße Ladungsträger zu: Wie aus Abb. 4.3 ersichtlich, führt elektrische Belastung des untersuchten LDMOSFETs zu einer weiteren „Verbiegung“ der Kennlinie zu kleineren Strömen hin. Eine horizontale Verschiebung der Kennlinie ist hingegen in der Regel nicht zu beobachten. Eine solche wäre ein eindeutiger Hinweis auf durch Generation von Grenzflächenzuständen und/oder das Einfangen von Ladungsträgern im Oxid bedingten Ladungsaufbau im Bereich des Kanals, da hierdurch die Einsatzspannung verschoben würde. Des Weiteren bleibt auch der von der Dichte der Grenzflächenzustände abhängige Subthreshold Swing konstant unter Stress. Da Belastung durch heiße Ladungsträger mit der Generation von Grenzflächenzuständen bzw. mit dem Einfangen von Ladungen einhergeht [Nin77a], führt dies zu der Vermutung, dass die Schädigung des LDMOSFETs nicht im Kanalbereich, sondern im Bereich der Drainerweiterung stattfindet und zu einer Erhöhung des an den internen Standard-MOSFET

angeschlossenen Serienwiderstandes R_D führt. Dies ist konsistent mit dem Degradationsverhalten der diskreten Transistorparameter in Abb. 4.2: Während praktisch keine Änderung von $\widehat{V_{Th}}$ gemessen wurde, erhöht sich der Einschaltwiderstand R_{on} unter Belastung deutlich und die Ströme $I_{D,sat}$ und $I_{D,on}$ nehmen entsprechend ab.

In den beiden nachfolgenden Kapiteln wird das Degradationsverhalten des LDMOSFETs als Funktion der Belastungsspannungen ermittelt und analysiert. Wie aus Abb. 2.4 in Kapitel 2 zu entnehmen ist, bleibt während des für die Degradation durch heiße Ladungsträger kritischen spannungsbegrenzten Ausschaltvorgangs bei Anwesenheit einer induktiven Last die Drainspannung praktisch konstant bei $V_D=55V$, während die Gatespannung kontinuierlich bis unterhalb der Einsatzspannung reduziert wird. Die dabei durchlaufenen Arbeitspunkte als Ergebnis der Spectre-Simulation sind in Abb. 4.4 als rote Linie dargestellt. In Abschnitt 4.2.3 wird deshalb die Degradation des Einschaltwiderstands R_{on} bei $V_D=55V$ bei Belastung im Gleichspannungsbetrieb als Funktion der Gatespannung untersucht. Ergänzend wird in Abschnitt 4.2.4 bei der Gatespannung, an der die maximale Drift von R_{on} beobachtet wurde ($V_G = 2V$), die Degradation als Funktion der Drainspannung gemessen und analysiert. Die auf den Degradationsmechanismus hin untersuchten Arbeitspunkte sind ebenfalls in Abb. 4.4 als Kreuze eingezeichnet. Sämtliche Untersuchungen wurden bei Raumtemperatur durchgeführt.

4.2.3 Degradation als Funktion von V_G

In Abb. 4.5 ist der experimentell ermittelte zeitliche Verlauf der DC-Degradation des Einschaltwiderstands R_{on} für verschiedene Gatespannungen bei $V_D=55V$ dargestellt. R_{on} zeigt für alle untersuchten Belastungsbedingungen ein monoton steigendes Verhalten und strebt für hohe Stresszeiten einer Sättigung zu. Zur besseren Übersichtlichkeit ist in Abb. 4.6 ΔR_{on} nach einer Gesamtbelastungsdauer von 10^4s als Funktion von V_G aufgetragen. Die Drift steigt für kleine Gatespannungen steil an und erreicht ein Maximum bei $V_G=2V$. Dies ist leicht zu erklären durch den starken Anstieg des Stroms durch die zunehmende Ausprägung des Inversionskanals, die natürlich auch zu einer Erhöhung der Rate beschleunigter Elektronen führt. Mit zunehmender Gatespannung nimmt ΔR_{on} jedoch wieder ab, obwohl der Strom durch den LDMOSFET weiter zunimmt. ΔR_{on} durchläuft ein lokales Minimum bei $V_G=5V$ und erfährt für noch

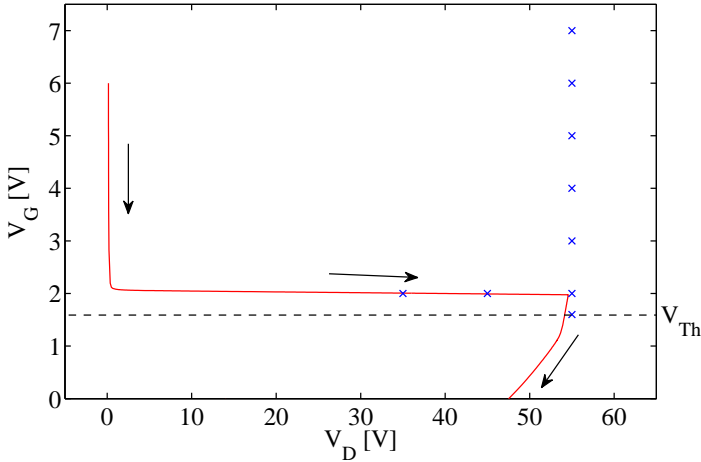


Abbildung 4.4: Rote Linie: Durchlaufene Arbeitspunkte beim spannungsbegrenzten Ausschalten einer induktiven Last;
 Blaue Kreuze: Auf die Degradation bei Belastung durch heiße Ladungsträger hin untersuchte Arbeitspunkte;

höhere Gatespannungen einen wiederholten Anstieg.

Weiteren Einblick in die Abhängigkeit des Degradationsgeschehen von der Gatespannung gewährt die Untersuchung der Änderung des während der Belastung vorhandenen Bodystromes I_{Body} . Dieser besteht ausschließlich aus Löchern, welche von durch heiße Ladungsträger verursachte Stoßionisationsprozesse erzeugt wurden. Er ist somit äußerst sensitiv auf Änderungen des elektrischen Feldes im Transistor während der Belastung, welche durch von Schädigungsprozessen herrührendem Ladungsaufbau in der Nähe der Si/SiO₂-Grenzfläche verursacht werden. Die zeitliche Änderung von I_{Body} während der Belastung ist in Abb. 4.7 in Abhängigkeit von der Gatespannung dargestellt. Ebenso wie die Drift des Einschaltwiderstandes zeigt ΔI_{Body} ein monotonen Verhalten. Weiterhin korrespondiert die Stärke der Änderung von I_{Body} für alle untersuchten Gatespannungen mit der Amplitude der R_{on} -Degradation: Die Amplitude der Bodystromänderung, $|\Delta I_{Body}|$, steigt für kleine V_G zuerst an, wird maximal bei $V_G=2V$ und erreicht ein weiteres Maximum bei $V_G=7V$ nach Durchlaufen eines lokalen Mini-

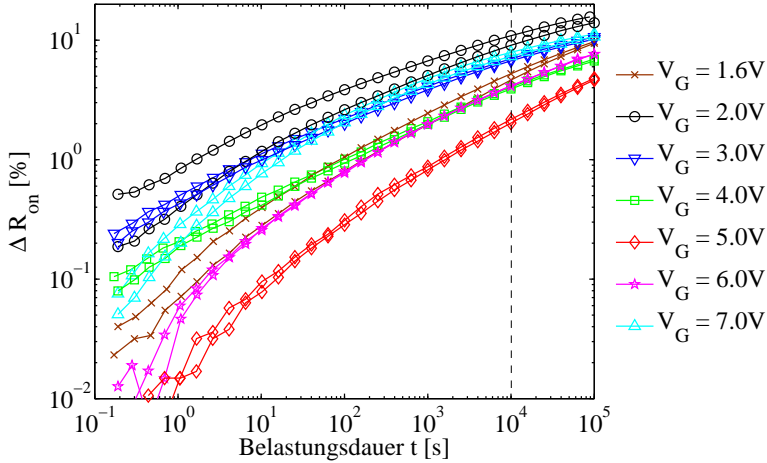


Abbildung 4.5: Gemessener zeitlicher Verlauf der Degradation des Einschaltwiderstandes als Funktion der Gatespannung bei Raumtemperatur ($T=25^\circ\text{C}$). V_D ist konstant bei $V_D=55\text{V}$. (Die Abbildung zeigt pro Belastungsbedingung das Degradationsverhalten von je zwei LDMOSFETs.)

mums, welches bei $V_G=5\text{V}$ auftritt. Im Gegensatz zu ΔR_{on} , welches für alle untersuchten Belastungsbedingungen monoton steigend ist, wird I_{Body} kleiner für $V_G \leq 5\text{V}$ und steigt für $V_G > 5\text{V}$ an. Dies deutet auf eine qualitative Änderung der für die Degradation verantwortlichen physikalischen Vorgänge im Transistor hin.

Zur weiteren Analyse des Degradationsverhaltens wird auf Bauelementesimulation zurückgegriffen: In Abb. 4.8 ist die unter Verwendung des Drift-Diffusions-Modells simulierte elektrische Feldverteilung im LDMOSFET bei den verschiedenen Belastungsbedingungen abgebildet. Die weißen Linien sind Begrenzungslinien der Verarmungszonen, die vom LOCOS und vom pn-Übergang her aufgebaut werden. Der Kanalstrom fließt zwischen ihnen in Richtung Drain. Für kleine V_G hat die elektrische Feldstärke ihr Maximum in der Nähe des kanalseitigen Birdsbeak. Während dieses Maximum mit zunehmender Gatespannung abnimmt, bildet sich im Bereich des n^-/n^+ -Übergangs ein weiteres Maximum aus, dessen Amplitude mit

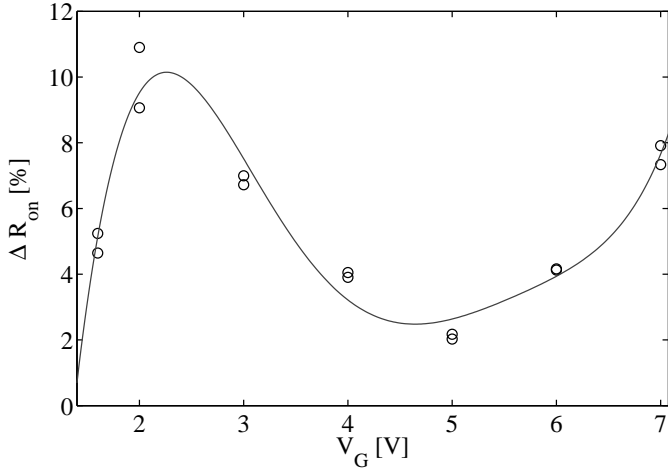


Abbildung 4.6: Gemessene Degradation des Einschaltwiderstandes nach 10^4 s Belastungsdauer als Funktion von V_G . V_D ist konstant bei $V_D=55$ V.

zunehmendem V_G größer wird. Der diesem Verhalten zugrunde liegende Mechanismus wird gemeinhin als „Kirk-Effekt“ bezeichnet und beschreibt nach Sze [Sze07] das Verhalten von Bipolartransistoren bei hohen Stromdichten: Übersteigt die Dichte der ins Kollektorgebiet injizierten Elektronen die Dichte der positiv geladenen Donatorrümpfe in der Basis/Kollektor-Verarmungszone, so hört die Verarmungszone auf zu existieren und der mit dem pn-Übergang assoziierte Dipol wird in den Kollektor geschoben, wodurch die effektive Basisweite nun auch die Weite des Kollektors umfasst. Dieser Vorgang geht einher mit einer Verlagerung des elektrischen Feldmaximums vom pn-Übergang an der Grenzfläche von Basis und Kollektor zum n⁻/n⁺-Übergang im Kollektor [VZ07, Poo69]. Das Auftreten dieses Effekts im LDMOSFET wurde bereits 1994 von A. W. Ludikhuize [Lud94] publiziert. Die zugehörige Stromdichteverteilung der Elektronen im LDMOSFET ist in Abb. 4.9 für verschiedene Gatespannungen dargestellt. Die Stromdichte nimmt mit ansteigender Gatespannung zu. Bei kleinen Gatespannungen fließt der Elektronenstrom nach Verlassen des Kanals weit weg von der Si/SiO₂-Grenzfläche. Dies ist dadurch zu erklären, dass im

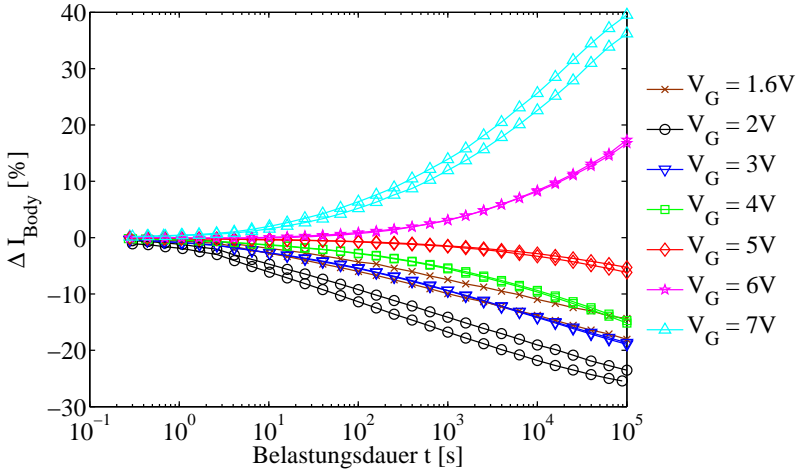


Abbildung 4.7: Gemessene Änderung des Bodystroms während der Belastung bei verschiedenen Gatespannungen bei Raumtemperatur ($T=25^{\circ}\text{C}$). V_D ist konstant bei $V_D=55\text{V}$. (Die Abbildung zeigt pro Belastungsbedingung das Degradationsverhalten von je zwei LDMOSFETs.)

Pinch-Off-Gebiet, in der Akkumulationsregion und in der Driftzone die vertikal zur Grenzfläche gerichtete elektrische Feldkomponente die Elektronen von der Grenzfläche wegdrückt. Dies wird durch die hohe elektrische Spannung am Drain verursacht, welche bis in den Kanalbereich hinein das elektrische Potential im Silizium so stark anhebt, dass die effektive Potentialdifferenz über dem MOS-Kondensator negativ wird. Bei Erhöhung der Gatespannung wechselt die vertikale Feldkomponente im Bereich des Pinch-Off-Gebiets, der Akkumulationsregion und des kanalseitigen Birdsbeak ihr Vorzeichen, was einerseits auf die als Kirk-Effekt bezeichnete Verschiebung der Potentialverteilung und andererseits auf den wachsenden Einfluss des Gatepotentials auf die Potentialdifferenz über dem MOS-Kondensator zurückzuführen ist. Sowohl Akkumulationsregion als auch die Grenzfläche im Bereich des Birdsbeak befinden sich dann in Akkumulation, was zu erhöhten Stromdichten entlang der Grenzfläche führt. Verstärktes Auftreten von heißen Ladungsträgern wird in Bereichen hohen elektrischen Feldes bei

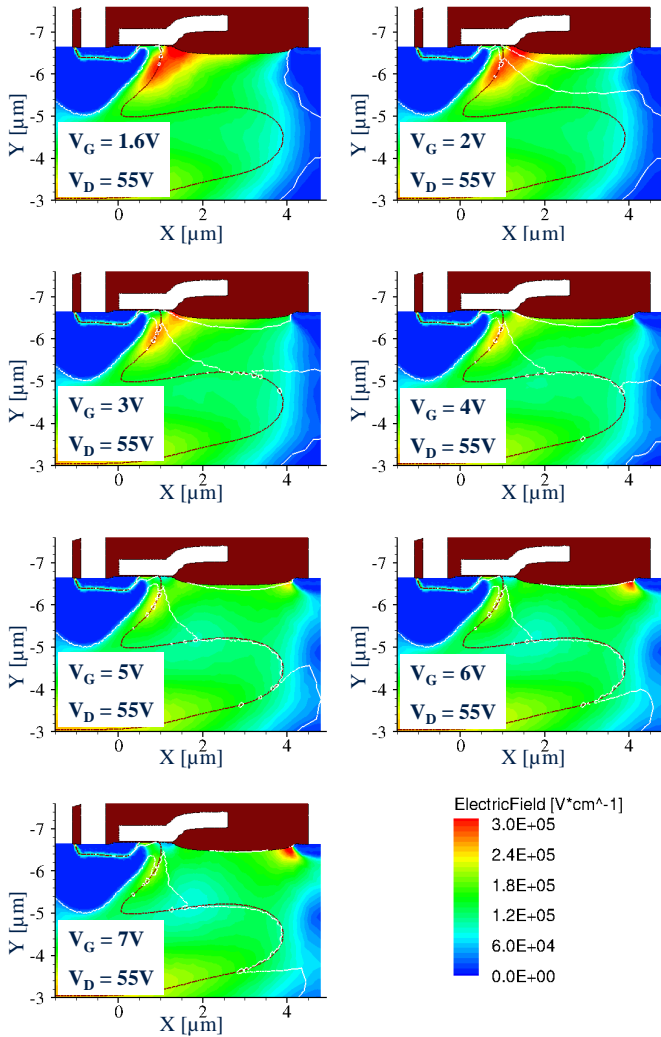


Abbildung 4.8: Simulation mit dem Drift-Diffusions-Modell: Elektrische Feldverteilung im LDMOSFET bei verschiedenen Belastungsbedingungen.

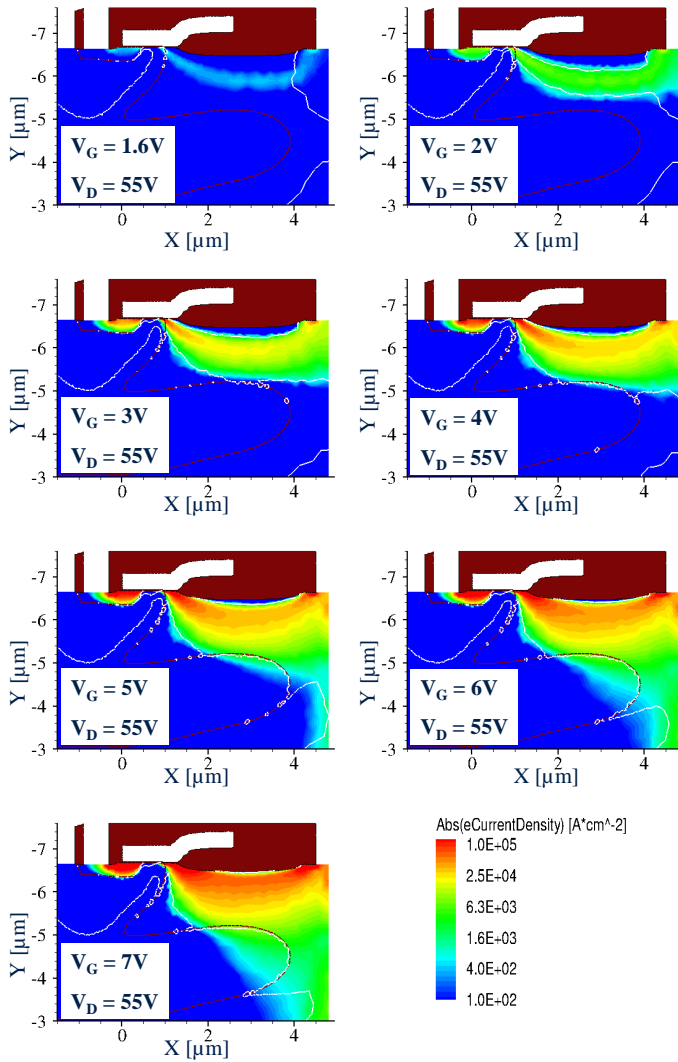


Abbildung 4.9: Simulation mit dem Drift-Diffusions-Modell: Stromdichteverteilung für Elektronen im LDMOSFET bei verschiedenen Belastungsbedingungen.

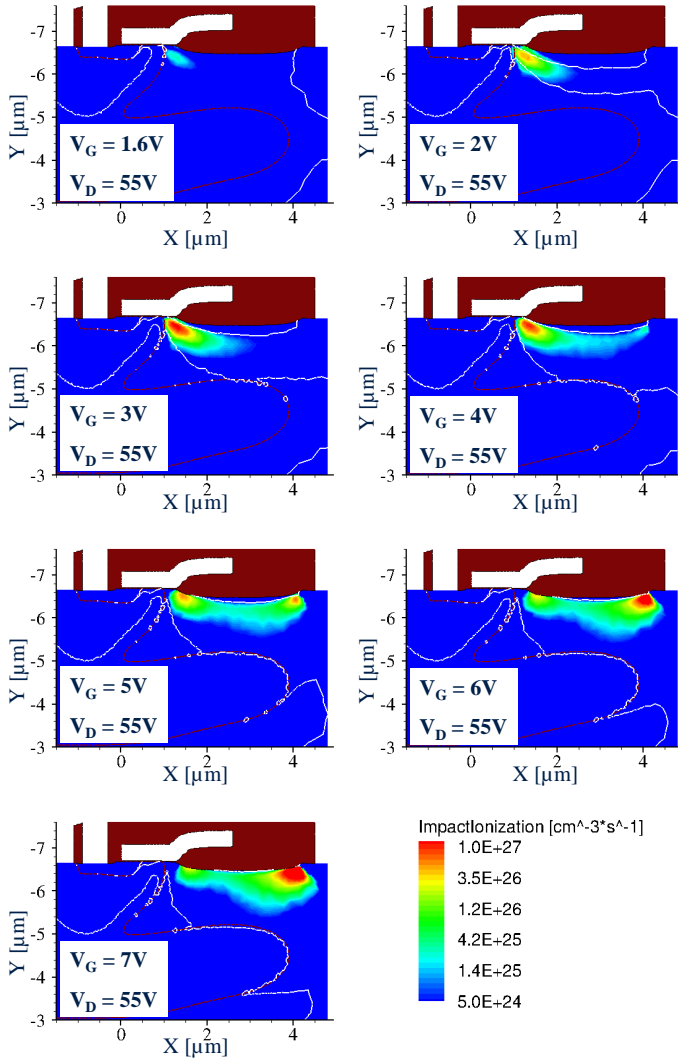


Abbildung 4.10: Simulation mit dem Drift-Diffusions-Modell: Stoßionisationsraten im LD MOSFET bei verschiedenen Belastungsbedingungen.

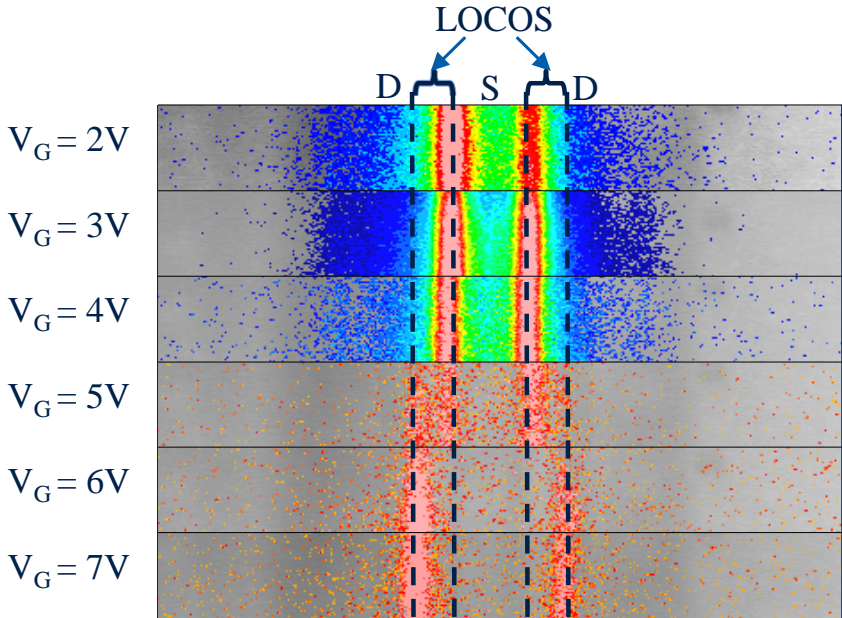


Abbildung 4.11: Örtliche Intensitätsverteilung der mit Photon-Emissions-Mikroskopie gemessenen Strahlung bei verschiedenen Belastungsbedingungen. Das Intensitätsmaximum verschiebt sich bei $V_G=5V$ vom kanalseitigen zum drainseitigen Birdsbeak ($V_D=55V$). Aufgrund der spiegelsymmetrischen Anordnung von zwei LDMOSFETs mit einem gemeinsamen Source-Anschluss treten stets mindestens zwei Intensitätsmaxima auf. Die gezeigten Aufnahmen wurden von H. Bourkadi, Infineon Technologies, München, erstellt.

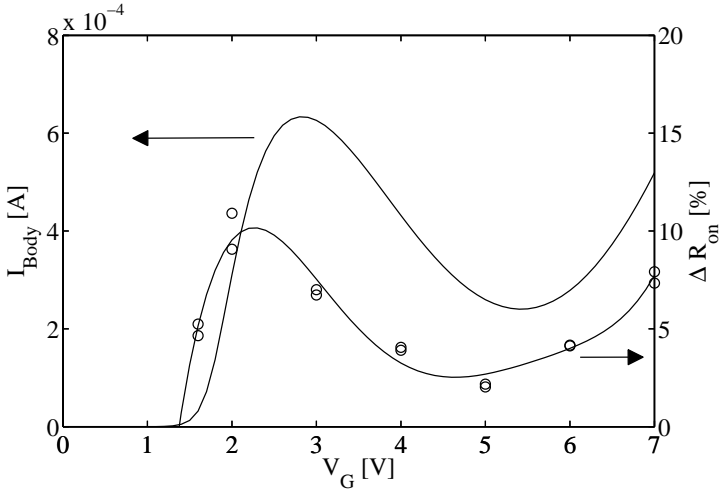


Abbildung 4.12: Vergleich der Amplitude von ΔR_{on} nach 10^4 s Belastungsdauer mit der gemessenen Bodystromkennlinie. V_D ist konstant bei $V_D=55\text{V}$.

gleichzeitig erhöhter Stromdichte erwartet. Vergleicht man deshalb in einem nächsten Schritt die beiden Abb. 4.8 und 4.9, so ist leicht zu erschließen, dass dies für $V_G < 5\text{V}$ im Bereich des kanalseitigen Birdsbeak und für $V_G > 5\text{V}$ am n^-/n^+ -Übergang am Drain der Fall sein sollte. Die simulierte Avalanche-Generationsrate ist in Abb. 4.10 dargestellt. Da diese ein direkter Indikator für die Dichte heißer Ladungsträger ist, wird Schädigung der Grenzfläche bzw. des Oxids deshalb für $V_G < 5\text{V}$ in erster Linie in der Nähe des kanalseitigen Birdsbeak und für $V_G > 5\text{V}$ am drainseitigen Birdsbeak erwartet.

Zusätzliche experimentelle Verifikation der Simulationsergebnisse wurde durch Photon-Emissions-Mikroskopie erzielt. Die Messungen entstanden in Kooperation mit der Abteilung für Fehleranalyse und wurden von S. Müller, H. Bourkadi, B. Ferstl sowie C. Feuerbaum durchgeführt. Abb. 4.11 zeigt die örtliche Intensitätsverteilung der durch Relaxationsvorgänge heißer Ladungsträger generierten Strahlung. Dabei ist zu beachten, dass der LDMOSFET aus einer spiegelsymmetrischen Anordnung zweier benachbarter baugleicher Elemente besteht, die sich den auf der Spiegelachse

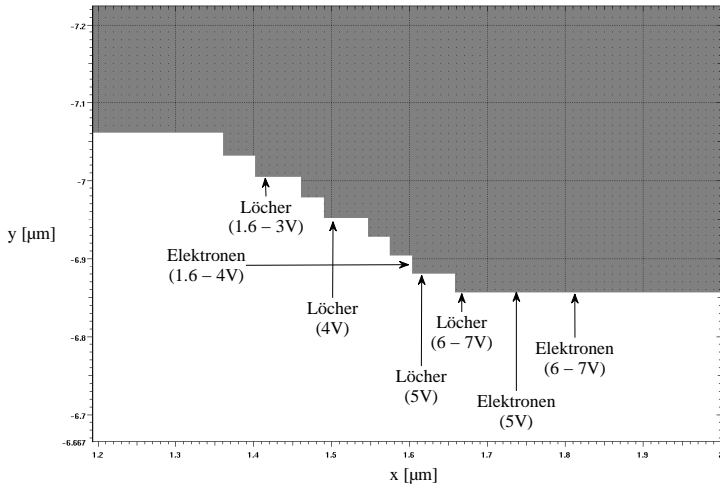


Abbildung 4.13: Monte-Carlo-Simulation: Position maximaler Injektionsstromdichte heißer Elektronen und Löcher bei verschiedenen V_G ($V_D = 55\text{V}$). Es werden ausschließlich Akkumulationsregion und kanalseitiger Birdsbeak betrachtet. Die Simulationen wurden erstellt von Prof. C. Jungemann, Universität der Bundeswehr, Neubiberg.

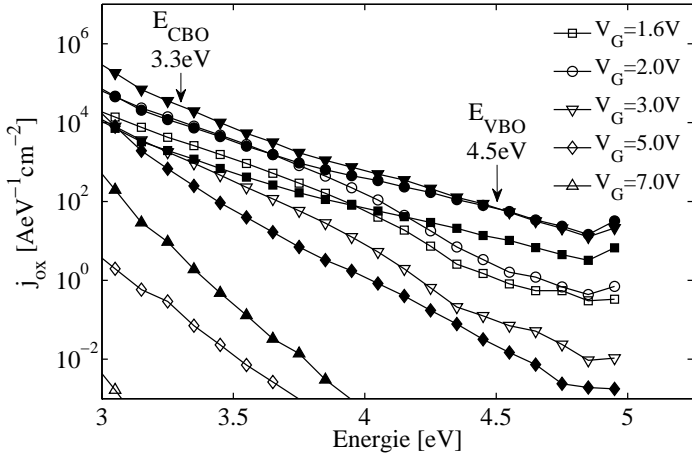


Abbildung 4.14: Monte-Carlo-Simulation: Energieverteilung der Injektionsstromdichten von Elektronen (gefüllte Symbole) und Löchern (offene Symbole) an den Orten maximaler Injektion hochenergetischer Ladungsträger bei verschiedenen V_G ($V_D = 55V$). Die Simulationen wurden erstellt von Prof. C. Jungemann, Universität der Bundeswehr, Neubiberg.

lokalisierten Source-/Body-Kontakt teilen, weswegen stets mindestens zwei Emissionspeaks detektiert werden. Bei Vergleich der Position des Emissionsmaximums mit der Transistorgeometrie stellt man fest, dass das Intensitätsmaximum für $V_G < 5V$ am kanalseitigen und für $V_G > 5V$ am drainseitigen Birdsbeak lokalisiert ist. Bei $V_G = 5V$ sind zwei schwach ausgeprägte Intensitätsmaxima vorhanden. Diese Beobachtung bestätigt das Ergebnis der Bauelementsimulation.

Der Vorzeichenwechsel in der Änderung von I_{Body} während der Belastung in Abb. 4.7 und die Ausbildung des lokalen Minimums der R_{on} -Drift in Abb. 4.6 haben ihre gemeinsame Ursache also nach aktuellem Kenntnisstand in der Verschiebung der Position der maximalen Dichte heißer Ladungsträger vom kanal- zum drainseitigen Birdsbeak. Die Extraktion der absoluten Stoßionisationsraten als Messgröße für die Dichte heißer Ladungsträger aus der integrierten Intensität der emittierten Strahlung ist mit vielen

Unsicherheitsfaktoren behaftet und deshalb nicht zuverlässig. Deshalb wird experimentell der Body-Strom bei den verschiedenen Belastungsbedingungen ermittelt. Dieser besteht ausschließlich aus in Stoßionisationsprozessen erzeugten Löchern und ist deshalb eine exzellente Messgröße für die Ermittlung der Rate heißer Ladungsträger [Lud97]. In Abb. 4.12 sind deshalb I_{Body} und ΔR_{on} gegen V_G aufgetragen. Der Bodystrom steigt von der Einsatzspannung her kommend zuerst stark an und erreicht ein lokales Maximum bei $V_G = 3V$. Die anfänglich große Steigung ist, ebenso wie der anfänglich hohe Anstieg von ΔR_{on} , auf die starke Zunahme der Elektronen, welche nach Passieren des Kanals im elektrischen Feld beschleunigt werden, zurückzuführen. Gleichzeitig sinkt die Amplitude der elektrischen Feldstärke am kanalseitigen Birdsbeak mit zunehmender Gatespannung, wodurch die Rate der Elektron-Loch-Paar-Generation relativ zur Gesamtstromstärke abnimmt. Ab $V_G=3V$ überwiegt dieser Effekt über die monoton steigende Kanalstromdichte und I_{Body} nimmt ab. Gleichzeitig führt die Entstehung des zweiten Feldmaximums auf der Drainseite mit zunehmender Gatespannung zu einem erneuten Anstieg von I_{Body} für $V_G > 5V$. Der Vergleich der Bodystromkennlinie mit dem Verlauf von ΔR_{on} zeigt, dass beide Größen eindeutig zueinander in Korrelation stehen. Jedoch ist ΔR_{on} um mehrere hundert mV zu kleineren Gatespannungen hin verschoben. Dies ist dadurch bedingt, dass I_{Body} proportional zur Gesamtrate der heißen Ladungsträger mit genügend Energie zur Erzeugung von Elektron-Loch-Paaren ist, zu ΔR_{on} jedoch nur die heißen Ladungsträger beitragen, welche tatsächlich ins Oxid injiziert werden. Die dafür notwendige Mindestenergie beträgt in der in dieser Arbeit verwendeten Näherung 3.3eV für Elektronen und 4.5eV für Löcher und ist wesentlich größer als die effektive Mindestenergie zur Erzeugung von Elektron-Loch-Paaren in Stoßionisationsprozessen φ_{ii} , welche z. B. nach Hu et al. [Hu85] mit $\varphi_{ii} = 1.3eV$ angegeben wird. Dies begründet, dass das Maximum von ΔR_{on} im Vergleich zur Position maximaler Stoßionisationsrate zu kleineren Gatespannungen hin verschoben ist, da der Einfluss der sinkenden elektrischen Feldstärke auf die Rate der Ladungsträger mit genügend Energie zum Überwinden des Bandoffsets bereits bei kleineren Gatespannungen als bei der Stoßionisation den Einfluss der stetig steigenden Gesamtstromdichte überwiegt.

In Abb. 4.13 sind die Positionen maximaler Injektion für heiße Elektronen mit $E=3.3eV$ und für heiße Löcher mit $E=4.5eV$ als Ergebnis von Monte-Carlo-Simulationen dargestellt, welche von Prof. C. Jungemann, Universität der Bundeswehr, Neubiberg, erstellt wurden. Für diese wur-

de ein LDMOSFET mit vergleichbarem Aufbau verwendet, wobei der kanalseitige Birdsbeak durch eine Stufenfunktion angenähert wurde. Es wurden nur Injektionsströme im Bereich der Akkumulationsregion und des kanalseitigen Birdsbeak berücksichtigt. Der Begriff „Injektionsstrom“ beschreibt in diesem Zusammenhang die Rate der auf die Si/SiO₂-Grenzfläche auftreffenden Ladungsträger. Die Positionen maximaler Injektion für Elektronen und Löcher sind gegeneinander versetzt, da Elektronen und Löcher im starken elektrischen Feld parallel zur Grenzfläche in entgegengesetzte Richtungen beschleunigt werden. Für kleine Gatespannungen bleibt die Position des jeweiligen Injektionsmaximums konstant, erst für höhere Gatespannungen ist eine Verschiebung der Injektionsmaxima tiefer in die Driftzone zu beobachten. Abb. 4.14 zeigt die Energieverteilung der Elektron- und Lochstromdichten bei verschiedenen Gatespannungen an den jeweiligen Positionen maximaler Injektion. Die Elektronstromdichten sind als gefüllte Symbole aufgetragen, die Löcherstromdichten als offene Symbole. Die Kombination aus der Abhängigkeit der Gesamtstromdichten für Elektronen und Löcher einerseits und der elektrischen Feldstärke im Bereich des kanalseitigen Birdsbeak andererseits von der Gatespannung führen zum spezifischen Verlauf der Injektionsstromdichten in Abb. 4.14 im dargestellten Energiebereich. Unter der Annahme, dass die Elektronen mindestens die Energiedifferenz des Leitungsbandoffsets an der Si/SiO₂-Grenzfläche $E_{CBO}=3.3\text{eV}$ und Löcher mindestens die Energiedifferenz des Valenzbandoffsets $E_{VBO}=4.5\text{eV}$ aufbringen müssen, um zur Schädigung der Si/SiO₂-Grenzfläche bzw. des Oxids beizutragen, ist im Bereich des kanalseitigen Birdsbeaks die Rate der potentiell zur Schädigung beitragenden auf die Grenzfläche auftreffenden Elektronen für alle untersuchten V_G um mehrere Größenordnungen erhöht gegenüber der potentiell zur Schädigung beitragenden auf die Grenzfläche auftreffenden Löcher. Es wird deshalb davon ausgegangen, dass es sich bei den hauptsächlich zur Degradation beitragenden Ladungsträgern um Elektronen handelt.

Diese Argumentation wird gestützt vom Verlauf der Degradation des Einschaltwiderstands R_{on} in Abb. 4.5. Dieser steigt für alle Stresszeiten und gemessenen Belastungsbedingungen stetig an. Injektion von Löchern mit darauffolgendem Aufbau positiver Ladung im Oxid würde hingegen eine Reduktion des Einschaltwiderstands bedingen, da dies zur Induktion einer erhöhten Elektronendichte im benachbarten Silizium und damit zu einer Erniedrigung des spezifischen Widerstands führen würde [Moe07]. Elektronen verhalten sich dementsprechend gegensätzlich und führen bei

negativem Ladungsaufbau im Oxid zu einer Erhöhung des spezifischen Widerstands (siehe hierzu auch Kap. 5). Auch die beobachtete Abnahme des Bodystroms für kleine Gatespannungen (vgl. Abb. 4.7) kann durch negativen Ladungsaufbau im Bereich des kanalseitigen Birdsbeaks in akzeptorartigen Grenzflächenzuständen bzw. in tiefen Fehlstellen im Oxid mittels Bauelementsimulation begründet werden [Rie10].

Zusammenfassung:

Für kleine Gatespannungen $V_G < 5V$ wird die Grenzfläche bzw. das Oxid des Transistors nach aktuellem Wissensstand in erster Linie im Bereich des kanalseitigen Birdsbeaks geschädigt, für größere Gatespannungen verlagert sich der Ort maximaler Degradation zum drainseitigen Birdsbeak. Dies führt zum Durchlaufen eines Minimums von ΔR_{on} als Funktion von V_G bei 5V und erklärt den Vorzeichenwechsel von ΔI_{Body} . Mit den Ergebnissen von Monte-Carlo-Simulationen konnte gezeigt werden, dass für alle untersuchten Gatespannungen die Rate der injizierten Elektronen mit potentiell genug Energie zum Überwinden des Bandoffsets an der Si/SiO₂-Grenzfläche im Bereich des kanalseitigen Birdsbeaks und der Akkumulationsregion um mehrere Größenordnungen höher ist als die der Löcher, was zur Annahme führt, dass die Degradation des LDMOSFETs im Bereich des kanalseitigen Birdsbeaks und der Akkumulationsregion durch Elektroneninjektion dominiert wird. Diese wird gestützt durch die stetige Erhöhung des Einschaltwiderstandes bei zunehmender Belastungsdauer und der Abnahme von I_{Body} bei kleinem V_G . Für die Modellierung des Degradationsverhaltens von Bedeutung ist hier die Feststellung, dass sich im für die Modellierung relevanten Gatespannungsbereich $V_{Th} \leq V_G \leq 3.0V$ (vgl. Kapitel 5) nach gegebenem Kenntnisstand der Ort maximaler Schädigung und der Degradationsmechanismus nicht ändern, da sich für $V_G \leq 3V$ laut Monte-Carlo-Simulation der Ort maximaler Injektionsstromdichte heißer Elektronen konstant am unteren Teil des kanalseitigen Birdsbeaks befindet.

4.2.4 Degradation als Funktion von V_D

Als Nächstes wird die Abhängigkeit der Degradation von der Drainspannung untersucht. Die Gatespannung ist konstant bei $V_G=2V$. Dabei stellt sich die Abhängigkeit der Degradation von der Drainspannung als wesentlich einfacher dar als die Abhängigkeit von der Gatespannung: Wie aus

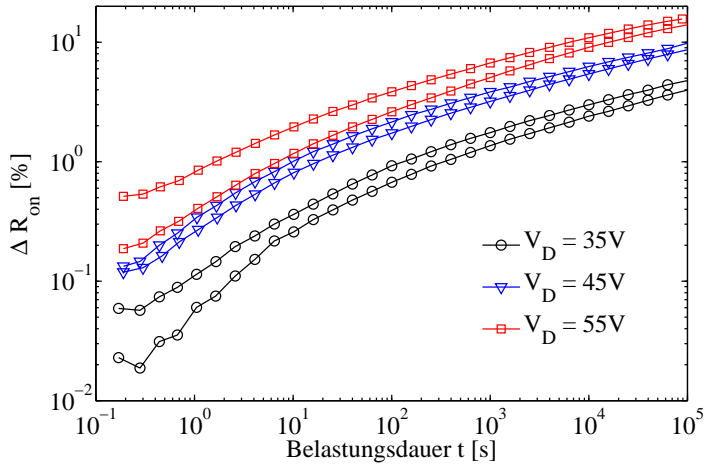


Abbildung 4.15: Gemessener zeitlicher Verlauf der Degradation des Einschaltwiderstandes als Funktion der Drainspannung bei Raumtemperatur ($T=25^{\circ}\text{C}$). V_G ist konstant bei $V_G=2\text{V}$. (Die Abbildung zeigt pro Belastungsbedingung das Degradationsverhalten von je zwei LDMOSFETs.)

den experimentell ermittelten Degradationscharakteristiken in Abb. 4.15 ersichtlich ist, steigt ΔR_{on} für alle Stresszeiten monoton an, wobei die Amplitude von ΔR_{on} mit zunehmendem V_D stetig steigt.

Zur weiteren vergleichenden Analyse der verschiedenen Belastungsbedingungen wurde wiederum Bauelementsimulation durchgeführt. Abb. 4.16 zeigt die unter Verwendung des Drift-Diffusions-Modells simulierte elektrische Feldverteilung im LDMOSFET als Ergebnis einer Bauelementsimulation für die in Abb. 4.15 untersuchten Arbeitspunkte. Die elektrische Feldstärke im Silizium hat demnach ihr Maximum für alle untersuchten Arbeitspunkte am kanalseitigen Birdsbeak. Während sich die Position des Feldstärkemaximums bei Variation von V_D nicht ändert, steigt die Amplitude des elektrischen Feldes mit zunehmender Drainspannung an. Die Stromdichteverteilung ist in Abb. 4.17 dargestellt. Die vom Kanal kommenden Elektronen werden dabei im starken elektrischen Feld am kanalseitigen Birdsbeak beschleunigt, gewinnen dabei beträchtliche kinetische Energie

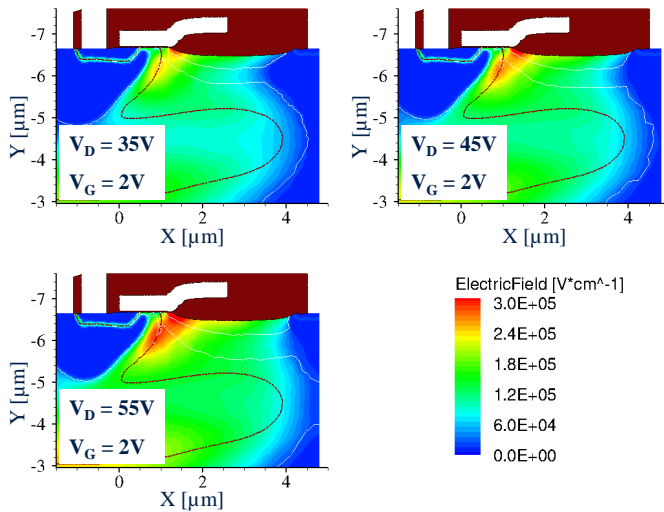


Abbildung 4.16: Simulation mit dem Drift-Diffusions-Modell: Elektrische Feldverteilung im LD MOSFET bei verschiedenen Belastungsbedingungen.

und können durch Stoßionisation Elektron-Loch-Paare erzeugen. Die resultierende räumliche Verteilung der Stoßionisationsrate ist in Abb. 4.18 gezeigt. Maximale Stoßionisation tritt dort auf, wo hohe Stromdichten und gleichzeitig hohe elektrische Felder vorliegen. Es ändert sich im Gegensatz zu Abb. 4.10 mit zunehmender Drainspannung lediglich die Amplitude der Stoßionisationsrate, während ihre räumliche Verteilung konstant bleibt.

Experimentell wird die Position des Stoßionisationsmaximums als Indikator für maximale Dichte heißer Ladungsträger analog zur Betrachtung der V_G -Abhängigkeit in Abschnitt 4.2.3 experimentell verifiziert durch Photon-Emissions-Mikroskopie. Die Messungen wurden auch hier durchgeführt von B. Ferstl, H. Bourkadi, S. Müller bzw. C. Feuerbaum, Infineon Technologies, München. Abb. 4.19 zeigt die gemessene örtliche Intensitätsverteilung der durch Relaxationsprozesse heißer Ladungsträger emittierten Photonen. Aufgrund der spiegelsymmetrischen Realisierung jeweils zweier Transistoren sind stets zwei Emissionsmaxima vorhanden. Das Maximum der Intensitätsverteilung ist am kanalseitigen Birdsbeak lokalisiert und ändert seine Position nicht bei Variation von V_D .

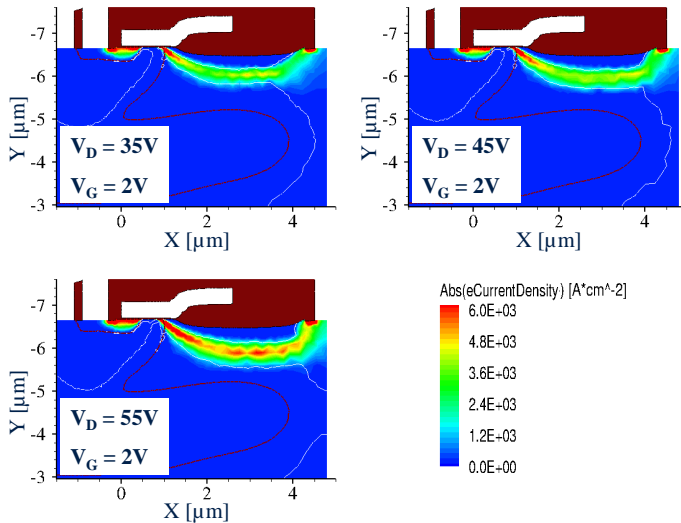


Abbildung 4.17: Simulation mit dem Drift-Diffusions-Modell: Stromdichteverteilung für Elektronen im LDMOSFET bei verschiedenen Belastungsbedingungen.

Wie in Abschnitt 4.2.3 wird auf die Ergebnisse von, von Prof. C. Jungemann erstellten, Monte-Carlo-Simulationen zurückgegriffen, um Einblick in die Energie- und Ortsverteilung der auf die Si/SiO₂-Grenzfläche auftreffenden Elektronen- und Lochstromdichten zu erhalten. Es werden wiederum nur Injektionsströme im Bereich der Akkumulationsregion und des kanalseitigen Birdsbeak betrachtet, was in diesem Fall jedoch keine Einschränkung darstellt. Aus Abb. 4.20 ist ersichtlich, dass ebenso wie in Abschnitt 4.2.3 für kleine Gatespannungen der Ort maximaler Injektion heißer Elektronen am unteren Abschnitt des Birdsbeaks lokalisiert ist. Der Ort maximaler Injektionsstromdichte für die heißen Löcher hingegen befindet sich im oberen Abschnitt. Es ist also keine Abhängigkeit der Position der Maxima der Injektionsstromdichte von der Drainspannung festzustellen. Die Energieverteilung der Injektionsstromdichten heißer Elektronen und Löcher an den jeweiligen Orten maximaler Injektion ist in Abb. 4.21 dargestellt. Die zu den Elektronen gehörigen Stromdichten sind als gefüllte Symbole dargestellt, die Stromdichten der Löcher als offene Symbole. Sowohl die Elektronen- als auch die Löcherstromdichten unterliegen einem Anstieg bei

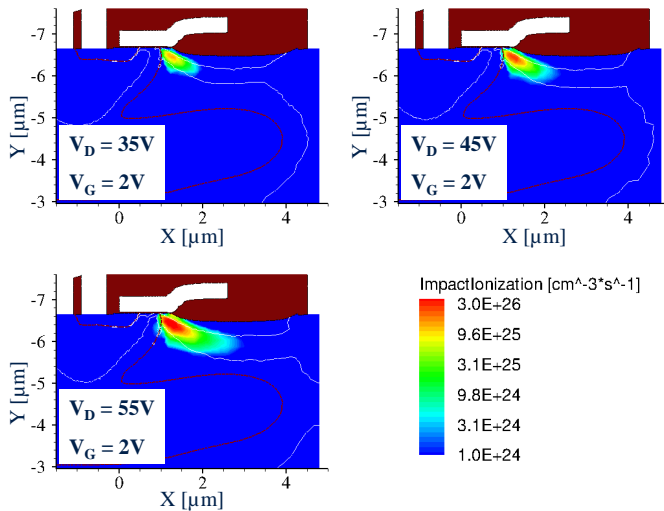


Abbildung 4.18: Simulation mit dem Drift-Diffusions-Modell: Stoßionisationsraten im LDMOSFET bei verschiedenen Belastungsbedingungen.

Erhöhung der Drainspannung, was auf die Erhöhung der elektrischen Feldstärke mit zunehmender Drainspannung zurückzuführen ist. Nimmt man wiederum an, dass Elektronen über mindestens 3.3eV (Leitungsbandoffset) und Löcher über mindestens 4.5eV (Valenzbandoffset) verfügen müssen, um die Energiebarriere an der Si/SiO₂-Grenzfläche zu überwinden, so stellt man fest, dass die Rate potentiell zur Degradation beitragender Elektronen für alle untersuchten Drainspannungen um mehrere Größenordnungen oberhalb der Rate potentiell zur Degradation beitragender Löcher liegt. Dies führt zu der Annahme, dass die Degradation bei den untersuchten Arbeitspunkten hauptsächlich durch heiße Elektronen verursacht wird.

Zusammenfassung:

Es wird eine Zunahme der Degradation des Einschaltwiderstands bei ansteigender Drainspannung festgestellt. Mittels Bauelementsimulation mit dem Drift-Diffusions-Modell konnte gezeigt werden, dass sich das

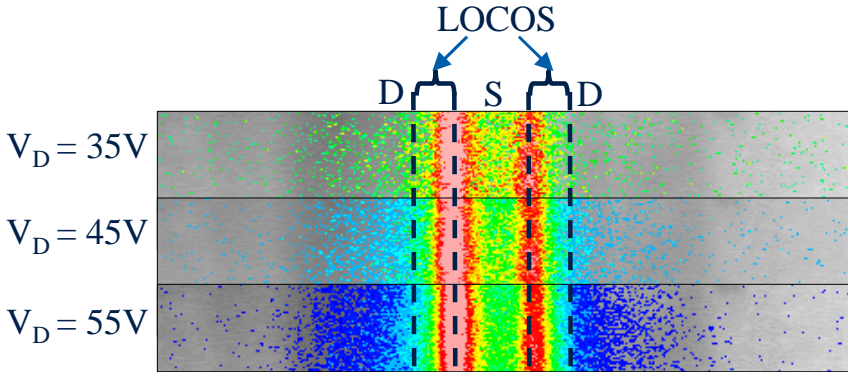


Abbildung 4.19: Örtliche Intensitätsverteilung der mit Photon-Emissions-Mikroskopie gemessenen Strahlung. Vergleich mit dem Transistor-Layout zeigt, daß das Intensitätsmaximum im Rahmen der Messgenauigkeit für alle gemessenen Arbeitspunkte mit der Position des kanalseitigen Birdsbeak übereinstimmt ($V_G=2V$). Durch die spiegelsymmetrische Anordnung von zwei Transistoren sind jeweils zwei Emissionsmaxima zu erkennen. Die Messungen wurden durchgeführt von H. Bourkadi, Infineon Technologies, München.

elektrische Feldmaximum und somit auch das Stoßionisationsmaximum als Indikator für heiße Ladungsträger am kanalseitigen Birdsbeak befindet und seine Position im untersuchten Betriebsbereich von der Drainspannung unabhängig ist. Dies wird experimentell durch Photon-Emissions-Mikroskopie bestätigt. Für die Untersuchung der Injektionsstromdichten wurden die Ergebnisse von Monte-Carlo-Simulationen verwendet. Der Ort maximaler Injektionsstromdichte für heiße Elektronen befindet sich demnach im unteren Teil des kanalseitigen Birdsbeak, wohingegen heiße Löcher vorzugsweise im oberen Teil einschlagen. Die Rate heißer Elektronen, die potentiell zur Schädigung des Transistors durch Überwinden der Si/SiO₂-Barriere beitragen, ist für alle untersuchten Drainspannungen mehrere Größenordnungen höher als die der heißen Löcher, was auf einen von Elektronen dominierten Degradationsmechanismus hindeutet. Für die Modellierung von Bedeutung ist hier wiederum, dass der dominierende Schädigungsmechanismus selbst als auch dessen Position sich demnach bei den untersuchten Arbeitspunkten bei Variation von V_D nicht ändern.

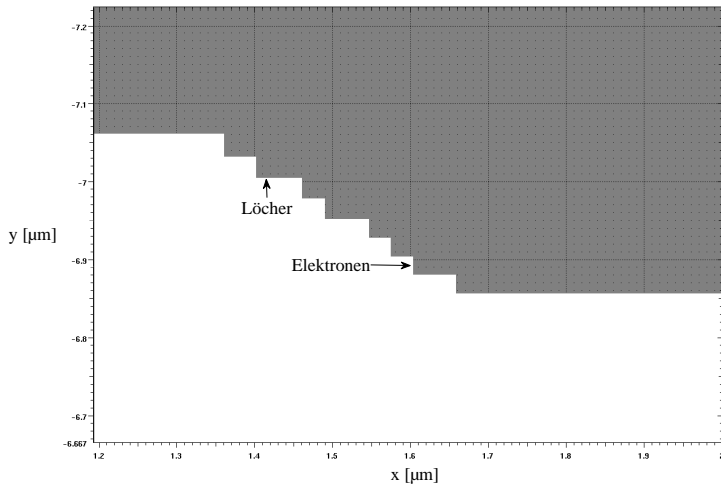


Abbildung 4.20: Monte-Carlo-Simulation: Position maximaler Injektionsstromdichte heißer Elektronen und Löcher bei $V_D=35V$, $V_D=45V$ und $V_D=55V$ ($V_G=2V$). Die Simulationen wurden erstellt von Prof. C. Jungemann, Universität der Bundeswehr, Neubiberg.

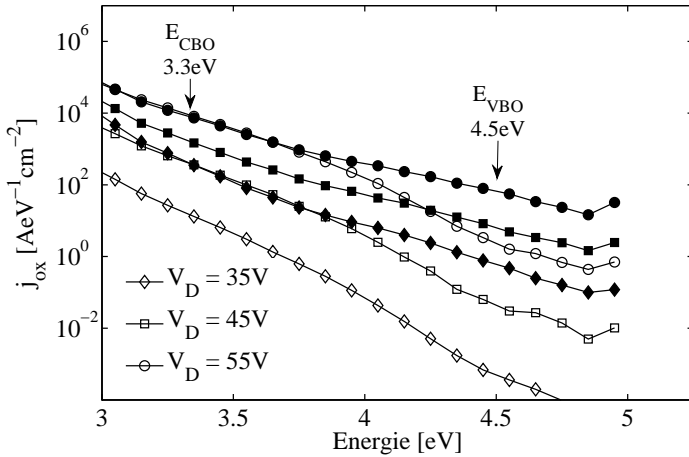


Abbildung 4.21: Monte-Carlo-Simulation: Energieverteilung der Injektionsstromdichten von heißen Elektronen (gefüllte Symbole) und Löchern (offene Symbole) an den Orten maximaler Injektion im Bereich der Akkumulationsregion und des kanalseitigen Birdsbeaks ($V_G=2\text{V}$). Die Simulationen wurden erstellt von Prof. C. Jungemann, Universität der Bundeswehr, Neubiberg.

4.3 Dynamische Effekte

Da ein Hauptaugenmerk der vorliegenden Arbeit in der Entwicklung eines Verfahrens zur Vorhersage des Degradationsverhaltens bei zeitlich veränderlicher Gate- und Drainspannung liegt, soll im nächsten Kapitel untersucht werden, inwieweit dynamische Effekte auf das Degradationsverhalten Einfluss nehmen. Kann die Degradation im dynamischen Betriebszustand aus den DC-Degradationsdaten vorhergesagt werden, so kann sie als quasi-stationärer Prozess betrachtet werden. Im Folgenden sollen die Effekte diskutiert und bewertet werden, die möglicherweise zu einer Abweichung der Degradation im dynamischen Betriebszustand von einem quasi-stationären Verhalten führen und so Einfluss auf die Gültigkeit der Modellvorhersage in Kap. 5.2 nehmen könnten. Dabei kommen einerseits dynamische Effekte in Frage, die auf die Verzögerung der Reaktion des Bauelements auf eine Änderung der anliegenden Spannungen zurückgeführt werden können und andererseits dynamische Effekte, die auf sich mit der Zeit verändernden Eigenschaften des Oxids bzw. der Si/SiO₂-Grenzfläche beruhen [Web92, Hän89].

Zu einer Bewertung des Einflusses dynamischer Effekte auf das Degradationsverhalten durch die verzögerte Reaktion des Bauteils auf Spannungsänderungen ist die Kenntnis der intrinsischen Reaktionsgeschwindigkeit des Bauelements auf diese von Bedeutung. Ist die intrinsische Reaktionsgeschwindigkeit größer oder vergleichbar mit der Schaltgeschwindigkeit, so weicht die Stromdichte- und Potentialverteilung bei Erreichen einer gewissen Spannungsconfiguration V_D - V_G von der Stromdichte- und Potentialverteilung im stationären Fall ab, was eine Änderung des Degradationsverhaltens mit sich zieht. Ist die Schaltgeschwindigkeit jedoch viel langsamer als die inhärente Reaktionsgeschwindigkeit, so folgt die Stromdichte- und Potentialverteilung quasi-instantan der Spannungsänderung und die Degradation während des Schaltens kann als Abfolge von quasi-stationären Belastungszuständen betrachtet werden. Die inhärente Reaktionszeit kann leicht abgeschätzt werden als die mittlere Zeit Δt_{int} , welche die freien Ladungsträger benötigen, um den Transistor zu durchqueren („Ausräumzeit“). Sie ist gegeben durch

$$\Delta t_{int} = \frac{\bar{v}}{x_j} \quad (4.7)$$

mit x_j : Durchmesser des Transistors (Abstand von Source- und Drainkontakt hier: $x_j \approx 6\mu m$) und \bar{v} : mittlere Geschwindigkeit der freien La-

dungsträger [Hän89]. Letztere kann in einer ersten Näherung durch die Sättigungsgeschwindigkeit für Elektronen und Löcher $v_{sat} = 1 \cdot 10^7 \text{ cm/s}$ abgeschätzt werden aufgrund des hohen internen elektrischen Feldes beim wiederholten spannungsbegrenzten Schalten ($V_D = 55 \text{ V}$) mit induktiver Last (vgl. Abb. 3.7 in Kap. 3.1.2). Damit gilt für die Ausräumzeit

$$\Delta t_{int} \approx \frac{10^7 \text{ cm s}^{-1}}{6 \mu\text{m}} = 60 \text{ ps.} \quad (4.8)$$

Damit unterschreitet die inhärente Reaktionszeit Δt_{int} des vorliegenden LD MOSFETs sowohl Anstiegs- als auch Abfallflanke des zeitlichen Spannungsverlaufs in Abb. 3.7 in Kap. 3.1.2 um mehrere Größenordnungen. Deshalb kann, beschränkt man sich auf die Betrachtung der intrinsischen Reaktionszeit, die Degradation während des Schaltens als eine Folge von quasi-stationären Belastungszuständen betrachtet werden.

Als weitere Ursache für eine mögliche Abweichung der Degradation im dynamischen Belastungsbetrieb von einem quasi-stationären Verhalten kommen wesentlich langsamer ablaufende Prozesse im Oxid bzw. an der Si/SiO₂-Grenzfläche in Frage. Während Elektronentransport im Oxid aufgrund der im Vergleich zu den Löchern hohen Beweglichkeit der Elektronen in amorphem SiO₂ keine Rolle spielt, so liegt die Driftbeweglichkeit von Löchern nach einer anfänglichen „schnellen“ Phase um mehrere Größenordnungen unter der Driftbeweglichkeit für Elektronen [Web92]. Da in Abschnitt 4.2 jedoch gezeigt werden konnte, dass die Injektion heißer Elektronen bei den für die Modellierung relevanten Arbeitspunkten die Hauptursache für Degradation darstellt, wird angenommen, dass durch Löchertransport im Oxid verursachte Abweichungen vom quasistationären Verhalten vernachlässigt werden können. Als Prozesse, die zu einer Abweichung des Degradationsverhaltens während einer dynamischen Belastung von einer Abfolge von quasi-stationären DC-Belastungszuständen führen könnten, kommen damit letztlich die Passivierung von Grenzflächenzuständen und/oder die Emission von in tiefen Fehlstellen im Oxid eingefangenen Ladungen in Frage.

Degradationsmodelle für den dynamischen Anwendungsfall beschreiben den Degradationsvorgang gewöhnlich als Abfolge von quasi-stationären Belastungszuständen. Im dynamischen Betrieb treten abhängig vom Belastungsprofil jedoch auch sich periodisch wiederholende Phasen auf, in denen der Transistor nicht belastet wird, z. B. bei $V_D \approx 0 \text{ V}$. In diesen Zeitintervallen können belastete Bauelemente Erholungseffekte zeigen [Bro90, Moe06b],

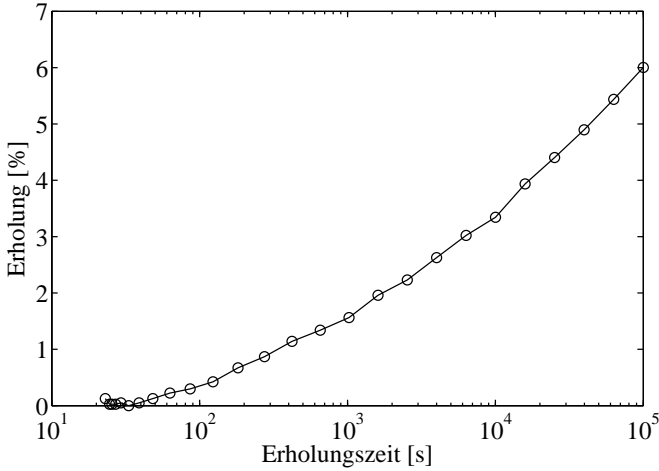


Abbildung 4.22: Erholungsverhalten von R_{on} nach Beendigung der elektrischen Belastung (Dauer: 100000s, $V_D=55\text{V}$, $V_G=2.0\text{V}$) bei Raumtemperatur ($T=25^\circ\text{C}$)

die prinzipiell bei der Modellierung des Degradationsverhaltens im dynamischen Betriebszustand mitberücksichtigt werden müssen. In Abb. 4.22 ist das Erholungsverhalten des Einschaltwiderstandes R_{on} bei Raumtemperatur nach 100000s DC-Belastung bei der Belastungsbedingung $V_D = 55\text{V}$ und $V_G=2.0\text{V}$ halblogarithmisch aufgetragen. Bei 0% Erholung ist der Einschaltwiderstand gleich dem Einschaltwiderstand bei Beendigung der Belastung², bei 100% Erholung würde R_{on} dem 0h-Wert vor Beginn der Belastung entsprechen. Während der Erholungszeit liegen alle Kontakte auf gleichem Potential, d. h. das elektrische Feld im Oxid kommt lediglich durch die Austrittsarbeitsdifferenz zwischen Bulk-Silizium und dem Gatematerial (hochdotiertes Poly-Si) sowie durch eingefangene Ladungen zustande. Es ist deutlich ersichtlich, dass die Abnahme von ΔR_{on} pro

²Hierbei ist natürlich zu berücksichtigen, dass durch die technischen Beschränkungen des Messaufbaus sich die Zeitspanne zwischen Ende der Belastung und der Messung des Transistorparameters in der Größenordnung von mindestens 0.1s bewegt. Somit war es mit den verwendeten Mess-Systemen nicht möglich, Aussagen über die Amplitude der Degradation bzw. des Erholungseffekts direkt bzw. nach sehr kleinen Zeiten nach dem Ende Belastung zu machen.

Dekade sich in etwa linear verhält. Kürzlich wurde gezeigt [Rei10], dass die Lebensdauer eines mobilen Ladungsträgers in einem lokalisierten Zustand im Oxid durch eine charakteristische Zeitkonstante τ_E gekennzeichnet ist. Aus dem Verlauf der Abnahme von R_{on} mit der Zeit folgt dann, dass die spektrale Dichte der lokalisierten Zuständen pro Dekade in der Zeit in etwa konstant ist, d. h. die Dichte der Zustände mit Lebensdauern innerhalb der verschiedenen Dekaden in etwa gleich ist. Da die Emission von Ladungsträgern aus den lokalisierten Zuständen thermisch aktiviert ist [Rei10], wird eine hohe Temperaturabhängigkeit des Erholungsverhaltens erwartet. Aus dem in Abb. 4.22 dargestellten Verlauf der Erholung von R_{on} mit der Zeit bei Raumtemperatur ist ersichtlich, dass selbst für große Erholungszeiten der Erholungseffekt $<10\%$ der Gesamtdegradation beträgt und dessen Einfluss auf die Güte der Modellvorhersage in Kap. 5.2 deshalb vernachlässigt werden kann.

4.4 Temperaturabhängigkeit der Degradation

4.4.1 Motivation

Die Kenntnis der Eigenerwärmung des Transistors als Funktion der Betriebsspannungen und der Zeitskalen, auf denen Aufwärmen des Transistors bei elektrischer Belastung und Abkühlen nach dem Ende der elektrischen Belastung geschieht, ist von elementarer Wichtigkeit zum Verständnis und zur Modellierung des Degradationsverhaltens von Transistoren sowohl bei Gleichspannung als auch im gepulsten Betrieb.

Im Gleichspannungsbetrieb ist dabei zwischen vier verschiedenen Szenarien zu unterscheiden, welche in Abb. 4.23 schematisch dargestellt sind. Die durchgezogenen blauen Linien kennzeichnen dabei den zeitlichen Verlauf der Belastungsintervalle während eines typischen DC-Belastungstests. Die grünen Pfeile markieren die Zeitpunkte der Messung eines exemplarischen elektrischen Transistorparameters. Die gestrichelten roten Linien stellen den Temperaturverlauf im Transistor dar. Auf die allererste Messung des Transistorparameters („0h-Messung“) folgt das erste Belastungsintervall t_{Stress}^0 , dessen Dauer sich bei den in dieser Arbeit verwendeten Messungen mindestens in der Größenordnung $t_{Stress}^0 = 0.1s$ bewegt. Nach dem Ende des ersten Belastungsintervalls wird mit einer Verzögerung von Δt_{meas} der Transistorparameter erneut gemessen. Δt_{meas} wurde dabei zu $\Delta t_{meas} \approx 0.2s$ bestimmt. Daraufhin folgt wieder ein Stressintervall, welches wiederum von einer Messung gefolgt wird, usw. Die Länge der Stressintervalle wird dabei sukzessive erhöht. Das für den Erwärmungs- bzw. Abkühlungsvorgang charakteristische Zeitintervall wird im Folgenden mit τ_{Heat} bezeichnet.

Je nachdem, wie sich nun τ_{Heat} zu den Zeiten t_{Stress}^0 und Δt_{meas} verhält, ergeben sich verschiedene Problemstellungen für die Verwendung der DC-Stressdaten zur Lebensdauerextrapolation im DC- und im gepulsten Betriebsmodus des Transistors: In den Szenarien a) und d) gilt $\tau_{heat} \ll \Delta t_{meas}$. Dies bedeutet, dass der Transistor sich während den Messungen nach Beendigung der Belastung wieder bei der Ausgangstemperatur T_0 befindet und deshalb keine Verfälschung der Messung durch Temperaturunterschiede im Transistor während den Messungen zu befürchten sind. In den Szenarien b) und c) gilt hingegen $\tau_{heat} \gtrsim \Delta t_{meas}$, so dass die Temperatur während den Messungen nach Stress stets größer ist als während der Nullstundenmessung. Dies bedeutet, dass zusätzlich zur Änderung des Transistorparameters durch die Belastung noch eine Änderung durch die Eigenerwärmung Einfluss auf

den Messwert nimmt und so die Lebensdauerextrapolation verfälscht. Ist der Temperaturhub beim Beenden jedes einzelnen Stressintervalls konstant durch $t_{Stress}^0 \gg \tau_{Heat}$ (Szenario c), so entsteht ein konstanter durch Eigenerwärmung bedingter Offset zwischen der Nullstunden- und späteren Messungen, der bei genauer Kenntnis der Erwärmungsvorgänge bei der Lebensdauerextraktion berücksichtigt werden kann.

Besonders kritisch ist hingegen Szenario b) wegen $t_{Stress}^0 \lesssim \tau_{Heat}$, da hier aufgrund der unvollständigen Eigenerwärmung während der ersten kurzen Belastungsintervallen der Temperaturhub von Messung zu Messung variiert. Unvollständige Eigenerwärmung bei kleinen Stresszeiten liegt auch im Szenario a) vor durch $t_{Stress}^0 \lesssim \tau_{Heat}$ für kleine Stresszeiten. Obwohl die Temperatur während der Messungen als konstant betrachtet werden kann, muss man hier bei der Interpretation der Messdaten berücksichtigen, dass bei kleinen Stresszeiten die Temperatur während der Belastung kleiner war als bei längeren Stresszeiten, was sich durch die Temperaturabhängigkeit der Degradation auch auf die Messergebnisse auswirken kann.

Den unkritischsten Fall stellt zweifellos das Szenario d) dar: Hier liegen aufgrund $\tau_{heat} \ll \Delta t_{Stress}, \Delta t_{meas}$ konstante Temperaturen während der Messung und während der Belastung vor. Jedoch muss man auch hier berücksichtigen, dass die Temperatur, bei der Degradation stattfindet, nicht unbedingt der Umgebungstemperatur entspricht, sondern durch die dissipierte Leistung eine Temperaturerhöhung im Transistor stattfindet.

Bei der Vorhersage der Degradation im gepulsten Betriebsmodus unter Verwendung von DC-Degradationsmessungen muss ebenfalls zwischen zwei möglichen Szenarien unterschieden werden: Ist die Schaltgeschwindigkeit so langsam, dass die Temperatur des Transistors praktisch instantan der Änderung der Betriebsspannungen folgt, so kann die Degradation als Folge von DC-Belastungszuständen betrachtet werden, bei denen die Temperatur des Transistors gleich der Temperatur bei der entsprechenden DC-Belastungsbedingung ist. Ist hingegen das für Erwärmungs- bzw. Abkühlungsvorgänge charakteristische Zeitintervall τ_{heat} nicht klein gegen die Schaltgeschwindigkeit, so entspricht die Temperatur im Transistor bei Durchlaufen der verschiedenen Arbeitspunkte nicht den Temperaturen, die bei diesen Arbeitspunkten im DC-Modus vorherrschen. Dies führt im Falle starker Eigenerwärmung in den durchlaufenen Arbeitspunkten im DC-Modus zu Abweichungen in der Vorhersage der Degradation im gepulsten Modus aus den entsprechenden DC-Degradationscharakteristiken. Um

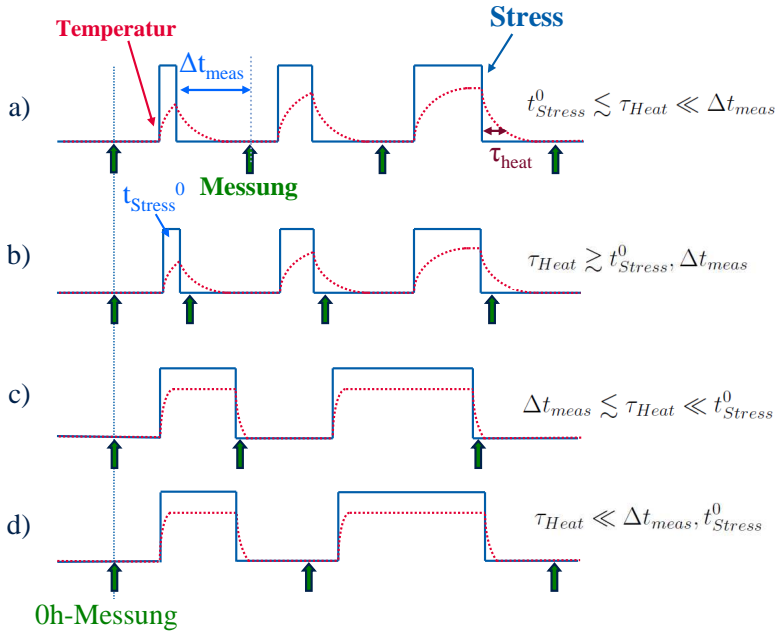


Abbildung 4.23: Schematische Beschreibung der Problematik der Eigenerwärmung bei Belastungstests im Gleichspannungsbetrieb

festzustellen, wie stark die Eigenerwärmung beim untersuchten Testtransistor bei den verschiedenen Belastungsbedingungen ausgeprägt ist und zur Ermittlung des für die Erwärmungs- und Abkühlvorgänge charakteristischen Zeitintervalls τ_{heat} , wird auf thermische Finite-Elemente-Simulation zurückgegriffen.

4.4.2 Thermische Finite-Elemente-Simulation

Mit Hilfe von numerischer Finite-Elemente-Simulation kann die Eigenerwärmung des Transistors unter Berücksichtigung der Ortsabhängigkeit der thermischen Leitfähigkeit κ und der spezifischen Wärmekapazität c modelliert werden. In der vorliegenden Arbeit wurde hierfür der elektrothermische Simulator „TESI“ [Pfo08] verwendet. Hierbei wird das zur Wärmeleitung zur Verfügung stehende Material in kleine quaderförmige Volumeneinheiten unterteilt, welche als Teile einer riesigen thermischen

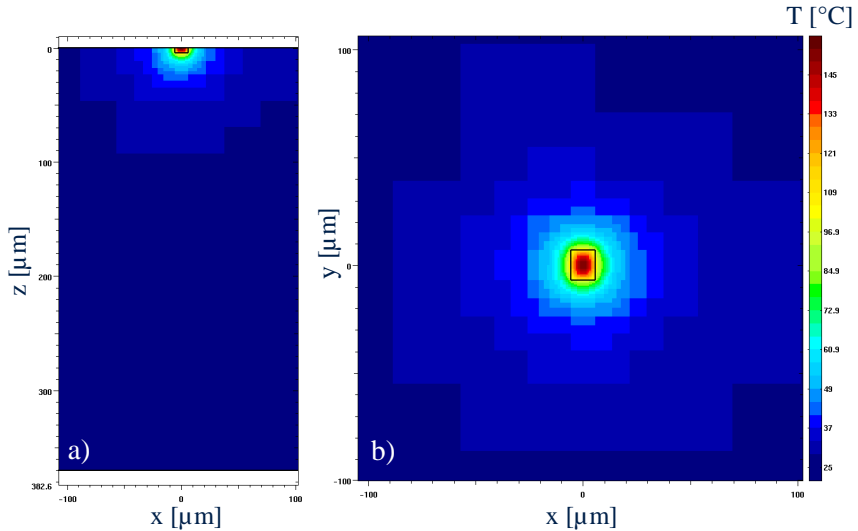


Abbildung 4.24: Thermische Finite-Elemente-Simulation: Temperaturverteilung im Siliziumwafer der Dicke $370\mu\text{m}$ bei eingeschaltetem LDMOS mit $P_{Diss} = 0.456\text{W}$ (Worst case, d. h. $V_G=7.0\text{V}$ und $V_D=55\text{V}$). a) Temperaturverteilung im Querschnitt, b) Temperaturverteilung an der Oberfläche der Siliziumscheibe

Ersatzschaltung modelliert werden. Jedes der Volumenelemente ist leitend mit den angrenzenden Zellen verbunden und kann mit diesen Wärme austauschen. Durch Diskretisierung der 3D-Wärmeleitungsgleichung kann so bei Vorhandensein einer oder mehrerer Wärmequellen die zeitabhängige Temperaturverteilung im Siliziummaterial iterativ berechnet werden [Pfo08, Pfo04]³.

Abb. 4.24 zeigt das Ergebnis einer solchen thermischen Simulation für den zur Modellierung verwendeten LDMOSFET, welcher beim Arbeitspunkt $V_D = 55\text{V}$ und $V_G = 7.0\text{V}$ bei konstanter Spannung betrieben wird. Dies entspricht in Abb. 4.4 der Stressbedingung mit maximaler dissipierter Lei-

³TESI kann noch viel mehr: Es koppelt in einem (hier allerdings nicht verwendeten) elektrothermischen Ansatz sowohl die Eigenerwärmung des Transistors mit der elektrischen Leitfähigkeit, d. h. die Stromdichte als Wärmequelle ist eine Funktion der Temperaturverteilung und vice versa.

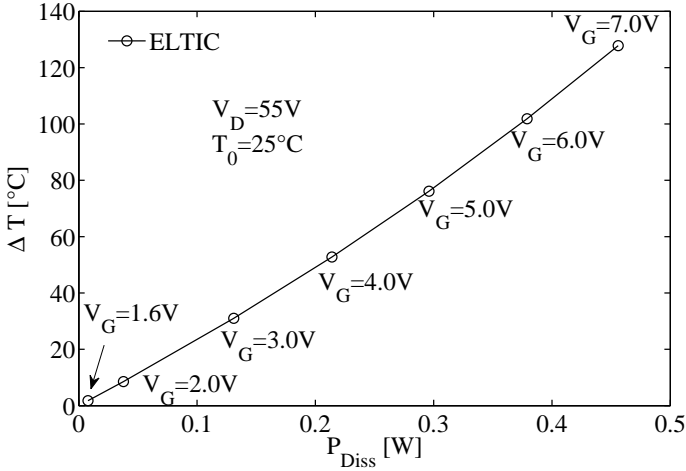


Abbildung 4.25: Ermittlung der Eigenerwärmung als Funktion der dissipierten Leistung im LDMOSFET mit dem thermischen Finite-Elemente-Simulator TESI

stung. In x- und in y-Richtung kann die Ausdehnung des Siliziummaterials in guter Näherung als unendlich betrachtet werden, in z-Richtung beträgt die Dicke des Materials $d = 370\mu m$, was der typischen Dicke eines gedünnten Wafers entspricht. Die Wärmequelle wird als Quader mit den Maßen $11.3\mu m \times 14\mu m \times 4\mu m$ approximiert und ist in Abb. 4.24 als schwarz umrandetes Rechteck dargestellt. Dies entspricht in etwa den Abmessungen des LDMOSFETs. Die Temperatur hat ihr Maximum im Zentrum der Wärmequelle an der Siliziumoberfläche bei $T_{max} = 153^\circ C$ und fällt mit zunehmendem Abstand von der Wärmequelle mit einer Halbwertsbreite von etwa $10\mu m$ rasch ab. ΔT_{max} ist in Abb. 4.25 bei verschiedenen Arbeitspunkten gegen die dissipierte Leistung P_{Diss} aufgetragen. Die Datenpunkte entsprechen den Stressbedingungen in Abb. 4.4 bei der Klemmspannung $V_D = 55V$. Die Eigenerwärmung steigt monoton mit V_G als Folge der steigenden Stromdichte. Die maximale Eigenerwärmung beträgt laut TESI $\Delta T_{max} = 128^\circ C$ (bei $V_G = 7V$ und $V_D = 55V$).

Neben der Kenntnis der Amplitude von ΔT im DC-Modus ist wie oben erläutert die Kenntnis der Zeitkonstanten, auf der Abkühlen bzw. Aufhei-

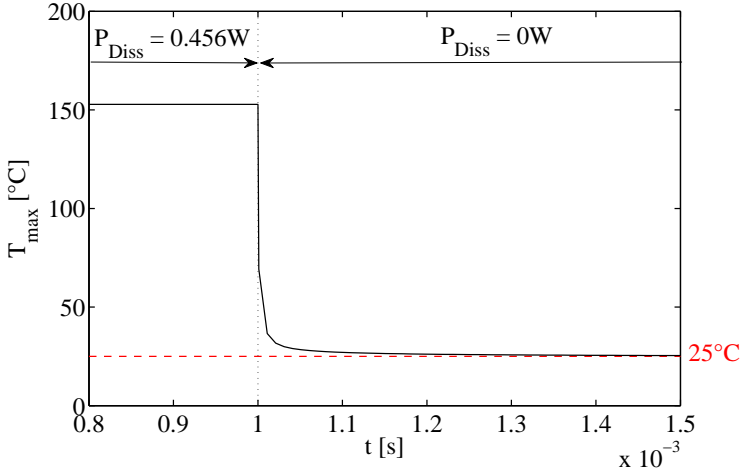


Abbildung 4.26: Thermische Finite-Elemente-Simulation: Zeitlicher Verlauf der Temperatur des Transistors nach abruptem Abschalten der Wärmequelle am Punkt maximaler Eigenerwärmung ($V_D=55V$, $V_G=7V$)

zen des Transistors erfolgt, von großer Wichtigkeit. Abb. 4.26 zeigt den Temperaturverlauf des Transistors im Punkt maximaler Eigenerwärmung nach dem Abschalten der elektrischen Leistung am Arbeitspunkt maximaler Leistungsabgabe ($V_D = 55V$, $V_G = 7V$). Die Temperatur T_{max} fällt exponentiell ab. Bereits nach $t_1 = 25\mu s$ ist der Temperaturhub auf 5% des Ausgangswerts gefallen. Nach insgesamt $t_2 = 0.4ms$ ist der Temperaturhub bei $\Delta T_{max} = 0.5^\circ C$. Dies entspricht in etwa der Genauigkeit der Temperaturkontrolle des Chucks. Die charakteristische Zeitkonstante τ_{Heat} für den Prozess der Eigenerwärmung des Transistors bzw. dessen Abkühlen nach dem Ende der Belastung sei definiert wie t_2 . Vergleicht man nun das durch Simulation ermittelte τ_{Heat} mit Δt_{Stress}^0 ($\approx 0.1s$) und Δt_{meas} ($\approx 0.2s$), so stellt man fest, dass für die in dieser Arbeit verwendeten DC-Belastungsmessungen stets Szenario d) gilt. Eigenerwärmung bzw. Abkühlung des Transistors erfolgt so schnell, dass außer einer konstant erhöhten Temperatur während der Belastung kein Einfluss auf die Degradationsmessung zu befürchten ist.

Vergleicht man jedoch τ_{heat} mit der Dauer des spannungsbegrenzten Ausschaltens einer Induktiven Last (siehe Abb. 3.7 in Kap. 3.1.2), so stellt man fest, dass die Dauer eines Spannungspulses vergleichbar ist mit τ_{Heat} . Deshalb ist im Fall eines ausgeprägten Temperaturhubs davon auszugehen, dass die Temperatur zu einem beliebigen Zeitpunkt des Schaltens nicht der Temperatur entspricht, die sich bei gleicher Belastungsspannung im DC-Modus einstellt. Bei der Modellierung der Degradation im gepulsten Modus aus DC-Degradationsmessdaten muss deshalb eigentlich der Einfluss der Eigenerwärmung auf die Modellvorhersage berücksichtigt werden (siehe Kap. 5).

Dennoch kommt uns hier zugute, dass die maximale dissipierte Leistung während der mit dem in Kapitel 3.1.2 beschriebenen Testaufbau durchgeführten Belastungstests nur ca. 20mW betrug, was zu einer maximalen Eigenerwärmung bei der zugehörigen kritischsten DC-Belastungsbedingung führt, die 5°C nicht überschreitet. Dies würde selbst im ungünstigsten Fall, d. h. keine Eigenerwärmung während des spannungsbegrenzten Schaltens und bis zu 5°C Temperaturerhöhung bei allen zu den durchlaufenen Arbeitspunkten korrespondierenden DC-Belastungstests zu einem absoluten Fehler von $\Delta(\Delta R_{on})_{abs}$ von weniger als 1% führen. Eine signifikante Beeinflussung der Modellvorhersage der Degradation im gepulsten Modus durch Auswirkungen unterschiedlicher Eigenerwärmung bei periodischem spannungsbegrenzten Schalten einer induktiven Last und den zugehörigen DC-Belastungsbedingungen kann also beim in dieser Arbeit für die Modellierung verwendeten Testtransistor mit lediglich 28 μm Gateweite bei Durchlaufen der in Abb. 3.7 dargestellten Pulsform ausgeschlossen werden.

5 Modellierung des Degradationsverhaltens

Der Prozess zur Herstellung eines Modells wird als Modellierung bezeichnet. Degradationsmodelle erfassen die wesentlichen Parameter des Degradationsmechanismus und können zur Prognose zukünftigen Verhaltens benutzt werden. Dabei kann ein Modell lediglich ein abstraktes Abbild des vollständigen Degradationsmechanismus geben. Dies ist allerdings kein Problem, solange das Modell valide ist, d.h. dass es in der Lage ist, die reale Degradation von Bauelementen hinreichend genau zu beschreiben und vorherzusagen [Wik10]. Bei der Standard-Qualifikation von Halbleiterbauelementen etwa werden Degradationsmodelle eingesetzt, um die Lebensdauer eines elektronischen Bauelements in Feldbedingungen aus einer endlichen Zahl von Belastungstests bei einer verschärften Belastungssituation vorherzusagen. Die mit der Verschärfung der Belastungssituation, z. B. durch das Anlegen erhöhter Spannungen, einhergehende Beschleunigung des Alterungsverhaltens ist notwendig, um in wenigen Stunden bzw. Tagen Aussagen über die Lebensdauer von Transistoren im Feld treffen zu können, welche sich in der Größenordnung von mehreren Jahren bewegt. In der vorliegenden Arbeit wird ein Satz von physikalisch motivierten Gleichungen und Modellparametern vorgestellt, welche das Degradationsverhalten des Einschaltwiderstandes bei DC-Belastung im für die Degradation durch heiße Ladungsträger beim spannungsbegrenzten Schalten einer induktiven Last relevanten Arbeitsbereich abbilden. Ausgehend davon wird in einem nächsten Schritt ein Algorithmus entwickelt, der die Degradation von Bauelementen im gepulsten Belastungsmodus, d. h. bei zeitlich veränderlichem sich periodisch wiederholendem Spannungsverlauf an Drain und Gate, modelliert.

5.1 Modellierung der Degradation bei Gleichspannung

Die mikroskopische Modellierung des Degradationsverhaltens von Halbleiterbauelementen ist selbst mit modernen Simulationstools immer noch schwierig, was unter anderem darin begründet ist, dass durch die noch sehr begrenzten experimentellen Zugangsmöglichkeiten über die Schädigungsmechanismen relativ wenig bekannt ist. Deshalb wird die Degradation von Transistoren gewöhnlich mittels Modellgleichungen abgebildet, die die Drift der makroskopischen Transistorparameter semi-empirisch beschreiben.

5.1.1 Herkömmliche Modelle

Modell von Takeda et al. [Tak83b]

Eine oft verwendete Methode zur Beschreibung des DC-Degradationsverhaltens von MOSFETs bei Belastung durch heiße Ladungsträger ist das 1983 publizierte Modell von Takeda et al. [Tak83b]. Takeda et al. konnten experimentell zeigen, dass die durch heiße Ladungsträger verursachte Degradation von Standard-MOSFETs korreliert mit dem durch Stoßionisation erzeugten Substratstrom (=Löcherstrom): Die Gatespannung, bei der Degradation maximal wird, korrespondiert mit der Gatespannung maximalen Substratstroms. Die Degradation von maximaler Steilheit g_m und Einsatzspannung V_{Th} mit zunehmender Belastungsdauer wird empirisch mit einem Potenzgesetz beschrieben:

$$\frac{\Delta g_m}{g_m^0} \quad (\text{oder} \quad \Delta V_{Th}) = A \cdot t^n \tag{5.1}$$

Während der Exponent n nur eine geringfügige Abhängigkeit von V_D zeigt, gilt für die Amplitude A

$$A \propto e^{-\frac{\alpha}{V_D}}. \tag{5.2}$$

1

¹Deshalb ist eine Spannungserhöhung am Drain eine weitverbreitete Methode zur Beschleunigung des Alterungsverhaltens bei Hot-Carrier-Belastung in der Qualifikation. Mittels Gleichung (5.2) kann man aus den experimentell ermittelten Lebensdauern bei erhöhtem V_D die Lebensdauer bei niedrigem V_D im Feldbetrieb extrapolieren

Es konnte gezeigt werden, dass A die gleiche V_D -Abhängigkeit wie der durch heiße Ladungsträger erzeugte Substratstrom hat. Die dem gegenüberstehende starke Änderung von n mit V_G hingegen wird auf eine Änderung des Degradationsmechanismus zurückgeführt.

Modell von Hu et al. [Hu85]

Eine physikalische Interpretation und Weiterentwicklung des empirischen Takeda-Modells stammt von Hu et al. 1985 [Hu85]: Hier wird argumentiert, dass Schädigung des Transistors durch die durch die Injektion heißer Elektronen bedingte Erzeugung von akzeptorartigen Grenzflächenzuständen zustande kommt. Ein linearer Zusammenhang zwischen der Änderung der Dichte dieser Grenzflächenzustände ΔN_{it} und der Änderung verschiedener Transistorparameter wie des Subthreshold-Swings ΔS , der Einsatzspannung ΔV_{Th} und der maximalen Steilheit $\frac{\Delta g_m}{g_m}$ wird experimentell begründet [Hu85, Tak83a]. Die Änderung der Dichte der Grenzflächenzustände ΔN_{it} mit zunehmender Belastungsdauer wird mit folgender Gleichung beschrieben:

$$\Delta N_{it} = C_1 \cdot \left(\frac{I_D}{W} e^{-\frac{\varphi_{it,e}}{q\lambda_e E_m}} \cdot t \right)^n \quad (5.3)$$

Der Vorfaktor $\frac{I_D}{W} e^{-\frac{\varphi_{it,e}}{q\lambda_e E_m}}$ beschreibt dabei nach Hu „die Rate heißer Elektronen“, die über die effektive zur Erzeugung eines Grenzflächenzustands notwendige Mindestenergie $\varphi_{it,e}$ verfügen. Er wird aus dem sog. „Lucky-Electron-Modell“ [Sho61, Nin77b] abgeleitet. In diesem wird die Wahrscheinlichkeit P , dass ein Elektron im elektrischen Feld mindestens die Distanz l zurücklegt, ohne gestreut zu werden, beschrieben durch

$$P \propto e^{-\frac{l}{\lambda_e}} \quad (5.4)$$

λ_e ist die mittlere freie Weglänge eines Elektrons. Es sei q die Elementarladung und E_m das maximale elektrische Feld. Für die zum Erreichen von $\varphi_{it,e}$ erforderliche Driftstrecke $l_{it,e}$ gilt dann

ren. Hierzu wird in der Regel die kritischste Gatespannung, ermittelt durch das Substratstrommaximum, angelegt, um eine untere Grenze für die Lebensdauer zu erhalten.

$$l_{it,e} = \frac{\varphi_{it,e}}{qE_m} \quad (5.5)$$

Multipliziert man P mit der Gesamtstromdichte der in den Bereich hohen elektrischen Feldes am Drain eintretenden Elektronen $\frac{I_D}{W}$ (bei Vernachlässigung des Beitrags von Löchern zu I_D), so erhält man den Vorfaktor in Gleichung (5.3).

Mittels des Lucky-Electron-Modells lässt sich ebenfalls ein Ausdruck für den durch Stoßionisation generierten Löcherstrom ableiten, welcher experimentell leicht zugänglich ist. Dieser wird im konventionellen Standard-MOSFET in der Regel als Substratstrom bezeichnet.

Ist φ_{ii} die effektive zur Erzeugung eines Elektron-Loch-Paares erforderliche Mindestenergie, so gilt für den Substratstrom I_{Sub} :

$$I_{Sub} \propto I_D e^{-\frac{\varphi_{ii}}{q\lambda_e E_m}} \quad (5.6)$$

Einsetzen von (5.6) in (5.3) ergibt

$$\Delta N_{it} = C_2 \cdot (\xi(I_D, I_{Sub}) \cdot t)^n \quad (5.7)$$

mit

$$\xi(I_D, I_{Sub}) = \frac{I_D}{W} \left(\frac{I_{Sub}}{I_D} \right)^{\frac{\varphi_{it,e}}{\varphi_{ii}}} \quad (5.8)$$

$\xi(I_D, I_{Sub})$ wird üblicherweise als Beschleunigungsfaktor bezeichnet und ist ein Maß für die Geschwindigkeit des Alterungsprozesses. Der Modellparameter φ_{ii} wird extrahiert zu 1.3eV [Tam84, Hu85]. Für $\varphi_{it,e}$ ergibt sich ein Wert von 3.5eV-3.7eV [Hu85, Her92], was in etwa dem Leitungsbandoffset $E_{CBO} = 3.3eV$ entspricht. Des Weiteren wird der Beschreibung der Degradation der Transistorparameter durch ein Potenzgesetz durch Hu et al. eine physikalische Interpretation in Form eines Reaktions-Diffusions-Modells zu Grunde gelegt. Es basiert auf der Annahme, dass heiße Elektronen an der Grenzfläche Si-H-Bindungen aufbrechen und dabei jeweils ein Wasserstoffatom und ein Siliziumatom mit einer ungesättigten Bindung erzeugen. Rekombiniert der Wasserstoff nicht wieder mit dem Silizium, sondern diffundiert von der Grenzfläche weg, so bildet die ungesättigte Bindung einen lokalisierten Grenzflächenzustand. Durch das Aufstellen einer Bilanzglei-

chung für die Zahl der erzeugten Grenzflächenzustände pro Zeit lässt sich die zeitliche Abhängigkeit von ΔN_{it} in Gl. (5.3) herleiten.

Problematisch bei der Verwendung von Hu- bzw. Takedamodell zur Lebensdauervorhersage ist die Tatsache, dass beide Modelle nicht in der Lage sind, die Abweichungen der Degradation von einem linearen Anstieg für hohe Belastungszeiten in Form einer Sättigung auf der doppellogarithmischen Darstellung abzubilden. Verringerung der Steigung der Degradation bei langen Stresszeiten ist jedoch bedeutsam für Transistoren mit erweitertem Drain wie etwa Lightly-Doped-Drain-Transistoren („LDD-Transistoren“) [Cha87, Cha95, Goo94, Her92] und auch LDMOS-FETs [Moe07, Wan07, Rie10].

Modell von Goo et al. [Goo94, Goo95]

Das von Goo et al. [Goo94, Goo95] 1994/95 vorgestellte physikalische Modell ist in der Lage, den Sättigungseffekt in der Degradation von LDD-Transistoren abzubilden. Es setzt voraus, daß die Schädigung des Transistors durch heiße Ladungsträger lediglich im Bereich der drainseitigen

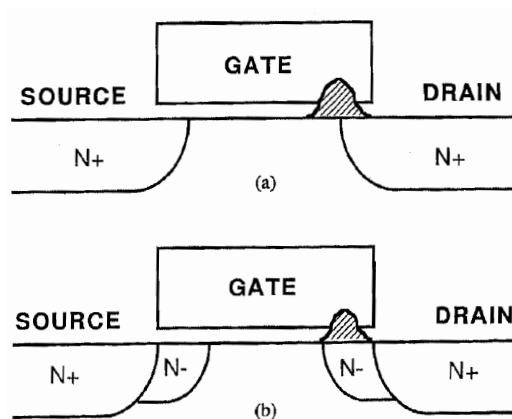


Abbildung 5.1: a) Ort an dem hauptsächlich durch heiße Ladungsträger bedingter Schaden beim konventionellen MOSFET erwartet wird; b) Ort an dem hauptsächlich durch heiße Ladungsträger bedingter Schaden beim LDD-MOSFET erwartet wird [Goo94]

n^- -Spacerregion stattfindet, wie in Abb. 5.1b dargestellt. Abb. 5.1a zeigt zum Vergleich den Ort maximaler Elektroneninjektion im konventionellen Standard-MOSFET. Die Gesamtanordnung aus Kanalbereich und drainseitigem n^- -Gebiet wird als Serienschaltung aus einem Feldeffekttransistor vom Anreicherungstyp und einem Feldeffekttransistor vom Verarmungstyp betrachtet, von denen nur letzterer degradiert. Es wird angenommen, dass die Schädigung in Form von Grenzflächenzuständen auftritt, welche ausschließlich zu einer Erniedrigung der Beweglichkeit durch erhöhte Grenzflächenstreuung im Bereich der n^- -Region führen. Reduktion der Ladungsträgerdichte an der Grenzfläche wird unter der Annahme einer hohen Gatespannung während der Messung des Transistorparameters nicht berücksichtigt, da dann die Reduktion der Ladungsträgerdichte durch geladene Grenzflächenzustände vernachlässigt werden kann. Die durch den Einfluss von Grenzflächenzuständen veränderte Beweglichkeit μ^{n^-} in der n^- -Region wird beschrieben durch

$$\frac{\mu^{n^-}(t)}{\mu_0^{n^-}} = \delta + \frac{1 - \delta}{1 + \alpha' N_{it}(t)} = \delta + \frac{1 - \delta}{1 + \gamma \cdot t^n} \quad (5.9)$$

Gleichung (5.9) basiert auf dem empirischen Modell von Sun und Plummer 1980 [Sun80a], welches die Abhängigkeit der Beweglichkeit der Elektronen von der Grenzflächenladungsdichte in einer Inversionsschicht beschreibt. Es wird auf die in der n^- -Region vorhandene Akkumulationsschicht angewendet und um den Term δ ergänzt, um einen unteren Grenzwert $\neq 0$ für μ^{n^-} für große Belastungszeiten zu erhalten. Dieses Vorgehen wird nach Goo et al. u. a. dadurch gerechtfertigt, dass die Stromverteilung in der n^- -Region sich viel stärker als in einer Inversionsschicht in tiefere grenzflächenfernere Schichten verschiebt, wodurch der Einfluss der Grenzflächenzustände auf μ^{n^-} abnimmt. Für die Zunahme von N_{it} wird ein Potenzgesetz angenommen. Es wird die Degradation des Stroms im ohmschen Bereich I_D im Reversmodus modelliert, d. h. Source und Drain sind während der Messung vertauscht. Für den Strom $I_D^{without}$ durch den „nackten“ MOSFET vom Anreicherungstyp, der den Kanalbereich des LDD-Transistors repräsentiert, gilt für kleine V_{DS} die Näherung

$$I_D^{without} \approx \mu_K \cdot C_{ox} \cdot \frac{W_{eff}}{L_{eff}} \cdot (V_{GS} - V_{Th}) \cdot V_{DS} \quad (5.10)$$

mit μ_K : Kanalbeweglichkeit, C_{ox} : Gateoxid-Kapazität pro Fläche, W_{eff} :

effektive Kanalweite, L_{eff} : effektive Kanallänge und V_{Th} : Einsatzspannung.

Unter Berücksichtigung des spannungsabhängigen source-seitigen Widerstandes R_S des Transistors vom Verarmungstyp wird Gl. (5.10) nach Goo et al. zu

$$I_D^{with} \approx \mu_K \cdot C_{ox} \cdot \frac{W_{eff}}{L_{eff}} \cdot [(V_{GS} - R_S \cdot I_D^{with}) - V_{Th}] \cdot [V_{DS} - R_S \cdot I_D^{with}] \quad (5.11)$$

Durch Einsetzen von Gl. (5.10) in (5.11) erhält man mit der Näherung $V_{GS} - V_{Th} \gg V_{DS} \gg R_S \cdot I_D^{with}$

$$I_D^{with} = \frac{I_D^{without}}{1 + \mu_K \cdot C_{ox} \cdot \frac{W_{eff}}{L_{eff}} \cdot R_S \cdot (V_{GS} - V_{Th})} \quad (5.12)$$

Der sourceseitige Serienwiderstand (drainseitig während Stress) wird approximiert als

$$R_S \approx \frac{1}{\mu^{n-} \cdot C_{ox} \cdot \frac{W_{eff}^{n-}}{L_{eff}^{n-}} \cdot (V_{GS} - V_{Th}^{n-})} \quad (5.13)$$

mit μ^{n-} : Beweglichkeit in der n^- -Region, W_{eff}^{n-} und L_{eff}^{n-} : effektive Weite und Länge der n^- -Region und V_{Th}^{n-} : Einsatzspannung der n^- -Region. Einsetzen von Gl. (5.13) in Gl. (5.12) ergibt

$$I_D^{with} = \frac{I_D^{without}}{1 + K} \quad (5.14)$$

mit

$$K = \frac{\mu_K \frac{W_{eff}}{L_{eff}} (V_{GS} - V_{Th})}{\mu^{n-} \frac{W_{eff}^{n-}}{L_{eff}^{n-}} (V_{GS} - V_{Th}^{n-})} \quad (5.15)$$

K beschreibt das Verhältnis des Leitwertes der Kanalregion zum Leitwert der n^- -Region. Unter Verwendung von Gleichung (5.9) erhält man dann

für die relative Änderung von I_D^{with}

$$\frac{\Delta I_D^{with}}{I_D^{0,with}} = \frac{C_3 \cdot t^n}{1 + C_4 \cdot t^n} \quad (5.16)$$

mit $C_3, C_4 = f(K_0, \delta, \gamma)$ ($K_0 = K(t = 0)$). Gleichung (5.16) konvergiert für große Stresszeiten gegen den Grenzwert $\frac{C_3}{C_4}$ und geht für kleine Stresszeiten in das bekannte Potengesetz über. Es ist deshalb im Gegensatz zu den Modellen von Hu und Takeda in der Lage, das Sättigungsverhalten der Degradation von LDD-Transistoren bei elektrischer Belastung zu beschreiben.

Modell von Dreesen et al. [Dre99]

In der Arbeit von Goo et al. wird der Beschleunigungsfaktor der Degradation bestimmt, indem die Degradationscharakteristiken der verschiedenen Belastungsspannungen durch die Einführung eines Wichtungsfaktors manuell so lange auf der Zeitachse verschoben werden, bis sie aufeinanderliegen. Die Integration des analytischen Ausdrucks für den Beschleunigungsfaktor (Gleichung 5.8) in die Modellgleichung ist deshalb ein wesentlicher Aspekt der von Dreesen et al. 1999 veröffentlichten überarbeiteten Version des Goo-Modells für LDD-MOSFETs. Wie im Goo-Modell werden Kanalbereich und drainseitige Spacerregion als Serienschaltung je eines Transistors vom Anreicherungstyp und vom Verarmungstyp betrachtet, von denen lediglich der Transistor vom Verarmungstyp degradiert. Anders als im Goo-Modell, bei welchem bei Messung Source und Drain vertauscht sind, wird der einer Degradation unterworfenen Transistor sowohl bei Belastung als auch bei Messung stets drainseitig betrieben. Für den Strom durch die Gesamtanordnung beider Transistoren gilt dann für kleine V_{DS}

$$I_D^{with} \approx \mu_K \cdot C_{ox} \cdot \frac{W_{eff}}{L_{eff}} \cdot (V_G - V_{Th}) \cdot (V_{DS} - R_D \cdot I_D^{with}). \quad (5.17)$$

Für den „nackten“ Transistor gilt weiterhin

$$I_D^{without} \approx \mu_K \cdot C_{ox} \cdot \frac{W_{eff}}{L_{eff}} \cdot (V_G - V_{Th}) \cdot V_{DS}. \quad (5.18)$$

Durch Umformung und Einsetzen von Gl. (5.18) in Gl. (5.17) erhält man

$$I_D^{with} = \frac{I_D^{without}}{1 + \mu_K \cdot C_{ox} \cdot \frac{W_{eff}}{L_{eff}} \cdot R_D \cdot (V_G - V_{Th})}. \quad (5.19)$$

Dies ist analog zu Gl. (5.12), erfordert im Gegensatz zu [Goo95] jedoch nicht die Näherung $V_{DS} \gg R_D \cdot I_D^{with}$. Der Widerstand R_D der n^- -Region wird weiterhin näherungsweise beschrieben durch

$$R_D \approx \frac{1}{\mu^{n-} \cdot C_{ox} \cdot \frac{W_{eff}^{n-}}{L_{eff}^{n-}} \cdot (V_G - V_{Th}^{n-})} \quad (5.20)$$

und führt analog zu [Goo95] zu

$$I_D^{with} = \frac{I_D^{without}}{1 + \tilde{K}} \quad (5.21)$$

mit

$$\tilde{K} = \frac{\mu_K \frac{W_{eff}}{L_{eff}} (V_G - V_{Th})}{\mu^{n-} \frac{W_{eff}^{n-}}{L_{eff}^{n-}} (V_G - V_{Th}^{n-})}. \quad (5.22)$$

Während bei der Beschreibung der Strom-Spannungs-Charakteristik im drainseitigen Spacer wie bei Goo die einfache Transistorgleichung benutzt wird, so wird dieser bei der Beschreibung der Sättigung von μ^{n-} als Parallelschaltung von n ohmschen Widerständen R_1 bis R_n modelliert, deren Gesamtwiderstand als R_{eq} bezeichnet wird. Der Widerstand R_1 , der unmittelbar an die Si/SiO₂-Grenzfläche angrenzt, steigt dabei bei Schädigung der Grenzfläche am meisten an, der am weitesten entfernte Widerstand R_n erfährt keine Änderung, so dass sich schließlich bei anhaltender Belastung der Gesamtwiderstand der Anordnung einem Grenzwert annähert. Die Änderung von μ^{n-} wird deshalb bei Dreesen formuliert als

$$\frac{\mu^{n-}(t)}{\mu_0^{n-}} = \frac{R_{eq}(t=0)}{R_{eq}(t=\infty)} + \frac{1 - \frac{R_{eq}(t=0)}{R_{eq}(t=\infty)}}{1 + C_5 \cdot N_{it}}. \quad (5.23)$$

Unter der Annahme, dass der Degradationsmechanismus in der n^- -Region des LDD-Transistors der Gleiche ist wie im konventionellen MOSFET gelten für N_{it} die Gleichungen (5.7) und (5.8). Damit wird Gl. (5.16) zu

$$\frac{\Delta I_D}{I_D^0} = \frac{C_7 \cdot [t \cdot \frac{I_D}{W_{eff}} \cdot (\frac{I_{sub}}{I_D})^{\frac{\varphi_{it,e}}{\varphi_{ii}}}]^n}{1 + C_8 \cdot [t \cdot \frac{I_D}{W_{eff}} \cdot (\frac{I_{sub}}{I_D})^{\frac{\varphi_{it,e}}{\varphi_{ii}}}]^n} \quad (5.24)$$

mit

$$C_7 = \frac{C_6 \cdot \tilde{K}(t=0) \cdot (\frac{R_{eq}(t=0)}{R_{eq}(t=\infty)} - 1)}{1 + \tilde{K}(t=0)} \quad (5.25)$$

und

$$C_8 = \frac{C_6 \cdot (\frac{R_{eq}(t=0)}{R_{eq}(t=\infty)} + \tilde{K}(t=0))}{1 + \tilde{K}(t=0)}. \quad (5.26)$$

Durch gemeinsames Fitten eines Satz von Degradationscharakteristiken bei verschiedenen erhöhten Drainspannungen mit der Modellgleichung (5.24) unter Verwendung von Messwerten für I_{sub} und I_D erhält man Werte für die Modellparameter C_7 , C_8 , n und $\varphi_{it,e}/\varphi_{ii}$, aus welchen die Degradationscharakteristiken bei niedriger Belastungsspannung im Feld extrapoliert werden können [Dre99, Dre01].

Die ursprünglich für LDD-Transistoren entwickelten Modelle von Goo und Dreesen haben in jüngster Vergangenheit auch Anwendung in der Modellierung des Degradationsverhaltens von Lateralen DMOS-Transistoren gefunden [Moe05, Moe07, Che09, Rie10], die das für drainerweiterte Transistoren typische Sättigungsverhalten der Degradationscharakteristiken aufweisen. Eine fundierte physikalische Begründung der Anwendbarkeit der dem Dreesen- bzw. Goo-Modell zugrundeliegenden Annahmen für LDD-Transistoren auf LD MOSFETs steht jedoch noch aus. Im folgenden Abschnitt wird deshalb Gleichung (5.24) aus wesentlich einfacheren, allgemeingültigen Annahmen hergeleitet und so auch für die Anwendung auf LD MOSFETs gerechtfertigt.

5.1.2 Neues Modell

Bei der Anwendung des Dreesen- bzw. des Goo-Modells auf LDMOSFETs tritt folgende Problematik auf: Einerseits stellt die Beschreibung des sich an den Kanal anschließenden niedrig dotierten n^- -Bereichs als Transistor vom Verarmungstyp mittels der einfachen Transistorgleichung in Gl. (5.13) eine sehr starke Vereinfachung dar. Ein genaueres Bild ist die Beschreibung der n^- -Region als Parallelschaltung von zwei Widerständen, einem „Spreading-Widerstand“ und einem „Akkumulationswiderstand“ (nach [Gon97]). Dabei stellt der Stromfluss durch den Akkumulationswiderstand den Anteil I_{acc} des Stroms dar, der durch die durch die Gatespannung induzierte wenige nm dicke Akkumulationsschicht fließt. Dem gegenüber steht der Anteil I_{spr} des Stroms, der durch den Spreading-Widerstand fließt. Dieser repräsentiert den Widerstand der gesamten n^- -Region abzüglich der sich bei $V_G > V_{fb}$ (V_{fb} : Flachbandspannung der n^- -Region) ausbildenden Akkumulationsschicht. Diese Beschreibung ist gültig im LDD-Transistor und im LDMOSFET, auch wenn im LDMOSFET sowohl die Dicke des Oxids als auch die Breite der n^- -Region räumlich stark variieren.

Des Weiteren wurde bei den beiden Vorgängermodellen für LDD-Transistoren die Näherung gemacht, dass durch die starke Gatekopplung bei hinreichender Gatespannung der Einfluss von Grenzflächenladungen auf die Dichte freier Ladungsträger in der Akkumulationsschicht so klein ist, dass er vernachlässigt werden kann. Beim LDMOSFET gilt diese Näherung jedoch nicht im unteren Teil des Birdsbeak, wo das Oxid schon sehr dick ist und auch endliche Grenzflächenladung signifikanten Einfluss auf die Dichte freier Ladungsträger an der Grenzfläche hat. Im Folgenden wird deshalb die Modellgleichung (5.24) aus allgemeingültigen Prinzipien unter Berücksichtigung der Änderung sowohl der Ladungsträgerbeweglichkeit als auch der Ladungsträgerdichte unter dem Einfluss von Ladungsaufbau an der Si/SiO₂-Grenzfläche hergeleitet.

Der Gesamtstrom I_D^0 durch die niedrig dotierte n^- -Drainerweiterung des unbelasteten LDMOSFETs während der Messung des Stroms im linearen Bereich bei kleiner Drainspannung, z. B. zur Bestimmung des Einschaltwiderstands R_{on} , sei definiert als die Summe der Ströme I_{acc}^0 und I_{spr}^0 : I_{acc}^0 bezeichnet den Anteil des Gesamtstroms, der vor Belastung durch die sich direkt an die Si/SiO₂-Grenzfläche anschließende Akkumulationsschicht fließt. I_{spr}^0 hingegen beschreibt den Strom durch die gesamte auch grenzflächenferne Bereiche einschließende n^- -Region unter Ausschluss des Stroms

durch die durch die Gatespannung induzierte Akkumulationsschicht vor Belastung. Es gilt also für den Gesamtstrom I_D^0 durch die n^- -Region:

$$I_D^0 = I_{acc}^0 + I_{spr}^0. \quad (5.27)$$

Die Änderung von I_{spr} mit zunehmender Belastungsdauer durch Ladungsaufbau an der Si/SiO₂-Grenzfläche ist vernachlässigbar, da die Breite der n^- -Region viel größer ist als die Abschirmlänge der Grenzflächenladung l_{Debye} , welche beim untersuchten LDMOSFET im Bereich der Akkumulationsregion und des kanalseitigen Birdsbeak nur wenige nm beträgt. In einer einfachen Näherung gilt für I_{spr} :

$$I_{spr} = \mu_B \cdot \frac{W_{eff}}{L_{eff}} \cdot x_{eff} \cdot N_{eff} \cdot V_{DS'} \quad (5.28)$$

mit μ_B : Bulk-Beweglichkeit, x_{eff} : mittlere Breite der für Elektronentransport zur Verfügung stehenden nicht-verarmten n^- -Region und N_{eff} : mittlere Dotierung der n^- -Region (Leitfähigkeit beruht anders als in der Akkumulationsschicht auf den durch Ionisation freigesetzten Elektronen der Donatoratome [Gon97]). Im Gegensatz hierzu reagiert aufgrund der geringen Ausdehnung der Akkumulationsschicht von wenigen nm der Strom I_{acc} sehr sensitiv auf Ladungsaufbau an der Si/SiO₂-Grenzfläche bzw. im grenzflächennahen Oxid. Unter Verwendung der Charge-Sheet-Näherung erhält man nach [Gon97] für den Stromfluss durch die Akkumulationsschicht.

$$I_{acc}(V_{GS'}) = \mu_S \cdot C_{ox} \cdot \frac{W_{eff}}{L_{eff}} \cdot (V_{GS'} - V_{fb}) \cdot V_{DS'} \quad (5.29)$$

mit μ_S : mittlere Beweglichkeit in der Akkumulationsschicht, C_{ox} : mittlere Kapazität des Oxids pro Fläche. $V_{GS'}$ und $V_{DS'}$ stellen die um den Spannungsabfall über dem Kanal reduzierte Gate-Source-Spannung bzw. Drain-Source-Spannung dar. Schädigung der Grenzfläche durch das Einfangen von Ladungen im grenzflächennahen Oxid bzw. durch die Generation von Grenzflächenzuständen führt zur Erniedrigung der Ladungsträgerbeweglichkeit an der Grenzfläche, da die zusätzlichen Ladungen die durch Coulomb-Streuung bedingte Streurrate erhöhen. Die Änderung von μ_S durch Ladungsaufbau an der Si/SiO₂-Grenzfläche (Q: Ladung pro Fläche) wird nach dem empirischen Modell von Sun und Plummer [Sun80a] beschrieben

durch

$$\mu_S^1 = \frac{\mu_S^0}{1 + \eta \cdot Q}. \quad (5.30)$$

Um eine Reduktion von μ_S bei zunehmender Degradation in Gl. (5.30) zu erzielen, muss der Modellparameter $\eta > 0$ sein, falls die durch Degradation bedingte zusätzliche Ladung an der Si/SiO₂-Grenzfläche insgesamt positiv ist. Im Falle, dass diese negativ ist, ist $\eta < 0$ zu wählen. Für den in dieser Arbeit untersuchten LDMOSFET konnte in Kapitel 4.2 das Vorliegen eines mit negativem Ladungsaufbau einhergehenden Degradationsmechanismus innerhalb des für die Modellierung relevanten Spannungsbereichs plausibel gemacht werden, so dass hier $\eta < 0$ gilt. Der Ausdruck (5.30) wurde bereits in einer modifizierten Form in den Modellen von Goo und Dreesen zur Ableitung der Gleichungen (5.16) bzw. (5.24) angewendet. Zu deren Herleitung musste jedoch die ursprüngliche Gleichung um einen Vorfaktor erweitert werden, um zu verhindern, dass die Beweglichkeit für starke Schädigung gegen 0 geht. Da es sich hierbei jedoch um eine ausgeprägt heuristische Vorgehensweise handelt, wird in diesem neuen Modell darauf verzichtet. Die Vorgängermodelle von Goo und Dreesen berücksichtigen darüber hinaus nicht den Einfluss von Grenzflächenzuständen bzw. Oxidladungen auf die Dichte der Elektronen in der Akkumulationsschicht, deren Änderung sich ebenfalls auf die Leitfähigkeit und damit auf die Degradation des Stroms im linearen Bereich auswirkt. Dies wird durch eine Vernachlässigbarkeit des Einflusses von Ladungsaufbau auf die Ladungsträgerdichte bei hoher Gatespannung begründet [Goo94]. Diese Näherung ist jedoch nur sinnvoll bei kleinen Oxiddicken über der Akkumulationsregion wie etwa dem LDD-Transistor. Im vorliegenden LDMOSFET hat sie jedoch keine Berechtigung, da im Bereich hoher Oxiddicke unter dem LOCOS die Ladungsträgerdichte in der Akkumulationsschicht im Vergleich zu Bereichen kleiner Oxiddicke stark reduziert ist und deshalb dort der Einfluss von Grenzflächenzuständen und Oxidladungen auf die Ladungsträgerdichte im Akkumulationskanal nicht mehr vernachlässigbar klein ist. In diesem Modell wird deshalb der Einfluss von Ladungsaufbau auf die Elektronendichte in die Ableitung der Modellgleichung explizit miteinbezogen, welcher sich ausdrückt in einer Verschiebung der Flachbandspannung V_{fb} . Unter der Annahme, dass sämtliche Ladungen (geladene Grenzflächenzustände und eingefangene Ladungen in Fehlstellen im Oxid) direkt an der Grenzfläche positioniert sind (Charge-Sheet-Näherung), gilt für die Änderung der Flachbandspannung

nach [Sze07]

$$\Delta V_{fb} = -\frac{Q}{C_{ox}}. \quad (5.31)$$

Für $Q < 0$ ergibt sich somit eine Erhöhung der Flachbandspannung. Sind I_D^0 und I_D^1 die Drainströme vor und nach der Belastungsdauer t , so gilt für die relative Änderung des Stroms ΔI_D

$$\frac{\Delta I_D}{I_D^0} = \frac{I_D^1 - I_D^0}{I_D^0} = \frac{I_{acc}^1 - I_{acc}^0}{I_{acc}^0 + I_{spr}^0}. \quad (5.32)$$

Unter der Annahme, dass Belastung ausschließlich zur Änderung der Parameter μ_S und V_{fb} führt, wird Gl. (5.32) zu

$$\frac{\Delta I_D}{I_D^0} = \frac{(V_{GS'} - V_{fb}^1)\mu_S^1 - (V_{GS'} - V_{fb}^0)\mu_S^0}{(V_{GS'} - V_{fb}^0)\mu_S^0 + \frac{N_{eff}x_{eff}}{C_{ox}}\mu_B}. \quad (5.33)$$

Durch Einsetzen der Gln. (5.30) und (5.31) in Gl. (5.33) ergibt sich nach einigen Umformungen

$$\frac{\Delta I_D}{I_D^0} = \frac{\frac{1}{C_{ox}} - (V_{GS'} - V_{fb}^0) \cdot \eta}{(V_{GS'} - V_{fb}^0) + \frac{N_{eff}x_{eff}}{C_{ox}} \cdot \frac{\mu_B}{\mu_S^0}} \cdot \frac{Q}{1 + \eta Q} \quad (5.34)$$

Unter der Annahme, dass der Degradationsmechanismus der Gleiche ist wie im konventionellen Standard-MOSFET, wird zur Beschreibung der Zeitabhängigkeit des Ladungsaufbaus Q an der Grenzfläche das Hu-Modell herangezogen

$$Q = C \cdot (\xi(I_{Sub}, I_D) \cdot t)^n = C \cdot \left(\frac{I_S}{W_{eff}} \cdot \left(\frac{I_{Body}}{I_S} \right)^\beta \cdot t \right)^n \quad (5.35)$$

mit $C < 0$. Dabei wird das Hu-Modell folgendermaßen modifiziert: Einerseits wird im Beschleunigungsfaktor ξ zur Beschreibung des aus dem Kanal austretenden Versorgungsstroms statt I_D der Sourcestrom I_S verwendet, da bei den ins Modell eingehenden Arbeitspunkten aufgrund der hohen Löchergeneration durch Stoßionisation im LDMOSFET die im Hu-Modell verwendete Näherung $I_S \approx I_D$ nicht mehr gilt. Der Substratstrom I_{Sub}

heißt beim LDMOSFET Bodystrom I_{Body} . Des Weiteren wird die Beschreibung der Degradation nicht auf die Generation von Grenzflächenzuständen beschränkt, sondern allgemein in Form eines Ladungsaufbaus Q beschrieben, um sowohl die Generation von Grenzflächenzuständen als auch das Einfangen von Ladungsträgern in tiefen Zuständen im Oxid als mögliche Ursachen für die Degradation der Transistorparameter zu integrieren. Zuletzt wird der Exponent $\varphi_{it,e}/\varphi_{ii}$ durch den allgemeinen Fitparameter β ersetzt, da das Modell allgemeingültig sein soll sowohl für einen von Elektronen dominierten als auch für einen von Löchern dominierten Degradationsmechanismus. Im Falle eines elektroneninduzierten Degradationsvorgangs gilt weiterhin

$$\beta := \frac{\varphi_{it,e}}{\varphi_{ii}}. \quad (5.36)$$

Unter Verwendung des Leitungsbandoffsets $E_{CBO}=3.3eV$ nach Bersch et al. [Ber08] für $\varphi_{it,e}$ und des von Hu [Hu85] aus einem Fit extrahierten Wertes für $\varphi_{ii} = 1.3eV$ ergibt sich für β im Falle eines elektroneninduzierten Degradationsmechanismus für β der erwartete Wert $\beta = 2.5$.

Analog zur Herleitung des Beschleunigungsfaktors ξ für elektroneninduzierte Degradation in den Gleichungen (5.3)-(5.8) ergibt sich im Fall eines löcherinduzierten Degradationsvorgang für β nach Bellens et al. [Bel88] der Ausdruck

$$\beta := \frac{\varphi_{it,h} \cdot \lambda_e}{\varphi_{ii} \cdot \lambda_h} + 1. \quad (5.37)$$

$\varphi_{it,h}$ ist dabei die zur Erzeugung von Grenzflächenzuständen durch Löcher bzw. zum Einfangen von Löchern im Oxid notwendige effektive Mindestenergie. Unter der Annahme, dass $\varphi_{it,h}$ in etwa dem Valenzbandoffset E_{VBO} an der Si/SiO₂-Grenzfläche entspricht, gilt nach Bersch et al. [Ber08] $\varphi_{it,h} = E_{VBO} = 4.5eV$. λ_e und λ_h sind die mittleren freien Weglängen in Silizium. Es wird $\frac{\lambda_h}{\lambda_e} = 0.724$ angenommen (nach Tzou et al. [Tzo86]). Für den Fall eines durch die Injektion von Löchern dominierten Degradationsmechanismus ergibt sich für β damit der Wert $\beta = 5.8$. Setzt man Gl. (5.35) in Gl. (5.34) ein, so erhält man die allgemeine Modellgleichung

$$\frac{\Delta I_D}{I_D^0} = - \frac{\tilde{C}_1 \cdot \left(t \cdot \frac{I_S}{W_{eff}} \cdot \left(\frac{I_{Body}}{I_S} \right)^\beta \right)^n}{1 + \tilde{C}_2 \cdot \left(t \cdot \frac{I_S}{W_{eff}} \cdot \left(\frac{I_{Body}}{I_S} \right)^\beta \right)^n}. \quad (5.38)$$

\tilde{C}_1 und \tilde{C}_2 sind gegeben durch

$$\tilde{C}_1 = -C \cdot \frac{C_{ox}^{-1} - (V_{GS'} - V_{fb}^0) \cdot \eta}{(V_{GS'} - V_{fb}^0) + \frac{N_{eff} x_{eff}}{C_{ox}} \cdot \frac{\mu_B}{\mu_S^0}} \quad (5.39)$$

und

$$\tilde{C}_2 = C \cdot \eta. \quad (5.40)$$

Gl. (5.38) hat die gleiche Form wie Gl. (5.24), ist jedoch auch verwendbar für den Fall geringer Gatekopplung in LDD-Transistoren und bei LDMOSFETs, da die Änderung der Ladungsträgerdichte durch Grenzflächenladungen in der Akkumulationsschicht mitberücksichtigt wird. Der kritischste Parameter bzgl. der Degradation durch heiße Ladungsträger beim vorliegenden LDMOSFET ist der Einschaltwiderstand R_{on} . Entwicklung von R_{on} in eine Taylorreihe um den Nullstundenwert I_D^0 bis zum ersten Glied ergibt

$$R_{on}(I_D) \approx R_{on}(I_D^0) + \left. \frac{dR_{on}}{dI_D} \right|_{I_D^0} \cdot \Delta I_D. \quad (5.41)$$

Mit $R_{on} = \frac{V_{DS}}{I_D}$ gilt für die relative Änderung des Einschaltwiderstands $\frac{\Delta R_{on}}{R_{on}^0}$ dann in erster Näherung nach Gl. (5.38)

$$\frac{\Delta R_{on}}{R_{on}^0} \approx -\frac{\Delta I_D}{I_D^0} = \frac{\tilde{C}_1 \cdot \left(t \cdot \frac{I_S}{W_{eff}} \cdot \left(\frac{I_{Body}}{I_S} \right)^\beta \right)^n}{1 + \tilde{C}_2 \cdot \left(t \cdot \frac{I_S}{W_{eff}} \cdot \left(\frac{I_{Body}}{I_S} \right)^\beta \right)^n}. \quad (5.42)$$

Die Modellierung des Degradationsverhaltens des Einschaltwiderstands von LDMOSFETs im DC-Betrieb unter Verwendung von Gl. (5.42) ist Gegenstand des nächsten Abschnitts.

Um das experimentell ermittelte Degradationsverhalten bestmöglich nachzubilden, werden die Messpunkte angefitet. Unter „Fitten“ oder auch „Kurvenanpassung“ versteht man eine Technik, mit der man versucht, eine gegebene mathematische Modellfunktion bestmöglich an Datenpunkte anzupassen [Ker05]. Dazu werden beim sog. „Least-Squares“-Verfahren die Scharparameter der mathematischen Modellfunktion iterativ solange angepasst, bis die Summe der Abstandsquadrate der Funktionswerte von den Datenpunkten minimal wird. Das Degradationsverhalten des LDMOSFETs

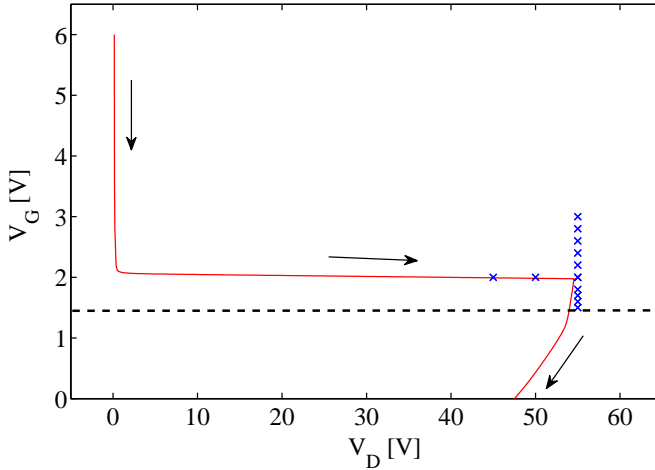


Abbildung 5.2: Rote Linie: Durchlaufene Arbeitspunkte beim spannungsbegrenzten Ausschalten einer induktiven Last (Spectre-Simulation), blaue Kreuze: Belastungsbedingungen der zur Modellierung verwendeten Degradationsmessungen. Es wurden 3 Belastungstests pro Arbeitspunkt durchgeführt.

soll im folgenden Abschnitt in Abhängigkeit von der Belastungsbedingung unter Verwendung der mathematischen Funktion (5.42) modelliert werden. Gleichung (5.42) beschreibt allgemein eine Kurvenschar mit den Scharparametern \tilde{C}_1 , \tilde{C}_2 , β und n . Individuelles Anfitten der Degradationsmessdaten mit jeweils vier Scharparametern ist jedoch problematisch, da drei Parameter ausreichen, um die Scharfunktion $\frac{\Delta R_{on}}{R_{on}^0}$ mit der geringsten quadratischen Abweichung von den Messwerten eindeutig zu definieren. Deshalb wird in einem ersten Schritt der Parameter β extrahiert unter der Annahme, dass es sich hierbei um eine konstante, von der Belastungsbedingung unabhängige Größe handelt. Zu statistischen Zwecken wurden je drei Messungen pro Belastungsbedingung durchgeführt. Die für die Modellierung verwendeten Belastungsbedingungen sind in Abb. 5.2 als blaue Kreuze dargestellt. Weiterhin wird vorausgesetzt, dass sich die Fitparameter \tilde{C}_1 , \tilde{C}_2 und n bei Veränderung der Drainspannung nicht ändern, in Analogie zu [Moe07]. Gemeinsames Anfitten aller bei unterschiedlichen Drainspan-

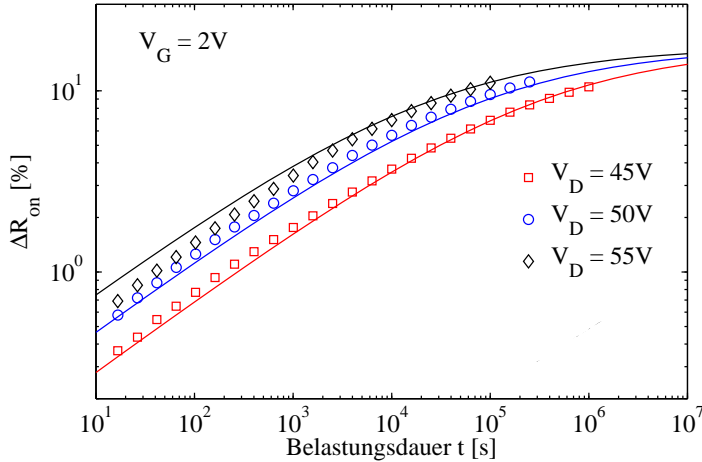


Abbildung 5.3: Symbole: Experimentell ermittelte Degradation von R_{on} für verschiedene Drainspannungen, Linien: Fit unter Verwendung von Gl. (5.42)

nungen gemessenen Degradationsdaten bei $V_G = 2V$ ergibt dann für den Fitparameter β den Wert $\beta = 2.8$. In Abb. 5.3 ist für jede Stressbedingung exemplarisch das gemessene Degradationsverhalten durch Symbole dargestellt. Man sieht, dass die Fitfunktion (Linien) die Messdaten insbesondere für lange Stresszeiten sehr gut beschreibt. Der extrahierte Wert für β ist ein guter Indikator dafür, dass es sich, wie bereits in Kap. 4.2 gefolgert, beim Degradationsvorgang im untersuchten Spannungsbereich um einen elektroneninduzierten Degradationsvorgang handelt. Dies erhält man durch Vergleich der erwarteten Werte für β : Für einen elektroneninduzierten Degradationsvorgang gilt demnach $\beta = 2.5$ und für einen löcherinduzierten Degradationsvorgang $\beta = 5.8$. Somit entspricht der durch das Anfitzen der gemessenen Degradationscharakteristiken ermittelte Wert für β in etwa dem erwarteten Wert für Elektronen und stützt somit die Ergebnisse der Untersuchungen in Kap. 4.2.

Ist β bekannt, so können in einem weiteren Schritt die Degradationscharakteristiken bei $V_D = 55V$ bei verschiedenen Gatespannungen V_G separat angefitzt werden. In Abb. 5.4 sind einige der experimentell ermittelten

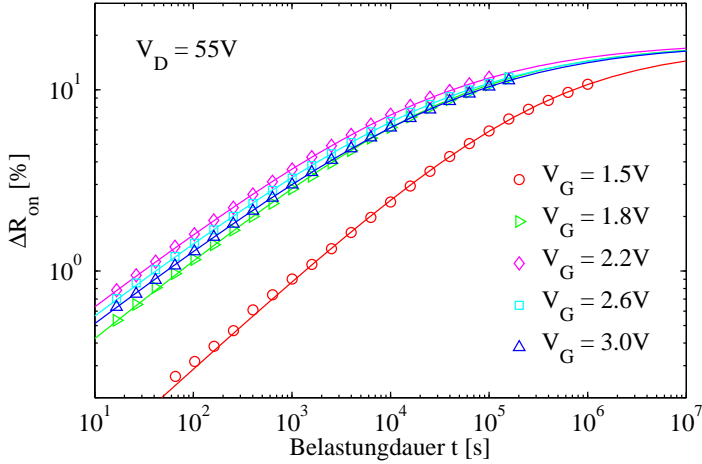


Abbildung 5.4: Punkte: Experimentell ermittelte Degradation des Einschaltwiderstandes R_{on} für verschiedene Gatespannungen, Linien: Fit

Degradationscharakteristiken für $\frac{\Delta R_{on}}{R_{on}^0}$ im Bereich $1.5V \leq V_G \leq 3.0V$ ($V_D = konst. = 55V$) als Symbole und die zugehörigen Fitfunktionen als durchgezogene Linien dargestellt. Die Modellparameter $\tilde{C}_1(V_G)$ und $n(V_G)$ sind in Abb. 5.5 gegen die Belastungsspannung V_G aufgetragen. Der Kurvenverlauf ähnelt stark dem in Referenz [Moe07]. Sowohl $\tilde{C}_1(V_G)$ als auch $n(V_G)$ können mit einer Exponentialfunktion beschrieben werden. Somit ist es möglich, jeder beliebigen Gatespannung V_G im definierten Bereich einen Wert für \tilde{C}_1 und n zuzuordnen. Dies ist von großer Bedeutung bei der Modellierung des Degradationsverhaltens im gepulsten Betrieb, da in diesem Fall V_G eine kontinuierliche Funktion der Zeit ist. Das Sättigungsniveau \tilde{C}_1/\tilde{C}_2 ist konstant bei 18%. Zuletzt bleibt zu erwähnen, dass beim vorliegenden Modell I_{Body} und I_{Source} zur Vereinfachung als zeitunabhängige Größen betrachtet werden, obwohl auch sie mit zunehmender Stresszeit einer gewissen zeitlichen Änderung unterliegen (vgl. hierzu die gemessene Änderung des Bodystroms eines bauähnlichen Transistors in Abb. 4.7 in Abschnitt 4.2.3).

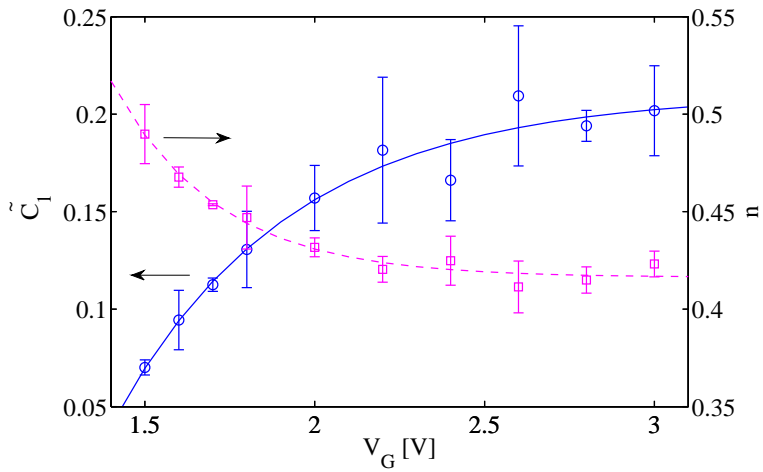


Abbildung 5.5: Verlauf der Fitparameter als Funktion von V_G während der Belastung. \tilde{C}_1/\tilde{C}_2 ist konstant bei $\tilde{C}_1/\tilde{C}_2 = 18\%$.

5.2 Modellierung des Degradationsverhaltens im gepulsten Modus

5.2.1 Numerisches Verfahren

In einem weiteren Schritt soll nun ein Verfahren entwickelt werden, das die Vorhersage des Degradationsverhaltens in einem dynamischen Belastungsmodus, d. h. bei zeitlich veränderlicher Drain- bzw. Gatespannung, aus dem im vorhergehenden Abschnitt entwickelten DC-Modell erlaubt. Es setzt voraus, dass Degradation im dynamischen Betriebsmodus quasi-stationär ist, d. h. dass die während eines Pulses durchlaufenen Arbeitspunkte als eine Abfolge von quasi-stationären Belastungsmodi betrachtet werden können, während derer die Degradation des LDMOSFETs gleich der Degradation im korrespondierenden DC-Belastungsmodus ist. Des Weiteren wird vorausgesetzt, dass sich die räumliche Verteilung und der Mechanismus der

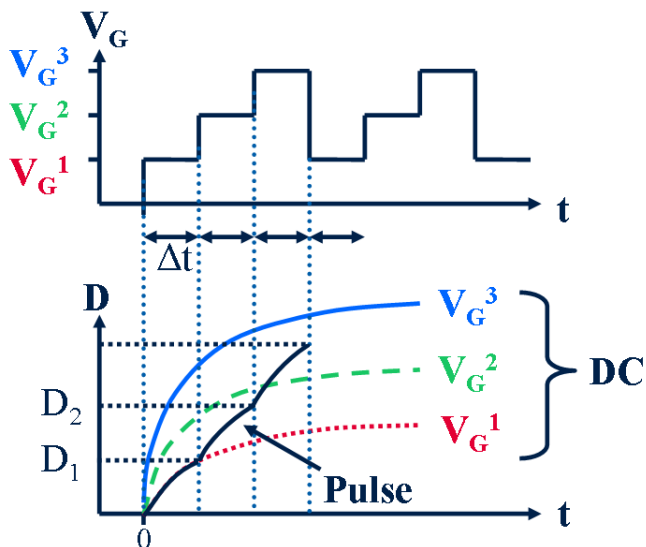


Abbildung 5.6: Schematische Skizzierung des Verfahrens zur Modellierung der Degradation im dynamischen Betriebsmodus aus DC-Degradationsdaten

Grenzflächen- bzw. Oxidschädigung während der dynamischen Belastung nicht ändert. Dies ist in diesem Fall gewährleistet, da die Gatespannung während des spannungsbegrenzten Schaltens einer induktiven Last 3V nicht überschreitet und deshalb laut den Untersuchungsergebnissen in den Kapiteln 4.2.4 und 4.2.3 während eines Pulses einerseits keine Verschiebung des Ortes maximaler Ladungsträgerinjektion stattfindet und andererseits auch keine Hinweise auf einen Wechsel der hauptsächlich zur Degradation beitragenden Ladungsträgerart gefunden wurden. Es kann also davon ausgegangen werden, dass Degradation bei allen während eines Pulses durchlaufenen Arbeitspunkten durch Elektroneninjektion zum Ladungsaufbau an bzw. in der Nähe der Si/SiO₂-Grenzfläche im unteren Teil des kanalseitigen Birdsbeak dominiert wird. Degradation des vorliegenden LDMOSFETs ist also sowohl im DC- als auch gepulsten Modus ein kumulativer Prozess, dessen Zeitabhängigkeit eine Funktion der anliegenden Spannungen ist. Degradation im gepulsten Modus kann deshalb bei Kenntnis der Zeitabhängigkeit der Degradation bei den verschiedenen durchlaufenen quasi-stationären Belastungsbedingungen durch Aufaddieren der während der durchlaufenen Arbeitspunkte entstandenen Beiträge zur Gesamtschädigung berechnet werden.

Das Grundkonzept dieses Verfahrens ist in Abb. 5.6 schematisch dargestellt. Das obere Bild zeigt dabei exemplarisch eine sich wiederholende einfache Abfolge der drei Belastungsbedingungen V_G^1 , V_G^2 und V_G^3 , deren Dauer jeweils Δt beträgt. Im unteren Bild sind die drei zu den Belastungsbedingungen gehörenden Degradationscharakteristiken im Gleichspannungsbetrieb auf einer linearen Skala dargestellt. Hier wird deutlich, dass die Degradation pro Zeit beim unbelasteten Bauelement zuerst sehr schnell vor sich geht und mit zunehmender Belastungsdauer immer mehr abnimmt. Daraus folgt, dass die Degradation pro Zeit $\partial D/\partial t$ zu jedem Zeitpunkt t bei gleichbleibenden Randbedingungen eine Funktion des zu diesem Zeitpunkt bereits vorliegenden Schädigungsniveaus ist. Des Weiteren ist, wie in Abb. 5.6 dargestellt, $\partial D/\partial t$ abhängig von den Belastungsspannungen V_G und V_D . Die Schädigung des Transistors wird im Folgenden als Schädigungsniveau

$$D := \frac{\Delta R_{on}}{R_{on}^0} \quad (5.43)$$

beschrieben. Der zeitliche Verlauf von D im DC-Betrieb sei definiert durch Gl. (5.42) in Kap. 5.1.2. Dann gilt bei $V_D, V_G = \text{const.}$ für die Degradation

pro Zeit $\partial D/\partial t$

$$\frac{\partial D}{\partial t} = \frac{\tilde{C}_1 \cdot \xi^n \cdot n \cdot t^{n-1}}{(1 + \tilde{C}_2 \cdot (\xi \cdot t)^n)^2} \quad (5.44)$$

mit

$$\xi = \frac{I_S}{W} \cdot \left(\frac{I_{Body}}{I_S} \right)^\beta \quad (5.45)$$

Das untere Bild in Abb. 5.6 zeigt weiterhin schematisch, wie die verschiedenen Beiträge der durchlaufenen Belastungsmodi zur Gesamtdegradation im dynamischen Betrieb aufzusummieren sind. Während des allerersten Belastungsintervalls befindet sich der LD MOSFET im Modus V_G^1 . Seine Degradation folgt deshalb der DC-Degradationscharakteristik V_G^1 und erreicht nach Δt das Schädigungsniveau D_1 . Während des zweiten Belastungsintervalls im Belastungsmodus V_G^2 folgt der Transistor der DC-Degradationscharakteristik V_G^2 , wobei der Startpunkt nicht etwa Δt , sondern das Schädigungsniveau D_1 ist, da wie oben begründet die Degradation pro Zeit eine eindeutige Funktion der zu diesem Zeitpunkt bereits vorliegenden Schädigung ist. Deshalb ist das Schädigungsniveau D im dynamischen Betriebsmodus eine bessere Variable als t zur Beschreibung des Degradationsvorgangs. Auflösen von Gl. (5.42) nach t und Einsetzen in Gl. (5.44) ergibt für $\partial D/\partial t$

$$\frac{\partial D}{\partial t} = \frac{\tilde{C}_1 \cdot \xi^n \cdot n \cdot \left(\frac{D}{\tilde{C}_1 \cdot \xi^n - D \cdot \tilde{C}_2 \cdot \xi^n} \right)^{\frac{n-1}{n}}}{\left(1 + \tilde{C}_2 \cdot \xi^n \cdot \left(\frac{D}{\tilde{C}_1 \cdot \xi^n - D \cdot \tilde{C}_2 \cdot \xi^n} \right) \right)^2} \quad (5.46)$$

Da $\tilde{C}_1(V_G)$, $\tilde{C}_2(V_G)$, $n(V_G)$ und $\xi(V_G, V_D)$ je nach Pulsform komplizierte Zeitabhängigkeiten aufweisen, kann die Differentialgleichung (5.46) nicht analytisch gelöst werden. Stattdessen wurde ein numerischer Ansatz zur Berechnung des Schädigungsniveaus bei Belastung im dynamischen Belastungsmodus verwendet: Für kleine Zeiten gilt unter ausschließlicher Berücksichtigung des partiellen Integrals $\frac{\partial D}{\partial t}$ näherungsweise

$$D(t + \Delta t) \approx D(t) + \frac{\partial D}{\partial t}(D(t), V_G(t), V_D(t)) \cdot \Delta t \quad (5.47)$$

Bei Kenntnis der während eines Pulses durchlaufenen Arbeitspunkte und den zugehörigen Werten für $I_S(V_G, V_D)$ und $I_{Body}(V_G, V_D)$ sowie der ent-

sprechenden DC-Modellparameter $\tilde{C}_1(V_G)$, $\tilde{C}_2(V_G)$, $n(V_G)$ sowie β kann aus den Gln. (5.46) und (5.47) die Degradation des Einschaltwiderstands R_{on} nach einer beliebigen Zahl von Pulsen berechnet werden. Erholungseffekte des LDMOSFETs zwischen den Pulsen können bei der Berechnung vernachlässigt werden (vgl. Kapitel 4.3).

In Abb. 5.7 ist die modellierte Degradationscharakteristik als Funktion der Gesamtzahl der Pulse dargestellt (durchgezogene rote Linie). Dabei wurden zur Modellierung für $V_G(t)$ und $V_D(t)$ die zeitlichen Spannungsverläufe des dynamischen Belastungstestsystems in Abb. 3.7 in Kapitel 3.1.2 verwendet. Die Modellvorhersage wird verglichen mit den experimentell ermittelten Mittelwerten der Degradation von acht parallel gestressten Transistoren, die mit dem in Kap. 3.1.2 vorgestellten Aufbau belastet wurden. Die Fehlerbalken haben jeweils die Breite der doppelten Standardabweichung. Bei den zeitlichen Schwankungen der Mittelwerte der Degradation handelt es sich um systematische Abweichungen, welche durch Fluktuationen der Umgebungstemperatur und somit des temperaturabhängigen Widerstands der Transistoren hervorgerufen wurden. Es ergibt sich jedoch über die Dauer einer gesamten Messreihe eine sehr gute Übereinstimmung von Modellvorhersage und Experiment. Zur Modellvorhersage wurde dabei der in Abb. 3.7 dargestellte Spannungsverlauf von V_D und V_G des Belastungstestsystems verwendet mit $\Delta t = 10\mu s$. Zur Ermittlung der zu den durchlaufenen Arbeitspunkten gehörenden Werte für I_S und I_{Body} wurden engmaschig die zu einer Vielzahl von Arbeitspunkten gehörenden Body- und Sourceströme gemessen, so dass im Rahmen des Simulationsalgorithmus zu jedem in die Modellvorhersage eingehenden Arbeitspunkt die entsprechenden Source- und Bodyströme interpoliert werden konnten.

5.2.2 Analytisches Kompaktmodell

Obwohl der im vorigen Abschnitt vorgestellte Simulationsalgorithmus sehr gute Übereinstimmung mit dem gemessenen Degradationsverhalten zeigt, hat es den entscheidenden Nachteil, dass es sehr CPU-intensiv ist. Deshalb wird im Folgenden ein alternatives Verfahren mit wesentlich reduzierter Rechenzeit vorgestellt, bei welchem jedoch einige Vereinfachungen notwendig sind, wodurch eine etwas schlechtere Übereinstimmung von Modellvorhersage und Experiment erzielt wird. Die Verkürzung des Modells besteht im Wesentlichen aus der Annahme, dass die Fitparameter des zugrundeliegenden DC-Modells \tilde{C}_1 , \tilde{C}_2 und n nicht, wie bisher angenommen, Funktionen

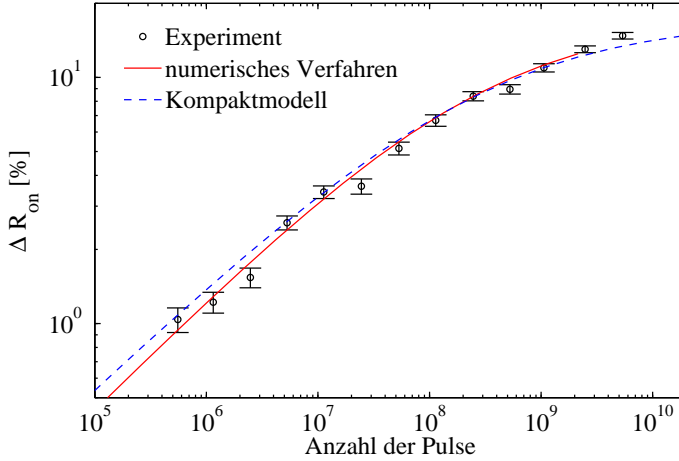


Abbildung 5.7: Symbole: Experimentell ermittelte Degradation des Einschaltwiderstandes bei wiederholtem spannungsbegrenztem Schalten, durchgezogene Linie (rot): Vorhersage numerisches Modellverfahren, gestrichelte (blaue) Linie: Vorhersage Kompaktmodell

der Gatespannung sondern spannungsunabhängig sind. Ein gesamter Fit über alle zur Modellierung beitragenden DC-Degradationscharakteristiken (vgl. Abb. 5.2) ergibt für die Modellparameter dann die folgenden Werte:

\tilde{C}_1	\tilde{C}_1/\tilde{C}_2	n	β
0.13	17%	0.43	2.3

Tabelle 5.1: Extrahierte DC-Modellparameter unter Vernachlässigung der Spannungsabhängigkeit

Damit ist der einzige Parameter, der durch eine Variation der Belastungsbedingungen eine Änderung erfährt, der Beschleunigungsfaktor $\xi(V_G, V_D)$. Dieser stellt ein Maß für die Geschwindigkeit der Degradation dar. Bei

DC-Belastung gilt dann für eine Schädigung D (z. B. $\Delta R_{on}/R_{on}^0$):

$$D = f(\xi(V_G, V_D) \cdot t) := f(\text{age}_{DC}) \quad (5.48)$$

mit

$$\text{age}_{DC}(t) := \xi(V_G, V_D) \cdot t \quad (5.49)$$

(nach [DS06]). Da $\xi(V_G, V_D)$ die Rate heißer Ladungsträger angibt, beschreibt „age (t)“ die Zahl der heißen Ladungsträger, welche den Transistor zum Zeitpunkt t bereits insgesamt durchquert und somit potentiell zur Schädigung beigetragen haben. Im Betrieb mit zeitlich veränderlichen Belastungsspannungen kann „age(t)“ ebenfalls definiert werden. Da die Rate heißer Ladungsträger hier jedoch ebenfalls zeitlich veränderlich ist, wird „age“ allgemein beschrieben durch

$$\text{age}(t) := \int_0^t \xi(V_G(\tilde{t}), V_D(\tilde{t})) d\tilde{t} \quad (5.50)$$

und für die Schädigung D gilt

$$D = f(\text{age}(t)) = f\left(\int_0^t \xi(V_G(\tilde{t}), V_D(\tilde{t})) d\tilde{t}\right). \quad (5.51)$$

(nach [DS06]). Gl. (5.42) wird dann im dynamischen Betriebsmodus zu

$$D(t) = \frac{\tilde{C}_1 \cdot (\text{age}(t))^n}{1 + \tilde{C}_2 \cdot (\text{age}(t))^n} = \frac{\tilde{C}_1 \cdot \left(\int_0^t \xi(\tilde{t}) d\tilde{t}\right)^n}{1 + \tilde{C}_2 \cdot \left(\int_0^t \xi(\tilde{t}) d\tilde{t}\right)^n}. \quad (5.52)$$

Für die Gesamtdegradation des Transistors nach N Pulsen der Dauer T gilt dann

$$D(N) = \frac{\tilde{C}_1 \cdot \left(N \cdot \int_0^T \xi(\tilde{t}) d\tilde{t}\right)^n}{1 + \tilde{C}_2 \cdot \left(N \cdot \int_0^T \xi(\tilde{t}) d\tilde{t}\right)^n}. \quad (5.53)$$

Ein Vergleich der Modellvorhersage mit dem in Abschnitt 5.2 vorgestellten

numerischen Modell und dem experimentell ermittelten Degradationsverhalten des LDMOSFETs in Abb. 5.7 ergibt zufriedenstellende Übereinstimmung im Bereich der für die Lebensdaueranforderung des Transistors relevanten Anzahl an Schaltvorgängen.

6 Ausblick

Im Rahmen dieser Arbeit wurden zwei Degradationsmodelle entwickelt, die das Degradationsverhalten von LDMOSFETs bei wiederholtem spannungsbegrenztem Schalten einer induktiven Last abbilden. Dabei wurden sowohl bei den zugrundeliegenden Gleichspannungs-Belastungstests als auch bei den zur Validierung der Modellvorhersage verwendeten dynamischen Belastungstests vergleichsweise kleine Testtransistoren mit einer Gesamtgateweite von $28\mu\text{m}$ verwendet. Des Weiteren waren die Stromdichten während des spannungsbegrenzten Ausschaltens der Induktivität vergleichsweise klein. Aufgrund der daraus resultierenden geringen Temperaturerhöhung konnte der Einfluss unterschiedlicher Eigenerwärmung während den der Modellvorhersage zugrunde liegenden DC-Belastungstests und den dynamischen Belastungstests auf die Modellvorhersage vernachlässigt werden.

Im Produkt liegt die gesamte Gateweite des Transistors jedoch in der Größenordnung von 0.1m , so dass hier die Auswirkung unterschiedlicher Eigenerwärmung bei der Entwicklung eines validen Modells nicht mehr vernachlässigt werden kann. Erschwerend kommt hinzu, dass die Temperatur nicht im gesamten Transistor konstant erhöht ist, sondern räumlich stark fluktuiert. Die Adaption der im Rahmen dieser Arbeit entwickelten Modelle für Transistoren mit großer Gateweite erfordert deshalb unbedingt eine genaue Analyse der orts- und zeitabhängigen Temperaturerhöhung bei Belastung im DC- und im gepulsten Modus und deren Wechselwirkung mit der Transistordegradation.

Einen ersten Schritt hierzu stellt eine detaillierte Analyse der Abhängigkeit des Degradationsvorgangs von der Temperatur dar. Alle in dieser Arbeit vorgestellten Messungen und Simulationen wurden bei Raumtemperatur durchgeführt. Die Transistoren müssen jedoch im Feld in einem Temperaturbereich von -40°C bis 175°C die geforderten Lebensdauerkriterien erfüllen. Dabei ändert sich nicht nur die Degradationsgeschwindigkeit des vorliegenden LDMOSFETs, sondern der Transistor zeigt auch ein von der Temperatur abhängiges Erholungsverhalten. Während dieses bei der für diese Arbeit gewählten Umgebungstemperatur (Raumtemperatur) keinen

signifikanten Einfluss auf die Modellvorhersage zeigt, so muss die Verringerung des Schädigungsniveaus während einer Erholungszeit als Funktion der Temperatur bei der Verallgemeinerung des Modells für einen erweiterten Temperaturbereich evaluiert und gegebenenfalls in das Modell integriert werden.

Abbildungsverzeichnis

2.1	Aufbau des Lateralen DMOS-Transistors. Der Bodyanschluss ist alternierend zum Sourceanschluss in der dritten Dimension realisiert.	8
2.2	Aufbau einer typischen integrierten Schaltung mit LDMOSFETs	8
2.3	Aufbau eines typischen Lastschaltkreises (nach H. Gietler, Infineon Technologies, Villach)	10
2.4	Simulation des Schaltverhaltens eines spannungsbegrenzten LDMOSFETs beim Schalten einer induktiven Last mit Spectre. Die Simulation wurde aufgesetzt von H. Gietler, Infineon Technologies, Villach.	11
3.1	Prinzipieller Ablauf eines elektrischen Belastungstests im Gleichspannungsbetrieb	15
3.2	Schematische Darstellung des Messaufbaus für elektrische DC-Belastungstests	16
3.3	Photographie eines typischen Messaufbaus für elektrische DC-Belastungstests	17
3.4	Photographie des Messaufbaus für dynamische Belastungstests	19
3.5	Blockschaltbild der zentralen Steuereinheit	21
3.6	Blockschaltbild einer Stresseinheit zur Belastung im Repetitive Clamping Modus	22
3.7	Zeitlicher Spannungs- und Stromverlauf während dem spannungsbegrenzten Ausschalten in der Spectre-Simulation und im dynamischen Belastungstestsystem	23
3.8	Emissionsspektrum einer pn-Diode im Avalanche-Durchbruch und die spektrale Response der Si-CCD-Kamera (nach Boit [Boi04])	24
3.9	Schematische Darstellung des Messaufbaus für Photon-Emissions-Mikroskopie (aus [Boi04])	25

3.10	a) Modus 1: Reflexionsaufnahme bei externer Beleuchtung und ausgeschaltetem Transistor, b) Modus 2: Intensitätsverteilung der emittierten Photonen bei eingeschaltetem Transistor, c) Superposition von Reflexionsaufnahme und der Intensitätsverteilung emittierter Photonen (Aufnahmen von C. Feuerbaum, Infineon Technologies, Neubiberg) . . .	25
3.11	Eingangs- und Ausgangsdaten für die Bauelementsimulation bei Sentauros Device [Syn09]	29
4.1	TEM-Aufnahme und Bindungsstruktur der Si/SiO ₂ Grenzfläche [Goo85]	39
4.2	Beispiel für die unterschiedliche Degradation der verschiedenen elektrischen Parameter während eines Belastungstests (bei $V_D = 55\text{V}$, $V_G = 3\text{V}$, $T=25^\circ\text{C}$)	43
4.3	Degradation der Übertragungskennlinie im ohmschen Bereich ($V_D=0.1\text{V}$)	44
4.4	Rote Linie: Durchlaufene Arbeitspunkte beim spannungsbegrenzten Ausschalten einer induktiven Last; Blaue Kreuze: Auf die Degradation bei Belastung durch heiße Ladungsträger hin untersuchte Arbeitspunkte; . . .	48
4.5	Gemessener zeitlicher Verlauf der Degradation des Einschaltwiderstandes als Funktion der Gatespannung bei Raumtemperatur ($T=25^\circ\text{C}$). V_D ist konstant bei $V_D=55\text{V}$. (Die Abbildung zeigt pro Belastungsbedingung das Degradationsverhalten von je zwei LDMOSFETs.)	49
4.6	Gemessene Degradation des Einschaltwiderstandes nach 10^4s Belastungsdauer als Funktion von V_G . V_D ist konstant bei $V_D=55\text{V}$	50
4.7	Gemessene Änderung des Bodystroms während der Belastung bei verschiedenen Gatespannungen bei Raumtemperatur ($T=25^\circ\text{C}$). V_D ist konstant bei $V_D=55\text{V}$. (Die Abbildung zeigt pro Belastungsbedingung das Degradationsverhalten von je zwei LDMOSFETs.)	51
4.8	Simulation mit dem Drift-Diffusions-Modell: Elektrische Feldverteilung im LDMOSFET bei verschiedenen Belastungsbedingungen.	52
4.9	Simulation mit dem Drift-Diffusions-Modell: Stromdichteverteilung für Elektronen im LDMOSFET bei verschiedenen Belastungsbedingungen.	53

4.10	Simulation mit dem Drift-Diffusions-Modell: Stoßionisationsraten im LDMOSFET bei verschiedenen Belastungsbedingungen.	54
4.11	Örtliche Intensitätsverteilung der mit Photon-Emissions-Mikroskopie gemessenen Strahlung bei verschiedenen Belastungsbedingungen. Das Intensitätsmaximum verschiebt sich bei $V_G=5V$ vom kanalseitigen zum drainseitigen Birdsbeak ($V_D=55V$). Aufgrund der spiegelsymmetrischen Anordnung von zwei LDMOSFETs mit einem gemeinsamen Source-Anschluss treten stets mindestens zwei Intensitätsmaxima auf. Die gezeigten Aufnahmen wurden von H. Bourkadi, Infineon Technologies, München, erstellt.	55
4.12	Vergleich der Amplitude von ΔR_{on} nach 10^4s Belastungsdauer mit der gemessenen Bodystromkennlinie. V_D ist konstant bei $V_D=55V$	56
4.13	Monte-Carlo-Simulation: Position maximaler Injektionsstromdichte heißer Elektronen und Löcher bei verschiedenen V_G ($V_D = 55V$). Es werden ausschließlich Akkumulationsregion und kanalseitiger Birdsbeak betrachtet. Die Simulationen wurden erstellt von Prof. C. Jungemann, Universität der Bundeswehr, Neubiberg.	57
4.14	Monte-Carlo-Simulation: Energieverteilung der Injektionsstromdichten von Elektronen (gefüllte Symbole) und Löchern (offene Symbole) an den Orten maximaler Injektion hochenergetischer Ladungsträger bei verschiedenen V_G ($V_D = 55V$). Die Simulationen wurden erstellt von Prof. C. Jungemann, Universität der Bundeswehr, Neubiberg.	58
4.15	Gemessener zeitlicher Verlauf der Degradation des Einschaltwiderstandes als Funktion der Drainspannung bei Raumtemperatur ($T=25^\circ C$). V_G ist konstant bei $V_G=2V$. (Die Abbildung zeigt pro Belastungsbedingung das Degradationsverhalten von je zwei LDMOSFETs.)	62
4.16	Simulation mit dem Drift-Diffusions-Modell: Elektrische Feldverteilung im LDMOSFET bei verschiedenen Belastungsbedingungen.	63
4.17	Simulation mit dem Drift-Diffusions-Modell: Stromdichteverteilung für Elektronen im LDMOSFET bei verschiedenen Belastungsbedingungen.	64

4.18	Simulation mit dem Drift-Diffusions-Modell: Stoßionisationsraten im LDMOSFET bei verschiedenen Belastungsbedingungen.	65
4.19	Örtliche Intensitätsverteilung der mit Photon-Emissions-Mikroskopie gemessenen Strahlung. Vergleich mit dem Transistor-Layout zeigt, daß das Intensitätsmaximum im Rahmen der Messgenauigkeit für alle gemessenen Arbeitspunkte mit der Position des kanalseitigen Birdsbeak übereinstimmt ($V_G=2V$). Durch die spiegelsymmetrische Anordnung von zwei Transistoren sind jeweils zwei Emissionsmaxima zu erkennen. Die Messungen wurden durchgeführt von H. Bourkadi, Infineon Technologies, München. . .	66
4.20	Monte-Carlo-Simulation: Position maximaler Injektionsstromdichte heißer Elektronen und Löcher bei $V_D=35V$, $V_D=45V$ und $V_D=55V$ ($V_G=2V$). Die Simulationen wurden erstellt von Prof. C. Jungemann, Universität der Bundeswehr, Neubiberg.	67
4.21	Monte-Carlo-Simulation: Energieverteilung der Injektionsstromdichten von heißen Elektronen (gefüllte Symbole) und Löchern (offene Symbole) an den Orten maximaler Injektion im Bereich der Akkumulationsregion und des kanalseitigen Birdsbeaks ($V_G=2V$). Die Simulationen wurden erstellt von Prof. C. Jungemann, Universität der Bundeswehr, Neubiberg.	68
4.22	Erholungsverhalten von R_{on} nach Beendigung der elektrischen Belastung (Dauer: 100000s, $V_D=55V$, $V_G=2.0V$) bei Raumtemperatur ($T=25^\circ C$)	71
4.23	Schematische Beschreibung der Problematik der Eigenerwärmung bei Belastungstests im Gleichspannungsbetrieb . .	75
4.24	Thermische Finite-Elemente-Simulation: Temperaturverteilung im Siliziumwafer der Dicke $370\mu m$ bei eingeschaltetem LDMOS mit $P_{Diss} = 0.456W$ (Worst case, d. h. $V_G=7.0V$ und $V_D=55V$). a) Temperaturverteilung im Querschnitt, b) Temperaturverteilung an der Oberfläche der Siliziumscheibe	76
4.25	Ermittlung der Eigenerwärmung als Funktion der dissipierten Leistung im LDMOSFET mit dem thermischen Finite-Elemente-Simulator TESI	77

4.26	Thermische Finite-Elemente-Simulation: Zeitlicher Verlauf der Temperatur des Transistors nach abruptem Abschalten der Wärmequelle am Punkt maximaler Eigenerwärmung ($V_D=55V$, $V_G=7V$)	78
5.1	a) Ort an dem hauptsächlich durch heiße Ladungsträger bedingter Schaden beim konventionellen MOSFET erwartet wird; b) Ort an dem hauptsächlich durch heiße Ladungsträger bedingter Schaden beim LDD-MOSFET erwartet wird [Goo94]	85
5.2	Rote Linie: Durchlaufene Arbeitspunkte beim spannungsbegrenzten Ausschalten einer induktiven Last (Spectre-Simulation), blaue Kreuze: Belastungsbedingungen der zur Modellierung verwendeten Degradationsmessungen. Es wurden 3 Belastungstests pro Arbeitspunkt durchgeführt.	97
5.3	Symbole: Experimentell ermittelte Degradation von R_{on} für verschiedene Drainspannungen, Linien: Fit unter Verwendung von Gl. (5.42)	98
5.4	Punkte: Experimentell ermittelte Degradation des Einschaltwiderstandes R_{on} für verschiedene Gatespannungen, Linien: Fit	99
5.5	Verlauf der Fitparameter als Funktion von V_G während der Belastung. \tilde{C}_1/\tilde{C}_2 ist konstant bei $\tilde{C}_1/\tilde{C}_2 = 18\%$	100
5.6	Schematische Skizzierung des Verfahrens zur Modellierung der Degradation im dynamischem Betriebsmodus aus DC-Degradationsdaten	101
5.7	Symbole: Experimentell ermittelte Degradation des Einschaltwiderstandes bei wiederholtem spannungsbegrenztem Schalten, durchgezogene Linie (rot): Vorhersage numerisches Modellverfahren, gestrichelte (blaue) Linie: Vorhersage Kompaktmodell	105

Tabellenverzeichnis

4.1	Definition der Transistorparameter und der zugehörigen Driftkriterien (DK)	42
5.1	Extrahierte DC-Modellparameter unter Vernachlässigung der Spannungsabhängigkeit	105

Literatur

- [Are04] S. Aresu, W. De Ceuninck, G. Van den bosch, G. Groeseneken, P. Moens, J. Manca, D. Wojciechowski und P. Gassot, *Evidence for source side injection hot carrier effects on lateral DMOS transistors*, Microelectronics Reliability, **44**, S. 1621–1624 (2004).
- [Bal87] B. J. Baliga, *Modern Power Devices*, John Wiley & Sons, New York (1987).
- [Bal91] B. J. Baliga, *An Overview of Smart Power Technology*, IEEE Transactions on Electron Devices, **38**(7), S. 1568–1575 (1991).
- [Bel88] R. Bellens, P. Heremans, G. Groeseneken und H. E. Maes, *A new procedure for lifetime prediction of n-channel MOS-transistors using the charge pumping technique*, Proceedings of the International Reliability Physics Symposium, S. 8–14 (1988).
- [Ber08] E. Bersch, S. Rangan, R. A. Bartynski, E. Garfunkel und E. Vescovo, *Band offsets of ultrathin high- κ oxide films with Si*, Physical Review B 78, S. 085114 (2008).
- [Boi04] C. Boit, *Fundamentals of Photon Emission (PEM) in Silicon - Electroluminescence for Analysis of Electronic Circuit and Device Functionality*, Microelectronics Failure Analysis Desk Reference, S. 356–368 (2004).
- [Bri02] D. Brisbin, A. Strachan und P. Chaparala, *Hot Carrier Reliability of N-LDMOS Transistor Arrays for Power BiCMOS Applications*, Proceedings of the International Reliability Physics Symposium, S. 105–110 (2002).
- [Bri06] D. Brisbin, P. Lindorfer und P. Chaparala, *Substrate current independent hot carrier degradation in NLDMOS Devices*, Proceedings of the International Reliability Physics Symposium, S. 329–333 (2006).
- [Bro90] M. Brox und W. Weber, *Annealing of fixed oxide charge induced by hot-carrier stressing*, 20th European Solid State Device

- Research Conference S. 295–298 (1990).
- [Cha87] K. M. Cham, J. Hui, P. Van de Voorde und H. S. Fu, *Self-Limiting Behavior of Hot Carrier Degradation and its Implication on the Validity of Lifetime Extraction by Accelerated Stress*, Proceedings of the Reliability Physics Symposium, S. 191–194 (1987).
- [Cha95] V.-H. Chan und J. Chung, *Two-Stage Hot-Carrier Degradation and Its Impact on Submicrometer LDD NMOSFETs Lifetime Prediction*, IEEE Transactions on Electron Devices, **42**(5), S. 957–962 (1995).
- [Che05] J. F. Chen, K.-M. Wu, K.-W. Lin, Y.-K. Su und S. L. Hsu, *Hot-carrier reliability in submicrometer 40V LDMOS transistors with thick gate oxide*, Proceedings of the International Reliability Physics Symposium, S. 560–564 (2005).
- [Che08] J. F. Chen, K.-S. Tian, S.-Y. Chen, K.-M. Wu und C. M. Liu, *On-Resistance Degradation Induced by Hot-Carrier Injection in LDMOS Transistors With STI in the Drift Region*, IEEE Electron Device Letters, **29**(9), S. 1071–1073 (2008).
- [Che09] J. F. Chen, K.-S. Tian, S.-Y. Chen, K.-M. Wu, J. R. Shih und K. Wu, *An Investigation on Anomalous Hot-Carrier-Induced On-Resistance Reduction in n-Type LDMOS Transistors*, IEEE Transactions on Device and Materials Reliability, **9**(3), S. 459–464 (2009).
- [Chi00] W. K. Chim, *Semiconductor Device and Failure Analysis*, John Wiley & SONS, LTD (2000).
- [Chy56] A. G. Chynoweth und K. G. McKay, *Photon Emission from Avalanche Breakdown in Silicon*, Physical Review, **102**, S. 369–376 (1956).
- [Deb93] G. Deboy und J. Kölzer, *Fundamentals of light emission from silicon devices*, Semiconductor Science Technology, **9**(5), 1017 (1993).
- [Dec02] S. Decker, *Numerische Simulation von Si/SiGe-Hochfrequenztransistoren unter besonderer Berücksichtigung des elektronischen Rauschens*, Shaker Verlag, Aachen (2002).
- [Den05] M. Denison, *Single Stress Safe Operating Area of DMOS Transistors integrated in Smart Power Technologies*, Shaker Verlag, Aachen (2005).

- [Dre99] R. Dreesen, K. Croes, J. Manca, W. De Ceunick, L. De Schepper, A. Pergoot und G. Groeseneken, *Modelling hot-carrier degradation of LDD NMOSFETs by using a high-resolution measurement technique*, Microelectronics Reliability, **39**(6-7), S. 785–790 (1999).
- [Dre01] R. Dreesen, K. Croes, J. Manca, W. De Ceunick, L. De Schepper, A. Pergoot und G. Groeseneken, *A new degradation model and lifetime extrapolation technique for lightly doped drain nMOSFETs under hot-carrier degradation*, Microelectronics Reliability, **41**(3), S. 437–443 (2001).
- [DS06] Cadence Design Systems, Inc., *Virtuoso UltraSim Simulator User Guide, Product Version 6.1* (2006).
- [Dut93] R. W. Dutton und Z. Yu, *Computer Simulation of IC Processes and Devices*, Kluwer Academic Publishers, Boston/Dordrecht/London (1993).
- [Edw91] A. H. Edwards, *Interactions of H and H₂ with the Silicon Dangling Orbital at the <111> Si/SiO₂ Interface*, Physical Review B **44**, S. 1832–1838 (1991).
- [Fas93] F. Fasching, S. Halama und S. Selberherr, *Technology CAD Systems*, Springer-Verlag, Wien New York (1993).
- [Feu08] C. Feuerbaum, *Development of Calibration Methods for a Photon Emission Microscope to Analyse Light Emitted from Semiconductor Detectors*, Diplomarbeit am MPI Semiconductor Laboratory und Technische Universität München (2008).
- [Gon97] E. Gondro, *Auswirkungen von LDD-Strukturen auf die elektrischen Eigenschaften von MOS-Transistoren*, Diplomarbeit, Physikdepartment der Technischen Universität München (1997).
- [Goo85] S. M. Goodnick, D. K. Ferry, C. W. Wilmsen, Z. Lilienthal, D. Fathy und O. L. Krivanek, *Surface roughness at the Si(100)-SiO₂ interface*, Physical Review B **32**, S. 8171–8186 (1985).
- [Goo94] J.-S. Goo, H. Shin, H. Hwang, D.-G. Kang und D.-H. Ju, *Physical Analysis for Saturation Behavior of Hot-Carrier Degradation in Lightly-Doped Drain N-Channel Metal-Oxide-Semiconductor Field Effect Transistors*, Jpn. Journal of Applied Physics, **33**, S. 606–611 (1994).
- [Goo95] J.-S. Goo, Y.-G. Kim, H. L'Yee, H.-Y. Kown und H. Shin, *An*

- Analytical Model for Hot-Carrier-Induced Degradation of Deep-Submicron n-Channel LDD MOSFETs*, Solid-State Electronics, **38**(6), S. 1191–1196 (1995).
- [Gra10] T. Grasser, *persönliches Gespräch*, Professor an der TU Wien (2010).
- [Hef07] C. Heffernan und M. Forde, *80V HVDMOS reliability characterization for 0.6 μ m and 0.35 μ m technologies*, International Integrated Reliability Workshop Final Report, S. 121–123 (2007).
- [Hei35] O. Heil, British Patent 439 457 (1935).
- [Her92] P. Heremans, R. Bellens, G. Groeseneken, A. v. Schwerin, H. E. Maes, M. Brox und W. Weber, *The Mechanisms of Hot-Carrier Degradation*, in Wang, „Hot Carrier Design Considerations for MOS Devices and Circuits“, (1992).
- [Hän89] W. Hänsch und W. Weber, *The Effects of Transients on Hot Carriers*, IEEE Electron Device Letters, **10**(6), S. 252–254 (1989).
- [How05] P. L. Hower und S. Pendharkar, *Short and long-term safe operating area considerations in LDMOS transistors*, Proceedings of the International Reliability Physics Symposium, S. 545–550 (2005).
- [Hu85] C. Hu, S. C. Tam, F.-C. Hsu, P.-K. Ko, T.-Y. Chan und K. W. Terrill, *Hot-Electron-Induced MOSFET Degradation - Model, Monitor, and Improvement*, IEEE Journal of Solid-State Circuits, **20**(1), S. 295–305 (1985).
- [Hut00] T. Huttner, *Degradation von MOS-Feldeffekttransistoren auf Silicon-on-Insulator Substraten durch heiße Ladungsträger*, Doktorarbeit am Walter-Schottky-Institut der Technischen Universität München (2000).
- [Jun03] C. Jungemann und B. Meinerzhagen, *Hierarchical Device Simulation: The Monte-Carlo Perspective*, Springer, Wien (2003).
- [Kah60] D. Kahng und M. M. Atalla, *Silicon-silicon dioxide field induced surface devices*, IRE-AIEE Solid-State Device Research Conference, Carnegie Institute of Technologie, Pittsburgh (1960).
- [Kan09] W. Kanert, *Reliability Challenges for Power Devices under Active Cycling*, Proceedings of the International Reliability Physics Symposium, S. 409–415 (2009).
- [Ker05] W. Kernbichler, *Applikationssoftware und Programmierung*,

Online-Skript auf <http://itp.tugraz.at/LV/kernbich/AppSoft-1/appsoft1/appsoft1.html> (2005).

- [Lil33] J. E. Lilienfeld, U.S. Patent 1.900.018 (1933).
- [Lud94] A. W. Ludikhuizen, *Kirk effect limitations in High Voltage IC's*, Proceedings of the 6th International Symposium on Power Semiconductor Devices & IC's, S. 249–252 (1994).
- [Lud97] A. W. Ludikhuizen, M. Slotboom, A. Nezar, N. Nowlin und R. Brock, *Analysis of hot-carrier-induced degradation and snap-back in submicron 50V lateral MOS transistors*, Proceedings of the International Symposium on Power Semiconductor Devices & IC's, S. 53–56 (1997).
- [Lud00] A. W. Ludikhuizen, *A Review of RESURF Technology*, Proceedings of the International Symposium on Power Semiconductor Devices and ICs, S. 11–18 (2000).
- [Man96] S. Manzini und C. Contiero, *Hot-Electron-Induced Degradation in High-Voltage Submicron DMOS Transistors*, Proceedings of the 8th International Symposium on Power Semiconductor Devices & IC's, S. 65–68 (1996).
- [Moe01] P. Moens, M. Tack, R. Degraeve und G. Groeseneken, *A Novel Hot-Hole Injection Degradation Model for Lateral nDMOS Transistors*, International Electron Devices Meeting, Technical Digest, S. 39.6.1–39.6.4 (2001).
- [Moe03a] P. Moens, G. Van den Bosch und G. Groeseneken, *A Unified Hot Carrier Degradation Model for Integrated Lateral and Vertical nDMOS Transistors*, Proceedings of the International Symposium on Power Semiconductor Devices and ICs, S. 88–91 (2003).
- [Moe03b] P. Moens, G. Van den Bosch und G. Groeseneken, *Competing Hot Carrier Degradation Mechanisms in Lateral N-Type DMOS Transistors*, Proceedings of the International Reliability Physics Symposium, S. 214–221 (2003).
- [Moe04a] P. Moens, G. Van den Bosch, C. De Keukeleire, R. Degraeve, M. Tack und G. Groeseneken, *Hot Hole Degradation Effects in Lateral nDMOS Transistors*, IEEE Transactions on Electron Devices, **51**(10), S. 1704–1710 (2004).
- [Moe04b] P. Moens, G. Van den Bosch und G. Groeseneken, *Hot-Carrier Degradation Phenomena in Lateral and Vertical DMOS Transi-*

- stors, IEEE Transactions on Electron Devices, **51**(4), S. 623–628 (2004).
- [Moe05] P. Moens und M. Bauwens, F. und Thomason, *Two-stage Hot Carrier Degradation of LDMOS Transistors*, Proceedings of the 17th International Symposium on Power Semiconductor Devices & IC's, S. 323–326 (2005).
- [Moe06a] G. Moens, P. und Van den Bosch, *Characterization of Total Safe Operating Area of Lateral DMOS Transistors*, IEEE Transactions on Device and Materials Reliability, **6**(3), S. 349–357 (2006).
- [Moe06b] G. Moens, P. und Van den Bosch und M. Tack, *Hole Trapping and de-Trapping Effects in LDMOS Devices under Dynamic Stress*, International Electron Devices Meeting, S. 1–4 (2006).
- [Moe07] P. Moens, J. Mertens, F. Bauwens, P. Joris, W. De Ceuninck und M. Tack, *A comprehensive model for hot carrier degradation in LDMOS transistors*, Proceedings of the International Reliability Physics Symposium, S. 492–497 (2007).
- [Mou00] A. J. Mouthaan, C. Salm, M. m. Lunenburg, M. A. R. C. de Wolf und F. G. Kuper, *Dealing with hot-carrier aging in nMOS and DMOS, models, simulations and characterizations*, Microelectronics Reliability, **40**(6), S. 909–917 (2000).
- [Mur02] T. Murari, F. Bertotti und G. A. Vignola, *Smart Power ICs: technologies and applications*, Springer-Verlag, Berlin Heidelberg New York (2002).
- [New55] R. Newman, *Visible Light from a Silicon p-n Junction*, Physical Review, **100**, S. 700–703 (1955).
- [Nin77a] T. H. Ning, C. M. Osburn und H. N. Yu, *Effect of Electron Trapping on IGFET Characteristics*, Journal of Electronic Materials, **6**(2), S. 65–76 (1977).
- [Nin77b] T. H. Ning, C. M. Osburn und H. N. Yu, *Emission probability of hot electrons from silicon into silicon dioxide*, Journal of Applied Physics, **48**(1), S. 286–293 (1977).
- [O'D00] V. O'Donovan, S. Whiston, A. Deignan und C. N. Chleirigh, *Hot Carrier Reliability of Lateral DMOS Transistors*, Proceedings of the International Reliability Physics Symposium, S. 174–179 (2000).
- [Pan71] J. Pankove, *Optical processes in semiconductors*, Dover Publica-

- tions, New York (1971).
- [Pfo04] M. Pfof, R. Lachner und H. Li, *Simulation of Self-Heating in Advanced High-Speed SiGe Bipolar Circuits Using the Temperature Simulator TeSi*, Topical Meeting on Silicon Monolithic Integrated Circuits in Rf Systems, S. 95–98 (2004).
- [Pfo08] M. Pfof, J. Joos und M. Stecher, *Measurement and Simulation of Self-Heating in DMOS Transistors up to Very High Temperatures*, 20th International Symposium on Power Semiconductor Devices and ICs, S. 209–212 (2008).
- [Pim93] H. Pimingstorfer, *Integration und Anwendung von Simulatoren in der CMOS-Entwicklung*, Doktorarbeit an der TU Wien, <http://www.iue.tuwien.ac.at/phd/pimingstorfer/> (1993).
- [Poi89] E. H. Poindexter, *MOS interface states: overview and physicochemical perspective*, Semiconductor Science and Technology, **4**(12) (1989).
- [Poo69] H. C. Poon, H. K. Gummel und D. L. Scharfetter, *High Injection in Epitaxial Transistors*, IEEE Transactions on Electron Devices **16**(2), S. 245–245 (1969).
- [Pri96] W. Pribyl, *Integrated Smart Power Circuits Technology, Design and Application*, Proceedings of the European Solid-State Circuits Conference (ESSCIRC), S. 19–26 (1996).
- [Rei10] H. Reisinger, T. Grasser, W. Gustin und C. Schlünder, *The statistical analysis of individual defects constituting NBTI and its implications for modeling DC- and AC-stress*, Proceedings of the International Reliability Physics Symposium, S. 7–15 (2010).
- [Rie10] E. Riedlberger, C. Jungemann, R. Keller, H. Reisinger, W. Gustin, A. Spitzer und M. Stecher, *Modeling the Lifetime of a Lateral DMOS Transistor in Repetitive Clamping Mode*, Proceedings of the International Reliability Physics Symposium, S. 175–181 (2010).
- [Rug91] I. Ruge und H. Mader, *Halbleiter-Technologie*, Springer Verlag, Berlin Heidelberg New York (1991).
- [Sch97] R. R. Schaller, *Moore’s Law: past, present, and future*, IEEE Spectrum **34**(6), S. 52–59 (1997).
- [Sch06] C. Schlünder, *Zuverlässigkeit von sub- μm -CMOS-Schaltungen bei Bias-Temperatur-Stress (BTS)*, Doktorarbeit an der Universität

- Dortmund (2006).
- [Sho61] W. Shockley, *Problems related to p-n junctions in silicon*, Solid-State Electronics, **2**(1), S. 35–60 (1961).
- [Sor87] R. Soref und B. Bennett, *Electrooptical effects in Silicon*, IEEE Journal of Quantum Electronics, **23**(1), S. 123–129 (1987).
- [Sun80a] S. C. Sun und J. D. Plummer, *Electron Mobility in Inversion and Accumulation Layers on Thermally Oxidized Silicon Surfaces*, IEEE Transactions on Electron Devices, **27**(8), S. 1497–1508 (1980).
- [Sun80b] S.C. Sun und J.D. Plummer, *Modeling of the On-Resistance in LDMOS, VDMOS, and VMOS Power Transistors*, IEEE Transactions on Electron Devices, **27**(2), S. 356–367 (1980).
- [Syn09] *Sentaurus Device*, Synopsys Inc., 700 East Middlefield Road Mountain View CA 94043 (2009).
- [Sze07] S. M. Sze und K. K. Ng, *Physics of Semiconductor Devices*, John Wiley and Sons, Hoboken (2007).
- [Tak83a] E. Takeda, A. Shimizu und T. Hagiwara, *Role of hot-hole injection in hot-carrier effects and small degraded channel region in MOSFET's*, IEEE Electron Device Letters, **4**(9), S. 329–331 (1983).
- [Tak83b] E. Takeda und N. Suzuki, *An Empirical Model for Device Degradation Due to Hot-Carrier Injection*, IEEE Electron Device Letters, **4**(4), S. 111–113 (1983).
- [Tak95] E. Takeda, C. Y. Yang und A. Miura-Hamada, *Hot-Carrier Effects in MOS Devices*, Academic Press, San Diego (1995).
- [Tam84] S. Tam, P. K. Ko und C. Hu, *Lucky-electron model of channel hot electron injection in MOSFET's*, IEEE Transactions on Electron Devices, **31**(9), S. 1116–1125 (1984).
- [Tho91] R. Thoma, A. Emunds, B. Meinerzhagen, H. J. Peifer und W. L. Engl, *Hydrodynamic Equations for Semiconductors with Nonparabolic Bandstructures*, IEEE Trans. Electron Devices, **38**(6), S. 1343–1353 (1991).
- [Tih89] J. Tihanyi, *Smart Power Technologies*, Proceedings of the CompEuro, VLSI and Computer Peripherals. VLSI and Microelectronic Applications in Intelligent Peripherals and their Interconnection Networks, S. 5/91–5/104 (1989).

- [Tzo86] J. J. Tzou, C. C. Yao, R. Cheung und H. W. K. Chan, *Hot-Carrier-Induced Degradation in P-Channel LDD MOSFET's*, IEEE Electron Device Letters, **7**(1), S. 5–7 (1986).
- [Ver97] R. Versari, A. Pieracci, S. Manzini, C. Contiero und B. Riccò, *Hot-Carrier Reliability in Submicrometer LDMOS Transistors*, International Electron Devices Meeting, Technical Digest, S. 371–374 (1997).
- [Ver99] R. Versari und A. Pieracci, *Experimental Study of Hot-Carrier Effects in LDMOS Transistors*, IEEE Transactions on Electron Devices, **46**(6), S. 1228–1233 (1999).
- [VZ07] B. Van Zeghbroeck, *Principles of Semiconductor Devices*, <http://ecee.colorado.edu/~bart/book/book/index.html> (2007).
- [Wan07] Y.-C. Wang, Y.-P. Chen, J.-S. Li und K.-C. Su, *Comprehensive Hot Carrier Mechanism Investigation of 40V LDNMOS Transistor*, International Integrated Reliability Workshop Final Report S. 128–131 (2007).
- [Web92] W. Weber, M. Brox, R. Bellens, P. Heremans, G. Groeseneken, A. v. Schwerin und H. E. Maes, *Hot-Carrier Degradation during Dynamic Stress*, in Wang, „Hot Carrier Design Considerations for MOS Devices and Circuits“ (1992).
- [Wik10] Wikipedia, Mathematisches Modell — Wikipedia, Die freie Enzyklopädie (2010), [Online; Stand 6. Januar 2011].

Publikationen

E. Riedlberger, C. Jungemann, A. Spitzer, M. Stecher, W. Gustin, *Comprehensive analysis of the degradation of a lateral DMOS due to hot carrier stress*, IEEE International Integrated Reliability Workshop, Final Report, S. Lake Tahoe, CA, USA, **2009**, S. 77-81

E. Riedlberger, R. Keller, H. Reisinger, W. Gustin, A. Spitzer, M. Stecher, C. Jungemann, *Modeling the lifetime of a lateral DMOS transistor in repetitive clamping mode*, Proceedings of the IEEE International Reliability Physics Symposium, Garden Grove (Anaheim), CA, USA, **2010**, S. 175-181

Danksagung

Diese Arbeit entstand in Zusammenarbeit mit dem Institut für Mikroelektronik und Schaltungstechnik der Universität der Bundeswehr München, der Entwicklungsabteilung für Plattformtechnologien des Geschäftsbereichs Automotive und der Abteilung für Zuverlässigkeitsbewertung des Geschäftsbereichs Technische Services der Infineon Technologies AG in Neubiberg. Die Arbeit wurde von der Europäischen Union im Rahmen des MEDEA+ Förderprojekts ELIAS finanziell unterstützt. An dieser Stelle möchte ich all denjenigen herzlich danken, die zum Gelingen dieser Arbeit beigetragen haben, insbesondere

Prof. Dr. Christoph Jungemann und **PD Dr. habil. Rainer Kraus** für die wissenschaftliche Betreuung dieser Arbeit und die Monte-Carlo-Simulationen,

Dr. Andreas Spitzer und **Dr. Matthias Stecher** für die Themenstellung und viele nützliche Anregungen,

Dr. Wolfgang Gustin und **Dr. Erwin Hammerl** für die freundliche Aufnahme in die Abteilung für Zuverlässigkeitsbewertung des Geschäftsbereichs Technische Services,

Dr. Robert Keller für die Entwicklung des Mess-Systems für dynamische Belastungstest und die tatkräftige Unterstützung bei dessen Aufbau,

Dr. Stefano Aresu für die kompetente Einführung in das Themengebiet, den Kollegen meiner Abteilung, insbesondere **Ulrich Brunner**, **Dr. Günther Schindler**, **Dr. Hans Reisinger**, **Dr. Heiko Nielen**, **Alexander Walter** und **Helmut Mayr**, die mich stets mit kompetentem Rat, ihrem Fachwissen und tatkräftiger Hilfe unterstützt haben,

Dr. Dietrich Bonart für die freundliche Bereitstellung der Prozess-Simulationen und dass er mich an seinem Erfahrungsreichtum in der Halbleitertechnologie teilhaben ließ,

den Kollegen von der Fehleranalyse, insbesondere **Hoda Bourkadi**, **Sabine Müller**, **Bernhard Ferstl** und **Christian Feuerbaum** für die

Durchführung der Photon-Emissions-Mikroskopie,

Herbert Gietler für die Erstellung der Schaltkreissimulation und die Einführung in die thermische Finite-Elemente-Simulation,

Dr. Joachim Joos, Dr. Marc Strasser, Dr. Karl-Heinz Bach, Dr. Paul Küpper und allen anderen Kollegen von der Entwicklungsabteilung für Plattformtechnologien des Geschäftsbereichs Automotive, dass sie mich bei der Einarbeitung in die Bauelement-Simulation so tatkräftig unterstützt haben und mich auch später jederzeit an ihrem Fachwissen teilhaben ließen, insbesondere auch

Dr. Stefan Decker für die Erstellung der hydrodynamischen Simulation und

Alevtina Podgaynaya für die TLP-Messungen,

sowie allen Mitarbeitern der Infineon Technologies AG, die zum Gelingen dieser Arbeit beigetragen haben. Einen besonderen Dank möchte ich an dieser Stelle allen Kollegen und Kolleginnen meiner Abteilung für die tolle Arbeitsatmosphäre zukommen lassen. Ich denke stets gerne an meine Zeit bei Infineon zurück.