

# Evaluation von neuartigen Multilevel Umrichter Topologien hinsichtlich deren Tauglichkeit für Niederspannungsanwendungen.

Florian Helling

Vollständiger Abdruck der von der Fakultät für Elektrotechnik und Informationstechnik  
der Universität der Bundeswehr München zur Erlangung des akademischen Grades eines

Doktor-Ingenieurs (Dr.-Ing.)

angenommenen Dissertation.

Gutachter:

1. Prof. Dr.-Ing. Thomas Weyh
2. Prof. Dr.-Ing. Hans-Jürgen Pfisterer

Die Dissertation wurde am 16.10.2023 bei der Universität der Bundeswehr München  
eingereicht und durch die Fakultät für Elektrotechnik und Informationstechnik am  
07.02.2024 angenommen. Die mündliche Prüfung fand am 18.03.2024 statt.

– Wissenschaft ist Dialektik – das ist Auseinandersetzung, das ist der Bau von Modellen, das ist die Entwicklung von einander widersprechenden Positionen und immer wieder neuer Gedanken –

*Gregor Palamas*



## **Kurzfassung**

In der vorliegenden Arbeit werden die beiden neuartigen Modulare Multilevel-Umrichter-Topologien - der Exponentielle Modulare Multilevel Umrichter und die Modulare Multilevel Batterie Topologie - mit aus der Literatur bekannten Modularen Multilevel Topologien und Mehrpunktumrichtern verglichen. Anhand von Wirkungsgradberechnungen und dem Implementierungsaufwand wird gezeigt, dass Exponentielle Modulare Multilevel Umrichter für Magnetstimulatoren und Modulare Multilevel Batterie Umrichter für Batteriespeicher vielversprechende Technologien darstellen. Die theoretischen Grundlagen der Hardware und der Regelung werden erarbeitet. Der Funktionsnachweis der neuartigen Umrichtertopologien wird neben Matlab Simulink Modellen mit Hilfe mehrerer Prototypen erbracht. Periphere Themen wie die Versorgung von Niederspannungsnetzen in Modulare Multilevel Batterie basierten Fahrzeugen werden am Rande beleuchtet.

## **Abstract**

This paper presents a comparison between two novel modular multilevel converter topologies, namely the exponential modular multilevel converter and the modular multilevel battery topology, with other existing modular multilevel topologies and multipoint converters. The comparison is based on efficiency calculations and implementation efforts. The results show that exponential modular multilevel converters are promising for magnetic stimulators, while the modular multilevel battery converters are promising for battery storage systems. The paper also discusses the theoretical principles of hardware and control for these converter topologies. Matlab Simulink models and several prototypes are used to validate the functionality of the novel topologies. The paper also touches on related topics such as the supply of low-voltage networks in modular multilevel battery-based vehicles.

## Vorwort

In meiner Zeit als Student hatte ich die Möglichkeit, erste wissenschaftliche Erfahrungen im Bereich der Medizintechnik zu sammeln. Die Forschungstätigkeit in diesem interdisziplinären Bereich zwischen Medizin und Technik fordert im Speziellen kreative, fachübergreifende Lösungsansätze und weckte schnell den Wunsch in mir, tiefer in den Bereich der Wissenschaft einzutauchen. Erste Projekte in Kooperation mit Frau Dr. med. vet. Daniela Emrich vom Institut für Tierpathologie der Ludwig-Maximilians-Universität München und Herrn Dr. med. vet. Kaspar Matiassek, Neuropathology Laboratory, The Animal Health Trust, Newmarket, UK, erbrachten vielversprechende Ergebnisse im Bereich der transkranielle Magnetstimulation (TMS), welche auf einen hohen Nutzwert in verschiedenen medizinischen Bereichen hindeuteten. Ein großes Manko konnten wir allerdings im Bereich der verfügbaren TMS-Geräte feststellen. Ohne neuartige Geräte war die Perspektive einer interessanten Forschungstätigkeit für uns relativ gering.

Zu diesem Zeitpunkt arbeitete Herr Prof. Dr.-Ing. Thomas Weyh, damals noch als Privatdozent an der Technischen Universität München, mit seinem Team bereits an einem neuartigen Multilevel-basierten TMS-System, dem sogenannten Modularen Multilevel-Parallel-Umrichter, und hatte einige Patente dazu angemeldet. Die finanziellen Mittel waren jedoch stark begrenzt, weshalb der erste Schritt die Einwerbung von Drittmitteln war.

Im Jahre 2011 erhielt schließlich Herr Prof. Dr.-Ing. Thomas Weyh die Professur für Elektrische Energieerzeugung und -verteilung, zu Beginn in Vertretung. Mit der Ausrichtung des Lehrstuhls im Bereich der elektrischen Energieerzeugung und -verteilung stellte sich die Frage, ob die Technologie, welche dem neuartigen Multilevel-TMS-System zu Grunde lag, auch auf den Bereich der Energieerzeugung und -verteilung übertragen werden kann und welche Multilevel-Technologie für welchen Einsatzbereich vorteilhaft ist.

Im Zuge dieser Forschungstätigkeit wurden zwei weitere Multilevel-Umrichter-Topologien entwickelt – der 2014 zum Patent angemeldete Modulare Multilevel-Parallel-Batterie-Umrichter und der 2017 zum Patent angemeldete Exponentielle Modulare Multilevel-Umrichter.

Eine Evaluierung dieser beiden neuen Umrichter-Technologien und der ursprünglichen Modularen Multilevel-Parallel-Umrichter-Technologie hinsichtlich deren möglicher Anwendungsgebiete lieferte zwei äußerst vielversprechende Anwendungsfälle: zum einen als TMS-Stimulator im Falle des Exponentiellen Modularen Multilevel-Umrichters und den Einsatz in Sekundärzellen-basierten Umrichter-Systemen für die Elektromobilität und für stationäre Energiespeichersysteme. Eine Einordnung der drei neuartigen Umrichtersysteme in das große Feld der Multilevel-Umrichter und eine Evaluierung der beiden selbst entwickelten Technologien für die beiden erwähnten Anwendungsgebiete soll diese Arbeit liefern.

Da bei beiden Technologien früh deren großes Potential sichtbar war, wurde bereits vor deren Patentierung je ein praktisches Forschungsprojekt gestartet. Im Falle des Modularen Multilevel-Parallel-Batterie-Umrichters wurde 2013 mit den Vorarbeiten für ein

großes von der Deutschen Bundesstiftung Umwelt (DBU) geförderten Industrieprojekt in Kooperation mit Herrn Prof. Hans-Jürgen Pfisterer von der Hochschule Osnabrück und der Smart Power GmbH und Co. KG begonnen. Die Ergebnisse dieses Projekts können der erfolgreichen Dissertation von Herrn Dr. Arthur Singer mit dem Titel „Evaluierung einer modularen Umrichtertopologie zur Kombination von Batteriesystemen, Balancing-Systemen, Umrichtern und Ladeschaltungen“ entnommen werden. Im Falle des Exponentiellen Modularen Multilevel-Umrichters wurde 2016 ein vom Lehrstuhl eigens finanziertes Forschungsprojekt gestartet. Die Ergebnisse dieses Projekts können bald der Dissertation von Herrn Manuel Kuder entnommen werden.

Mein Dank gilt besonders Herrn Prof. Thomas Weyh, der mir die Promotion ermöglicht hat und mich all die Jahre tatkräftig unterstützt hat. Bei Herrn Prof. Rainer Marquardt bedanke ich mich für seine zahlreichen fachlichen und menschlichen Ratschläge und die netten Unterhaltungen. Herrn Yeqi Wang danke ich für die vielen Diskussionen und seine technische Unterstützung. Die technische Unterstützung von Herrn Ralf Neumann war insbesondere in den abschließenden Messungen unverzichtbar. Herrn Dr. Arthur Singer danke ich für die fruchtbare Zusammenarbeit und die aufmunternden Gespräche. Bei Herrn Manuel Kuder bedanke ich mich für die tatkräftige Unterstützung.

Ein herzlicher Dank geht an meine Familie und an meine Eltern, die mich all die Jahrzehnte unterstützt haben. Meine Frau Elena stand mir vom Studium bis zum Abschluss dieser Arbeit immer aufmunternd und geduldig in Höhen und Tiefen beiseite. Meiner Tochter Seraphima danke ich für ihre liebevollen und erheiternden Ablenkungen.

Minsk, im Mai 2022

FLORIAN HELLING

# Inhaltsverzeichnis

<b>1</b>	<b>Einleitung</b>	<b>1</b>
1.1	Motivation . . . . .	1
1.2	Zielsetzung . . . . .	2
1.3	Aufbau der Arbeit . . . . .	3
<b>2</b>	<b>Stand der Technik</b>	<b>5</b>
2.1	Halbleiterschalter . . . . .	5
2.1.1	Si-MOSFET . . . . .	5
2.1.2	Si-IGBT . . . . .	6
2.1.3	SiC-MOSFET . . . . .	6
2.1.4	GaN-HEMT . . . . .	6
2.1.5	Zusammenfassung . . . . .	7
2.2	Umrichter . . . . .	7
2.2.1	Zwei-Punkt-Umrichter . . . . .	7
2.2.2	Spannungs- oder stromlos schaltende Zwei-Punkt-Umrichter . . . . .	8
2.2.3	Pulse-Amplituden-Modulations-Umrichter . . . . .	9
2.2.4	Mehr-Punkt-Umrichter . . . . .	10
<b>3</b>	<b>Modulare Multilevel-Umrichter</b>	<b>13</b>
3.1	Einführung in Modulare Multilevel-Umrichter . . . . .	13
3.1.1	Grundprinzip . . . . .	13
3.1.2	Spannungs- und Stromqualität . . . . .	14
3.2	Multilevel-Direktumrichter . . . . .	15
3.2.1	Serielle Multilevel-Direktumrichter . . . . .	15
3.2.2	Asymmetrische Multilevel-Direktumrichter . . . . .	18
3.2.3	Modularer Multilevel-Parallel-Batterie-Umrichter (M2B) . . . . .	20
3.2.4	Makrotopologien von Direktumrichtern . . . . .	25
3.3	Modularer Multilevel-Umrichter (MMC) . . . . .	28
3.3.1	Klassische MMC . . . . .	28
3.3.2	Exponentieller Modularer Multilevel-Umrichter (EMMC) . . . . .	31
3.3.3	Modularer Multilevel-Parallel-Umrichter (M <sup>2</sup> PC) . . . . .	32
3.3.4	Makrotopologien von MMC-Systemen . . . . .	33
<b>4</b>	<b>Regelung von Multilevel-Umrichtern</b>	<b>39</b>
4.1	Ansteuerverfahren . . . . .	39
4.1.1	Pulsweitenmodulation . . . . .	39
4.1.2	Nearest-Level-Modulation . . . . .	40
4.2	Schaltmatrix von Multilevel-Umrichtern . . . . .	46
4.2.1	Schaltmatrix bei Seriellen Multilevel-Direktumrichtern und klassischen MMC-basierten Systemen . . . . .	47

4.2.2	Schaltmatrix bei EMMC-Systemen . . . . .	47
4.2.3	Schaltmatrix bei Multilevel-Umrichtern mit Parallelschaltoption . . . . .	53
<b>5</b>	<b>Wirkungsgrade und Bauteilufwand von Multilevel-Umrichter-Systemen</b>	<b>57</b>
5.1	Verlustmechanismen in Umrichtersystemen . . . . .	60
5.1.1	Leistungselektronik . . . . .	60
5.1.2	Speicherverluste . . . . .	71
5.1.3	Grundlast . . . . .	73
5.2	Wirkungsgrad von seriellen Multilevel-Umrichtern mit Vollbrücken . . . . .	76
5.2.1	Schaltfrequenz bei seriellen Multilevel-Umrichtern . . . . .	77
5.2.2	Leistungselektronikverluste in seriellen Multilevel-Umrichtern mit Vollbrücken . . . . .	79
5.2.3	Energiespeicherverluste . . . . .	82
5.2.4	Grundlast . . . . .	84
5.2.5	Zusammenfassung . . . . .	85
5.3	Wirkungsgrad von EMMC-Systemen . . . . .	87
5.3.1	Schaltfrequenz bei EMMC-Systemen . . . . .	88
5.3.2	Leistungselektronikverluste in EMMC-Systemen . . . . .	92
5.3.3	Energiespeicherverluste . . . . .	95
5.3.4	Grundlast . . . . .	97
5.3.5	Zusammenfassung . . . . .	97
5.4	Wirkungsgradberechnung von M2B-Systemen . . . . .	98
5.4.1	Schaltfrequenz bei M <sup>2</sup> PC-Systemen . . . . .	99
5.4.2	Leistungselektronik . . . . .	100
5.4.3	Energiespeicherverluste . . . . .	105
5.4.4	Grundlast . . . . .	106
5.4.5	Zusammenfassung . . . . .	106
<b>6</b>	<b>Magnetstimulator</b>	<b>109</b>
6.1	Einführung in die Magnetstimulation . . . . .	109
6.2	Anforderungen an das neue System . . . . .	113
6.3	Technologieauswahl . . . . .	116
6.3.1	MMC-basierter Magnetstimulator . . . . .	116
6.3.2	M <sup>2</sup> PC mit Vollbrücke . . . . .	117
6.3.3	MMC-Binärsystem . . . . .	118
6.3.4	Zusammenfassung . . . . .	119
6.4	Implementierung eines EMMC-basierten Magnetstimulators . . . . .	120
6.4.1	Konzeption eines EMMC-basierten Magnetstimulators . . . . .	120
6.4.2	Bauteilauswahl . . . . .	121
6.4.3	Anordnung . . . . .	127
6.4.4	Messungen . . . . .	130
6.5	Zusammenfassung . . . . .	137
<b>7</b>	<b>Umrichter für Energiespeicheranwendungen</b>	<b>139</b>
7.1	Einführung zu Energiespeichersystemen . . . . .	139
7.1.1	Batteriesysteme . . . . .	139
7.1.2	Stand der Technik – Batteriespeichersysteme . . . . .	140



---

7.2	Technologieauswahl . . . . .	143
7.2.1	Multilevel-Direktumrichter-Systeme mit verteilten Batterien . . . . .	143
7.2.2	EMMC-Energiespeichersysteme . . . . .	143
7.2.3	M2B . . . . .	144
7.2.4	Zusammenfassung . . . . .	144
7.3	M2B-Implementierungen . . . . .	145
7.3.1	M <sup>2</sup> PC-Implementierungen . . . . .	145
7.3.2	M2B-Implementierung . . . . .	147
7.3.3	Zusammenfassung . . . . .	149
7.4	Niedervoltauskopplung . . . . .	150
7.4.1	Stand der Technik: Niederspannungs-Bordnetz . . . . .	150
7.4.2	NV-Bordnetzauskoppelung in Systemen mit verteilten Batterien . . . . .	153
7.5	Zusammenfassung . . . . .	168
<b>8</b>	<b>Zusammenfassung</b>	<b>169</b>
8.1	Diskussion . . . . .	169
8.2	Fazit . . . . .	169
8.3	Ausblick . . . . .	170
	<b>Literaturverzeichnis</b>	<b>172</b>
	<b>Literatur</b>	<b>173</b>





# Abkürzungsverzeichnis

## Formelzeichen

$C$	Kapazität, Kollektor
$C_{GS}$	Gate-zu-Source-Kapazität
$C_{ISS}$	Transistor-Eingangskapazität
$C_{OSS}$	Transistor-Ausgangskapazität
$C_{rss}$	Rückwirkungskapazität
$f$	Frequenz, Variable
$F_{dis}$	Diskretisierungsfrequenz
$f_{PWM}$	PWM-Frequenz
$F_{sw}$	Schaltfrequenz
$i$	Zählindex ( $i = 1, 2, 3, \dots$ )
$I, i$	Strom
$I_{DS}, i_{DS}$	Drain-zu-Source-Strom
$I_G$	Gatestrom
$\hat{I}_{min}$	Minimaler Scheitelstrom
$I_{out}$	Laststrom
$L$	Drossel, Induktivität
$n$	Nenn-, Reihenschaltzahl, Zählvariable
$\eta$	Wirkungsgrad
$\phi$	Phasenwinkel (zwischen Strom und Spannung)
$P$	Leistung
$P_{Fet,ges}$	Gesamtverluste von Halbleitern
$P_{ON}$	Durchlassverluste
$P_Q$	Ruhestromverbrauch von Transistortreibern
$P_{SW}$	Schaltverluste
$P_{SWOFF}$	Schaltverluste beim Ausschalten eines Transistors
$P_{SWON}$	Schaltverluste beim Einschalten eines Transistors
$Q_G$	Gateladung
$Q_{rr}$	Reverse-Recovery-Charge
$R$	Widerstand
$R_{Bat}$	Ersatzwiderstand von Sekundärzellen
$R_{DSon}$	Durchgangswiderstand
$T$	Schalter, Temperatur, Transformator, Transistor
$t$	Zeit
$t_{rr}$	Reverse-Recovery-Zeit
$t_{tot}$	Totzeit
$\tau$	Zeitkonstante
$t_{PWM}$	Zykluszeit
$U, u$	Spannung
$U_{DS}$	Drain-Source-Spannung
$U_{GS}$	Gate-Source-Spannung
$U_{min}$	Mindestspannung
$U_{quant}$	Quantisierte Spannung
$U_{reg}$	Regelspannung
$U_{SD}$	Dioden-Vorwärtsspannung

## Abkürzungen

<b>AC</b>	Wechselstrom – engl. alternating current
<b>BESS</b>	Batteriespeichersysteme
<b>BMS</b>	Batteriemanagementsystem
<b>DC</b>	Gleichstrom – engl. direct current
<b>EMF</b>	elektromagnetische Felder
<b>EMMC</b>	Exponentieller Modularer Multilevel-Umrichter
<b>EMV</b>	elektromagnetische Verträglichkeit
<b>ESB</b>	Ersatzschaltbild
<b>ESR</b>	Ersatzserienwiderstand – engl. equivalent series resistance
<b>GaN</b>	Gallium Nitride
<b>HEMPT</b>	High-Electron-Mobility Transistor
<b>HVDC</b>	Hochspannungs-Gleichstromübertragung – engl. high voltage DC transmission
<b>IC</b>	integrierter Schaltkreis
<b>IGBT</b>	Insulated-Gate Bipolar Transistor
<b>LWL</b>	Lichtwellenleiter
<b>M2B</b>	Modularer Multilevel-Parallel-Batterie-Umrichter
<b>M<sup>2</sup>PC</b>	Modularer Multilevel-Parallel-Umrichter
<b>MMC</b>	Modularer Multilevel-Umrichter
<b>MOSFET</b>	Metall-Oxid-Halbleiter-Feldeffekttransistor
$\mu C$	Microkontroller
<b>NLM</b>	Nearest Level Modulation
<b>PAM</b>	Puls-Amplituden-Modulation
<b>PCB</b>	Leiterplatte – engl. printed circuit board
<b>PWM</b>	Pulsweitenmodulation
<b>RMS</b>	quadratischer Mittelwert – engl. root mean square
<b>sBESS</b>	Batterie-Energiespeichersysteme mit verteilten Sekundärzellen
<b>SiC</b>	Silicon-Carbide-Metall-Oxid
<b>SM</b>	Submodul
<b>SMD</b>	oberflächenmontiertes Bauelement – engl. surface-mount device
<b>sMC</b>	serieller Multilevel-Direktumrichter
<b>SOC</b>	Ladezustand – engl. state-of-charge
<b>SOH</b>	Gesundheitszustand – engl. state-of-health
<b>SPI</b>	Serial Peripheral Interface
<b>THD</b>	harmonische Verzerrung – engl. total harmonic distortion)
<b>TMS</b>	transkranielle Magnetstimulation
<b>ZVNLM</b>	zeitvariable Nearest-Level-Modulation



## Abbildungsverzeichnis

2.1	Zwei-Punkt-Umrichter-Topologie [43] . . . . .	8
2.2	Schaltungstopologie zum spannungslosen Schalten der Firma BURSA Elektronik AG [45] . . . . .	9
2.3	Pulse-Amplituden-Modulations-Zwei-Punkt-Umrichter [44] . . . . .	10
2.4	Drei-Punkt-Neutral-Point-Clamped-Umrichter [43] . . . . .	11
2.5	Drei-Punkt-T-Type-Neutral-Point-Clamped-Umrichter [43] . . . . .	12
3.1	Links: Quantisierte Ausgangsspannung eines Multilevel-Umrichters mit einer Quantisierungshöhe von 50 V; rechts: Ausgangsspannung eines Drei- Punkt-Umrichters mit 1 kHz Pulsweitenmodulation (PWM); jeweils in Relation zu einer Ausgangsspannung von 230 V, 50 Hz . . . . .	13
3.2	Abhängigkeit des harmonische Verzerrung – engl. total harmonic distor- tion)s (THDs) von der Submodul (SM)-Spannung und der Frequenz des überlagerten Pulsweitenmodulations (PWMs) in MMC-Systemen . . . . .	15
3.3	Multilevel-Direktumrichter-Topologie bestehend aus vier Vollbrücken-SM mit verteilten Energiespeichereinheiten (links) und vier der neun mögli- chen Spannungsstufen (vier positive, vier negative und 0 V) an der Last (rechts) . . . . .	16
3.4	Multilevel-Direktumrichter-Topologie bestehend aus vier Halbbrücken- SMs mit verteilten Energiespeichereinheiten und Potential getrennter Ein- kopplung einer Gleichstrom – engl. direct current (DC)-Versorgung . . . . .	17
3.5	Vier der neun möglichen Spannungsstufen (vier positive, vier negative und 0 V) eines M2B Umrichterarms mit vier Vollbrücken-SMs . . . . .	21
3.6	M2B-Umrichterarm mit vier M2B-Vollbrücken-SMs . . . . .	22
3.7	M2B-Umrichterarme mit (a) vier Zwei-Quadranten-SMs und einem Vollbrücken-Umpoler und mit (b) vier Vier-Quadranten-Modulen, mit rot hervorgehobenem Strompfad für eine Verbindung des Energiespeichers von SM1 in Reihe mit den parallel geschalteten Energiespeichern von SM2 und SM4, während der Energiespeicher von SM3 überbrückt ist . . . . .	23
3.8	Interlink-Sektion von M2B-VB-Modulen mit rot und blau markiertem Strompfad für (a) positiv seriellen Modus, (b) negativ seriellen Modus, (c) Bypass über Low-Side-Schalter, (d) Bypass über High-Side-Schalter, (e) und (f) zwei Möglichkeiten des Parallelmodus . . . . .	24
3.9	Interlink-Sektion von M <sup>2</sup> PC-VB-Modulen mit rot und blau markiertem Strompfad für zwei Möglichkeiten eines Kondensator-Kurzschlusses . . . . .	24
3.10	Umrichterarm mit vier M2B-VB-SMs. Strompfad rot und blau hervorge- hoben für eine serielle Verschaltung von SM1 mit den zueinander parallel verschalteten übrigen SMs . . . . .	25
3.11	Dreiphasige Direktumrichter-Topologie, bekannt aus herkömmlichen Zwei- und Drei-Punkt-Umrichtern [55] . . . . .	26

3.12	Dreiphasige Direktumrichter-Topologie in (a) Stern- [53], [58], [65], (b) reduzierter Stern- und (c) Ringkonfiguration [65] . . . . .	26
3.13	Verbindung zwischen zwei Umrichterarmen mit (a) doppelter Verbindung zum Phasenanschluss und (b) separater direkter Verbindung zwischen beiden Umrichterarmen . . . . .	27
3.14	Verschachtelter M2B-Umrichterarm mit mehreren Subumrichterarmen . . . . .	28
3.15	MMC-SM-Topologien mit zugehörigen Schaltmatrizen, wobei eine 0 einen nicht geschalteten, also sperrenden, und eine 1 einen durchgeschalteten Metall-Oxid-Halbleiter-Feldeffekttransistor (MOSFET) kennzeichnet [72] . . . . .	30
3.16	Erzeugung einer 50-V-Ausgangsspannung mit verschiedenen Kombinationen an serieller und antiserieller Verschaltung der vier Module aus Abbildung 3.17 . . . . .	31
3.17	Ersatzschaltbild eines einphasigen EMMC-basierten Umrichters . . . . .	32
3.18	Maktrotopologie eines MMC Systems zur Verbindung zweier Wechselstrom – engl. alternating current (AC)-Systeme mit zwölf Umrichterarmen und einem optionalen zusätzlichen Energiespeicher am DC-Zwischenkreis . . . . .	34
3.19	Maktrotopologie eines Modulare Multilevel-Matrix-Umrichters . . . . .	34
3.20	Maktrotopologie eines Modulare Multilevel-Matrix-Umrichters . . . . .	35
3.21	Dreiphasiger EMMC-basierter Wechselrichter für ein 230 V-Netz . . . . .	36
3.22	Phasenmodul zum Aufbau eines mehrphasigen EMMC-basierten Umrichters, mit vier Strompfaden zur Erzeugung einer positiven (a) oder negativen (d) Spannung zwischen den Punkten A und 0 bzw. deren direkter Verbindung (b) und (c) . . . . .	36
4.1	PWM-Erzeugung mit vertikal verschobenen Dreiecksspannungen, mit je 1 kHz . . . . .	40
4.2	PWM-Erzeugung mit horizontal verschobenen Dreiecksspannungen, mit je 500 Hz . . . . .	40
4.3	Spannungsverlauf eines Multilevel-basierten Systems bei Berechnung der Spannung mit der Statischen Nearest Level Modulation (NLM) (bei 20 kHz) in Bezug auf eine Referenzspannung (hier 230 V, 50 Hz) und eine Submodulspannung von 4 V . . . . .	44
4.4	Spannungsverlauf eines Multilevel-basierten Systems bei Berechnung der Spannung mit der Zeitvariablen NLM in Bezug auf eine Referenzspannung (hier 230 V, 50 Hz) und eine Submodulspannung von 4 V . . . . .	45
4.5	THD-Spektrogramme von Multilevel-basierten Systemen mit Statischer NLM mit 20 kHz und 80 kHz und Zeitvariabler NLM. Jeweils mit 4 V SM-Spannung bei 230 V und 50 Hz Spannungssignal des Umrichterarms . . . . .	46
4.6	Spannungsverlauf eines Multilevel-basierten Systems bei Berechnung der Spannung mit der statischen NLM (bei 20 kHz) und der Zeitvariablen NLM in Bezug auf eine Referenzspannung (hier 230 V, 50 Hz) und eine SM-Spannung von 40 V . . . . .	46
4.7	230 V-Sinusspannung an einer reinen ohmschen Last mit 50 Hz, erzeugt von zwei EMMC-Umrichterarmen mit vier SMs – Linke Grafik mit der aus 3.17 bekannten Implementierung – Rechte Grafik mit selber Implementierung, aber jeweils halbierten Spannungen der SM-Energiespeicher . . . . .	50



4.8	Implementierung wie in der rechten Grafik von Abbildung 4.7, aber mit Phasenversatz zwischen Strom und Spannung. . . . .	50
4.9	150 V-DC-Ausgangsspannung eines EMMC-Umrichters nach Abbildung 3.17 mit einer Totzeit von 80 ns . . . . .	52
4.10	THD-Analysen von einphasigen Umrichterarmen nach MMC-Prinzip (links) und EMMC (rechts). (50 Hz, 240 V, PWM = 40 kHz, ohmsche Last) . . . . .	53
4.11	Schaltmatrix für einen Umrichterarm eines M2B-basierten Systems mit 24 Vollbrücken-SM. Gruppen mit gleicher Farbe sind dabei parallel geschaltet. S und P bezeichnen eine serielle bzw. parallele Verbindung zum Nachbarmodul. L in der 0. Stufe, also bei 0 V Ausgangsspannung, entspricht aktivem LOW. Rot markierte Buchstaben kennzeichnen einen Wechsel der Schaltzustände im Vergleich zur vorhergehenden kleineren Stufe. . . . .	55
5.1	Kapazitäten eines IXFN150N65X2-Metall-Oxid-Halbleiter-Feldeffekttransistors (MOSFETs) in Abhängigkeit von der anliegenden Drain-zu-Source-Spannung [28] . . . . .	62
5.2	Strompfade beim Kommutieren einer Halbbrücke . . . . .	69
5.3	Verlauf des ohmschen Widerstands einer Sekundärzelle in Abhängigkeit von deren Ladezustand – engl. state-of-charge (SOC) [103] . . . . .	72
5.4	Einfluss der SM-Spannung auf die Verlustenergie eines seriellen Multilevel-Umrichterarms bei einem Systemstrom von $I_{out}(RMS) = 200 A$ ohne Phasenversatz (50 Hz, 230 V). (a) Ausgangsspannungen und Systemstrom, (b) ESR-Momentanwerte und (c) Verlustenergien . . . . .	83
5.5	Einfluss eines Phasenversatzes zwischen Strom und Spannung auf die Energiespeicherverluste eines seriellen Multilevel-Umrichterarms bei einem Systemstrom von $I_{out}(RMS) = 200 A$ (50 Hz, 230 V) . . . . .	84
5.6	Prozentuale Verteilung der Verluste eines seriellen Multilevel-Umrichterarms bei 230 V, 50 Hz und einem $I_{out}(RMS) = 1 A$ . . . . .	85
5.7	Reale Verluste eines seriellen Multilevel-Umrichterarms bei 230 V, 50 Hz und einem $I_{out}(RMS) = 1 A$ (links) bzw. $I_{out}(RMS) = 16 A$ (rechts) in Abhängigkeit von der SM-Implementierung und dem Phasenwinkel . . . . .	86
5.8	Reale Verluste eines seriellen Multilevel-Umrichterarms bei 230 V, 50 Hz und einem $I_{out}(RMS) = 100 A$ (links) bzw. $I_{out}(RMS) = 200 A$ (rechts) in Abhängigkeit von der SM-Implementierung und dem Phasenwinkel . . . . .	86
5.9	Wirkungsgrad eines seriellen Multilevel-Umrichterarms (links n8, rechts n96p) in Abhängigkeit von Ausgangsspannung und -strom, bei (50 Hz) . . . . .	87
5.10	Abhängigkeit der Modulkapazitäten und des THD von der zulässigen Spannungsabweichung bei einer Schaltrate von etwa 40 kHz pro SM (50 Hz, 230 V, PWM = 20kHz) . . . . .	90
5.11	FFT-Analyse der Spannung eines EMMC mit einer Spannungsabweichung von $\pm 5 V$ und einer Schaltrate von ca. 40 kHz pro SM (50 Hz, 230 V, PWM = 20kHz) . . . . .	90
5.12	Schaltrate von SM1 (48 V) in Abhängigkeit von der SM-Kapazität und dem Systemstrom. Links von 6 mF bis 200 $\mu F$ und rechts von 200 $\mu F$ bis 10 $\mu F$ (Frequenz logarithmisch aufgetragen) (50 Hz, 230 V, PWM = 20kHz, $\delta U = \pm 1 V$ ) . . . . .	91

5.13	Prozentuale Verteilung der Verluste eines EMMC-Umrichterarms bei 230 V 50 Hz und verschiedenen Stromstärken . . . . .	98
5.14	Wirkungsgrad eines EMMC in Abhängigkeit von Ausgangsspannung und -strom, bei (50 Hz) . . . . .	98
5.15	Wirkungsgrad eines M2B (links VB, rechts HB jeweils mit n96p) in Abhängigkeit von Ausgangsspannung und -strom, bei (50 Hz) . . . . .	107
6.1	Anordnung für eine periphere Magnetstimulation [118] . . . . .	110
6.2	Aufbau eines einfachen Magnetstimulators [118] . . . . .	110
6.3	Zeitlicher Verlauf von Strom und Spannung in der Spule bei Verwendung einer Pulsquelle nach dem Prinzip aus 6.2 [118] . . . . .	111
6.4	Zeitlicher Verlauf von Strom und Spannung in der Spule bei Verwendung einer Pulsquelle nach dem Prinzip aus Abbildung 6.5[118] . . . . .	111
6.5	Prinzipieller Aufbau eines herkömmlichen Magnetstimulators der zweiten Generation[118] . . . . .	112
6.6	Abgewandelte Version des Aufbaus eines herkömmlichen Magnetstimulators aus Abbildung 6.5 [118] . . . . .	112
6.7	Zeitlicher Verlauf von Strom und Spannung in der Spule bei Verwendung einer Pulsquelle nach dem Prinzip aus Abbildung 6.6 [118] . . . . .	113
6.8	Ersatzschaltbild des Konzeptes für einen EMMC-basierten Magnetstimulator-Prototyp . . . . .	120
6.9	3D-Zeichnung eines EMMC-Master-Vollbrücken-SMs mit vier ISOTOP-MOSFETs . . . . .	128
6.10	3D-Zeichnung eines EMMC-Master-Vollbrücken-SMs mit vier ISOTOP-MOSFETs . . . . .	128
6.11	3D-Zeichnung eines EMMC-Master-Vollbrücken-SMs mit vier ISOTOP-MOSFETs . . . . .	129
6.12	Messaufbau eines EMMC-Stimulator-Prototyps . . . . .	130
6.13	Drain-Source-Spannungen am High-Side(C1)- und Low-Side(C2)-MOSFET und Strom durch den Lastwiderstand (C4), bei Bestromung einer Last von 0,5 $\Omega$ durch kurzzeitiges Parallelschalten des SM-Kondensators mit der Last . . . . .	131
6.14	Drain-Source-Spannungen am High-Side(C1)- und Low-Side(C2)-MOSFET und Strom durch den Lastwiderstand (C4), bei Bestromung einer Last von 0,3 $\Omega$ durch kurzzeitiges Parallelschalten des SM-Kondensators mit der Last . . . . .	131
6.15	Schaltverzögerung zwischen Master und Slave . . . . .	132
6.16	Schaltverzögerung zwischen zwei Lichtwellenleiter (LWL)-Ausgängen . . . . .	133
6.17	DC-Spannung über einen 100 $\Omega$ -Widerstand (C2) durch unterschiedliche Verschaltungen der SMs zueinander (1. +SM1, 2.+SM2-SM1, 3. +SM3-SM2-SM1, 4. +SM5+SM4-SM3-SM2-SM1) . . . . .	134
6.18	Lade und Entladeverhalten der SM Kondensatoren: Verhalten im Umrichterbetrieb; Ausgangsspannung (C1) in Abhängigkeit von der Kondensatorspannung von SM4 (C2) und SM5 (C3) . . . . .	135
6.19	Lade und Entladeverhalten der SM Kondensatoren: initiales Ladeverfahren; Ausgangsspannung (C1) in Abhängigkeit von der Kondensatorspannung von SM4 (C2) und SM5 (C3) . . . . .	135

6.20	Sinusspannung über einem $10\ \Omega$ -Widerstand (C1) und der resultierende Laststrom (C4) . . . . .	136
6.21	Sinusspannung über eine Stimulationsspule ( $18,5\ \mu H$ ) in Serie zu einem $100\ \Omega$ -Widerstand (C2) und der resultierende Spulenstrom (C1) und die Spannungen an zwei SM-Kondensatoren (C3 und C4) . . . . .	136
6.22	Spannung über eine Stimulationsspule ( $18,5\ \mu H$ ) in Serie zu einem $10\ \Omega$ -Widerstand (C1) und der resultierende Spulenstromimpuls (C4) . . . . .	137
7.1	Struktur eines Sekundärzellen basierten Energiespeichersystems . . . . .	141
7.2	M <sup>2</sup> PC-Umrichterarm mit drei potentialgetrennt versorgten Submodulen. . . . .	145
7.3	Spannung und Strom eines M <sup>2</sup> PC-Umrichterarms mit drei Submodulen (Last: $4,7\ \Omega$ und $66\ \mu H$ ) . . . . .	145
7.4	M <sup>2</sup> PC-Umrichterarm mit drei Submodulen . . . . .	146
7.5	M <sup>2</sup> PC-Submodule mit zehn parallel geschalteten MOSFETs . . . . .	147
7.6	Vier M2B-Halbbrücken-SMs mit je einer LiPo-Sekundärzelle an einer RL-Last . . . . .	147
7.7	Spannungen über einer gemischten ohmschen induktiven Last ( $14,7\ \Omega$ , $22\ \mu H$ ), generiert durch vier M2B-HB-SMs, mit $3,7\ V$ aus je einer einzelnen LiPo-Sekundärzelle (schwarz) und mit $15\ V$ von vier isolierten Stromversorgungen (rot) . . . . .	148
7.8	Vier M2B-Halbbrücken-SMs, gesteuert über einen Mikrocontroller an einer RL-Last (links), und zugehöriger Umpoler (rechts) [111]. . . . .	149
7.9	Spannung (C1) und Strom (C2 mit $200\ mA/Div$ ) des Umrichters aus Abbildung 7.8 über einem $33\text{-Ohm}$ -Widerstand [111] . . . . .	150
7.10	Niederspannungs-Bordnetzauskopplung in vollelektrischen Fahrzeugen mit einem Hochvolt-Energiespeicher . . . . .	153
7.11	Künstlicher HV-DC-Zwischenkreis in Batterie-Energiespeichersysteme mit verteilten Sekundärzellen (sBESS) mit MMC-DC/AC-Umrichter-Topologie . . . . .	154
7.12	HV-DC-Bus und NV-Bus-Auskopplung in sBESS-Systemen mittels zentraler AC/DC- und DC/DC-Umrichter . . . . .	155
7.13	Einphasige Niedervolt-Auskopplung mit drei M <sup>2</sup> PC-Vollbrücken-SMs und einem NV-Modul mit potentialgetrenntem DC/DC-Wandler . . . . .	156
7.14	Ausgangsspannungen eines sBESS mit NV Auskopplung . . . . .	158
7.15	NV-Bordnetz-Auskopplung mit drei NV-Bus-seitig parallel verschalteten NV-Modulen . . . . .	161
7.16	Versorgung von mehreren Energieerzeugern und -verbrauchern, welche jeweils über ein separates NV-Modul angebunden sind . . . . .	162
7.17	Aufbau eines HV-DC-Buses mittels dreier sekundärseitig seriell verschalteter DC/DC-Wandler . . . . .	163
7.18	Aufbau eines HV-DC-Buses mittels dreier sekundärseitig seriell verschalteter DC/DC-Wandler . . . . .	164
7.19	$70\ V_{RMS}$ Sinus mit $50\ Hz$ und $20\ kHz$ PWM eines sBESS-Umrichterarms, an einer $100\ \Omega$ -Last ohne NV-Last, mit NV-Modul-Kondensatorspannung (C1, gelb) und Strom (C2, lila) und der Systemspannung (C3, blau) und Strom (C4, grün) . . . . .	165

- 7.20  $70 V_{RMS}$  Sinus mit  $50 Hz$  und  $20 kHz$  PWM eines sBESS-Umrichterarms, an einer  $100 - \Omega$ -Last bei einer NV-Bus-Last von  $103 \Omega$ , mit NV-Modul-Kondensatorspannung (C1, gelb) und Strom (C2, lila), dem NV-Laststrom (C4, grün) und der Systemspannung (C3, blau) . . . . . 166
- 7.21  $70 V_{RMS}$  Sinus mit  $50 Hz$  und  $20 kHz$  PWM eines sBESS-Umrichterarms, an einer  $100 - \Omega$ -Last bei einer NV-Bus-Last von  $43 \Omega$ , mit NV-Modul-Kondensatorspannung (C1, gelb) und Strom (C2, lila), dem NV-Laststrom (C4, grün) und der Systemspannung (C3, blau) . . . . . 166

# 1 Einleitung

## 1.1 Motivation

Die Umwandlung elektrischer Energie ist für die heutige Gesellschaft von essentieller Bedeutung. In allen Bereichen erleichtern elektrische Systeme das tägliche Leben. Von Kleinstverbrauchern in Haushalten wie Smartphones und Smart Watches über Transportmittel wie Autos oder Eisenbahnen bis hin zu Stromnetzen wird überall elektrische Energie verwendet und von einer Form in eine andere umgewandelt. Neben DC-DC-Wandlern sind insbesondere beim Anschluss an das Stromnetz oder beim Antrieb von elektrischen Motoren Wechselrichter notwendig. Um die Anstiegsrate des Strombedarfs zu verringern und den Bedürfnissen nach immer kleineren Geräten gerecht zu werden, ist eine Wirkungsgradsteigerung der Umrichter von zentraler Bedeutung.

In kleinen Leistungsbereichen werden häufig Schaltwandler auf Metall-Oxid-Halbleiter-Feldeffekttransistor (MOSFET)-Basis konzipiert, während in Systemen mit höherem Leistungsbedarf zumeist Insulated-Gate Bipolar Transistors (IGBTs) oder Thyristoren verwendet werden. Die meisten Systeme enthalten Transformatoren und werden durch Pulsweitenmodulation (PWM) gesteuert. Beides verursacht meist unzulässig hohe Interferenzen, zu deren Reduktion ein hoher Filter- und Abschirmungsaufwand betrieben werden muss. Bei höheren Spannungen oberhalb von ca. 1000 V ist zudem die Verfügbarkeit von schnell und somit effizient schaltenden Halbleiterschaltern stark begrenzt.

Insbesondere im Bereich der Hochspannungs-Gleichstromübertragung – engl. high voltage DC transmission (HVDC) hält daher die Modularer Multilevel-Umrichter (MMC)-Technologie von Professor Marquardt [1] seit geraumer Zeit immer weiter Einzug. Mit dieser Technologie ist es möglich, hocheffiziente Umrichter zu konzipieren, deren einzelne Komponenten eine viel geringere Nennspannung als die Systemspannung aufweisen können. Hierbei wird die Spannungscharakteristik nicht durch PWM-getaktetes Schalten der vollen Systemspannung, sondern mit dedizierten Spannungsstufen erzeugt, womit sich eine Art diskretisierte Spannung ergibt. Dies geschieht durch eine serielle Verschaltung von Kondensatoren, mittels einer geeigneten Schaltungstopologie, wobei die Kombination von Kondensator und zugehöriger Schaltungstopologie als Submodul (SM) bezeichnet wird. Aufgrund des Umstandes, dass die einzelnen SMs nicht die volle Systemspannung schalten müssen, ist oftmals der Einsatz von MOSFET anstelle von Thyristoren oder IGBT möglich. Zusätzlich nehmen die elektromagnetischen Störungen und die Belastung der Schalter ab. Ein weiterer Vorteil ist die Robustheit des Systems gegen Ausfälle, da einzelne defekte SMs gebypassed werden können und der Wandler bei reduzierter Spannung weiterhin funktionsfähig ist. [2], [3]

Die MMC-Technologie wird derzeit hauptsächlich für Frequenzumrichter für höhere Leistungen im Bereich einiger Megawatt verwendet, allerdings wird seit längerem auch ihr Einsatz als Antriebsumrichter mit typischen Systemspannungen unterhalb von 1000 V diskutiert. Die Vorteile in diesem Spannungsbereich und Leistungsbereich sind ähnlich wie bei Hochspannungssystemen. Neben dem geringeren Filteraufwand und hoher Effizienz sind insbesondere die hohe Ausfallsicherheit durch den redundanten Aufbau und die Möglichkeit, Niederspannungs-MOSFETs einzusetzen, von hoher Bedeutung. [4], [5]

Besonders der erhöhte Bauteilaufwand und die komplexe Ansteuerung rechtfertigen aktuell in den meisten Anwendungen den Ersatz von klassischen Zwei-Punkt-Umrichtern noch nicht. Allerdings gibt es Nischenanwendungen, in denen entweder der technologische Vorteil von Multilevel-Umrichtern deren Mehraufwand direkt rechtfertigt oder deren zusätzliche Funktionalität einen entscheidenden Mehrwert für das Gesamtsystem bringt.

Eine dieser potentiellen Anwendungen stellt die transkranielle Magnetstimulation (TMS) dar, bei der eine Pulsquelle Spannungen bis etwa 2500 V bei bis zu 6000 A mit einem geringen harmonische Verzerrung – engl. total harmonic distortion) (THD) erzeugen muss. Zudem stellen ihre benötigte Portabilität und die Notwendigkeit einer Versorgung über einen 2-phasigen Netzanschluss mit auf etwa 3,6 kW begrenzter Leistung eine große Herausforderung an die Technik dar.

Ein weiterer Anwendungsfall sind auf Sekundärzellen basierte Energiespeicher. In diesem Fall sind eine hohe Ausfallsicherheit und Effizienz gute Argumente für den Einsatz von MMC. Allerdings ist hier der Preisdruck durch die meist verwendbaren IGBT-basierten Zwei-Punkt-Umrichter sehr hoch, womit weitere Funktionen einen handfesten Mehrwert auf Seiten von MMC-basierten Systemen erbringen müssen, um Einzug in diesen Bereich finden zu können.

## 1.2 Zielsetzung

Das primäre Ziel der vorliegenden Arbeit ist es, die Basis für einen Vergleich der eigens entwickelten, neuartigen Modularen Multilevel-Umrichter-Topologien, der Exponentieller Modularer Multilevel-Umrichter (EMMC)- und der Modularer Multilevel-Parallel-Batterie-Umrichter (M2B)-Topologie, mit aus der Literatur bekannten MMC-Topologien zu bilden. Hierfür werden die Grundlagen der einzelnen Topologien hinsichtlich der Schaltungstopologien und deren Ansteuerung erarbeitet. Darauf aufbauend werden die Wirkungsgrade und der jeweilige Implementierungsaufwand der gewählten Topologien näher betrachtet und für eine möglichst allgemeingültige Beispielimplementierung errechnet. Anhand dieser Betrachtungen sind ein Vergleich der untersuchten Topologien und eine Einschätzung der Eignung für bestimmte Anwendungsfälle möglich.

Das sekundäre Ziel besteht in der Auswahl der am vielversprechendsten erscheinenden Technologie zur Implementierung eines TMS und eines Sekundärzellen-basierten Energiespeichersystems. Die Auswahl wird dabei auf Grundlage der zuvor vorgenommenen Betrachtungen getroffen.

Tertiäres Ziel der Arbeit ist schließlich, den Funktionsbeweis der beiden neuartigen Multilevel-Topologien zu erbringen. Dies geschieht simulativ mittels Matlab/Simulink und anhand erster Laborprototypen.

## 1.3 Aufbau der Arbeit

Zu Beginn des Hauptteils der Arbeit wird ein kurzer Überblick über den Stand der Technik aktuell eingesetzter Halbleiterschalter und der am weitesten verbreiteten Umrichtertopologien gegeben. Hinsichtlich der Halbleiterschalter wird insbesondere auf deren für die weitere Analyse bedeutsame technologische Besonderheiten eingegangen. Bei den Umrichtern liegt der Fokus auf einer kurzen Charakterisierung, um deren Verwendbarkeit für die im Hauptteil dieser Arbeit betrachteten Anwendungsfälle zu ermöglichen.

Kapitel 3 gibt zuerst eine allgemeine Einführung in MMC und deren generelle Vorteile. Darauf folgend werden die sechs in dieser Arbeit näher betrachteten Multilevel-Umrichter-Topologien, inklusive der jeweiligen Makrotopologien, im Detail vorgestellt. Bei den sechs Topologien handelt es sich einerseits um die aus der Literatur bekannten und teils weit verbreiteten Seriellen Multilevel-Direktumrichter, Asymmetrischen Multilevel-Direktumrichter und Modularen Multilevel-Umrichter. Andererseits werden die am Lehrstuhl entwickelten und patentierten Modularen Multilevel-Parallel-Batterie-Umrichter, Exponentiellen Modularen Multilevel-Umrichter und Modularen Multilevel-Parallel-Umrichter vorgestellt.

Kapitel 4 befasst sich allgemein mit den Ansteuerverfahren für Multilevel-Umrichter und im Detail mit den Schaltmatrizen für die betrachteten Topologien.

In Kapitel 5 werden zu Beginn die allgemeinen Grundlagen der Verlustmechanismen der Umrichtersysteme erarbeitet, anhand derer detaillierte Wirkungsgradanalysen der betrachteten Topologien durchgeführt werden. Auf Grundlage der Ergebnisse aus diesem Kapitel wird in den beiden folgenden Kapiteln die Technologieauswahl für die betrachteten Anwendungsfälle – TMS und Sekundärzellen-basierte Energiespeichersysteme – vorgenommen.

Kapitel 6 behandelt den Anwendungsfall TMS. Nach einer kurzen allgemeinen Einführung in die TMS und den Stand der Technik wird auf Basis des vorhergehenden Kapitels die vielversprechendste Technologie ausgewählt und im Weiteren eine Hardware-Implementierung vorgestellt.

Kapitel 7 befasst sich mit Sekundärzellen-basierten Energiespeichersystemen. Wie im vorherigen Kapitel folgen einer kurzen Abhandlung zum Stand der Technik die Technologieauswahl und die Vorstellung erster Implementierungen. Als zusätzliches Subkapitel wird hier eine eigens entwickelte Technologie zur Versorgung des Niederspannungsbusses eines vollelektrischen Fahrzeuges aus dem Multilevel-Direktumrichter-basierten System mit verteilten Sekundärzellen vorgestellt.

Kapitel 8 gibt schließlich eine allgemeine Zusammenfassung über die in dieser Arbeit erhaltenen Ergebnisse.

Im Zuge der dieser Arbeit zu Grunde liegenden wissenschaftlichen Tätigkeit wurden vom Autor mehrere Patente und wissenschaftliche Publikationen veröffentlicht und etliche studentische Abschlussarbeiten betreut. Teile der vorliegenden Arbeit sind in einigen dieser Veröffentlichungen vorab veröffentlicht. Hierbei handelt es sich um:

- fünf Patente [6]–[10]
- sieben Veröffentlichungen als Erstautor [11]–[17]
- acht Veröffentlichungen als Co-Autor [18]–[25]



## 2 Stand der Technik

### 2.1 Halbleiterschalter

Für die Realisierung aller in dieser Arbeit betrachteten Umrichtertechnologien und -topologien sind schnell und verlustarm schaltende Schalter mit geringen Leitverlusten von entscheidender Bedeutung. Aus diesem Grund wird hier zuerst ein kurzer Einblick in die aktuell im Bereich von Leistungsumrichtern eingesetzten Schalter gegeben. Neben den weit verbreiteten Silizium-Halbleitern in MOSFET- und IGBT-Technologien werden auch die beiden aktuell vielversprechendsten Technologien mit weiterem Bandabstand auf Basis von Siliziumkarbid und Galliumnitrid betrachtet.

#### 2.1.1 Si-MOSFET

Der Silizium(Si)-MOSFET ist der aktuell am weitesten verbreitete Halbleiterschalter in Leistungsumrichtern bis zu einer Spannung von etwa 250 V. Si-MOSFETs zeichnen sich durch kurze Schaltzeiten und geringe Leitverluste aus (vergleiche hierzu [26]–[28]). Ein weiterer Vorteil von Si-MOSFETs ist deren positiver Temperaturkoeffizient des Durchgangswiderstandes ( $R_{DSon}$ ), der eine parallele Verschaltung von mehreren Si-MOSFETs erleichtert. Der positive Temperaturkoeffizient bewirkt eine Erhöhung des  $R_{DSon}$  mit steigendem Drain-zu-Source-Strom, womit ein thermisches Auseinanderlaufen parallel geschalteter Schalter, wie dies bei anderen Halbleitertechnologien vorkommt, verhindert wird. [29], [30] Durch eine Parallelschaltung mehrerer Si-MOSFETs können die Durchlassverluste drastisch reduziert werden. Diese Vorteile ermöglichen Systeme mit hoher Leistung und hohen Schaltfrequenzen. [31], [32]

Limitiert wird der Einsatzbereich von Si-MOSFETs durch deren relativ geringe Durchbruchfeldstärke von etwa 0,23 MV/cm, im Vergleich zu 2,2 MV/cm bei Siliziumkarbid und 3,3 MV/cm bei Galliumnitrid. Dies bewirkt eine maximale Durchbruchspannung verfügbarer Si-MOSFETs auf unter 1000 V. [33] Ein weiterer Nachteil von Si-MOSFETs für hohe Spannungen ist deren in der Regel stark erhöhte Reverse-Recovery-Charge und Reverse-Recovery-Zeit – z. B.  $Q_{rr} = 9 \mu C$  und  $t_{rr} = 600 ns$  eines IPT65R033G7 Si-MOSFETs [34] zu  $Q_{rr} = 1,03 \mu C$  und  $t_{rr} = 85 ns$  eines AIKW50N65DH5 Si-IGBTs [35] (beide Infineon Technologies AG, Neubiberg, Deutschland). Hohe Reverse-Recovery-Werte erhöhen die Anfälligkeit für Überspannungen beim Ausschalten in einer Halbbrücken-Topologie. Die hohen Reverse-Recovery-Verluste reduzieren zudem die nutzbare Strombelastbarkeit, um eine thermische Zerstörung der Si-MOSFETs zu verhindern. Auch können die stark variierenden Reverse-Recovery-Zeiten zu einer Zerstörung des Si-MOSFETs bei zu kurzen Abständen zwischen Ausschalten des einen und Einschalten des anderen Si-MOSFETs einer Halbbrücke führen. [36], [37]

### 2.1.2 Si-IGBT

Wie aus vorherigem Kapitel ersichtlich sind Si-IGBTs bei höheren Spannungen im Vorteil gegenüber Si-MOSFETs. Neben dem in der Regel besseren Reverse-Recovery-Verhalten<sup>1</sup> sind bei höheren Spannungen auch niedrigere Durchlassverluste als mit entsprechenden Si-MOSFETs erreichbar. Der Mechanismus für die Durchlassverluste von IGBTs entspricht dem Prinzip eines Spannungsabfalls an einer Diode. Der Spannungsabfall ist bei IGBTs ebenso wie der  $RDSon$  von MOSFETs abhängig vom Strom. Der Spannungsabfall im IGBT steigt hierbei nur logarithmisch mit dem Strom. Somit erzeugen höhere Ströme nur minimal höhere Durchlassverluste im IGBT. Der Nachteil dieses Mechanismus ist, dass eine Parallelschaltung von IGBTs keine starke Verringerung der gesamten Durchlassverluste bewirkt. Ansonsten ist eine Parallelschaltung von IGBTs durch deren ebenfalls positiven Temperaturkoeffizienten ähnlich einfach wie bei MOSFETs. [31], [38]

Die Schaltzeiten moderner IGBTs sind ähnlich denen von MOSFETs. Schaltverluste von IGBTs sind jedoch höher als die vergleichbarer MOSFETs, weshalb deren Haupteinsatzbereich in Frequenzbereichen bis ca. 20 kHz liegt. Dies liegt in erster Linie an der Verlustenergie, welche bei hohen Leistungen und Schaltfrequenzen die Notwendigkeit einer Parallelschaltung mehrerer IGBTs bedingt, was wie erwähnt nur zu einer geringfügig höheren Effizienz führt. [31]

### 2.1.3 SiC-MOSFET

Siliziumkarbid(SiC) basierte MOSFETs ist eine relativ junge Technologie. Die Vorteile setzen sich aus den Vorteilen von Si-MOSFETs und Si-IGBTs zusammen, wobei insbesondere geringe  $RDSon$ , kurze Schaltzeiten und hohe Spannungsfestigkeit zu nennen sind. Zudem weisen SiC-MOSFETs geringe Reverse-Recovery-Ladungen und -Zeiten auf – z. B.  $Q_{rr} = 0,206 \mu C$  und  $t_{rr} = 31 ns$  eines SCT3017ALH SiC-MOSFETs [39].

Um die extrem kurzen Schaltzeiten von SiC-MOSFETs erreichen zu können, ist ein Layout der Ansteuerschaltung mit geringen parasitären Induktivitäten vonnöten. Zum Teil wird auch eine unsymmetrische Gate-Source-Spannung mit etwa +20 V und – 5 V benötigt. Neben diesen Herausforderungen ist die Verfügbarkeit aktuell niedrig und der Preis im Vergleich zu IGBTs und Si-MOSFETs hoch. Beide Faktoren können sich allerdings rasch ändern, sobald die Marktdurchdringung dieser Technologie steigt. Insbesondere in Anwendungen mit hoher Schaltfrequenz oder mit hohen Anforderungen an die Effizienz ist der SiC-MOSFET aktuell die vielversprechendste Technologie. [33], [40]

### 2.1.4 GaN-HEMT

Galliumnitrid(GaN)-Transistoren haben ähnlich wie SiC-MOSFETs hohe Spannungsfestigkeiten bei kurzen Schaltzeiten und prinzipiell geringem  $RDSon$ . Durch ihre laterale Struktur weisen GaN-Transistoren eine geringe Gate-Source-Schwellenspannung auf

<sup>1</sup>IGBTs besitzen keine Body-Dioden-Charakteristik, wie dies bei MOSFETs der Fall ist. Stattdessen werden separate Dioden in die IGBTs-Gehäuse integriert.

(z. B.  $V_{GSt_{h_{min}}} = 1,1 \text{ V}$  eines GS66516T von GaN Systems, Ottawa, Kanada)[41]. Bei der Treiberschaltung muss daher noch mehr Augenmerk auf ein niederinduktives Layout als bei SiC-MOSFETs gelegt werden, um ein ungewolltes Einschalten des Transistors zu vermeiden. Eine bipolare Gate-Ansteuerung mit Spannungen von bis zu  $-10 \text{ V}$  zum Ausschalten und lediglich  $+7 \text{ V}$  ist hierbei keine Seltenheit. [41], [42]

GaN-Transistoren besitzen keine Bodydiode, wie dies bei Si- und SiC-MOSFETs der Fall ist. Jedoch weisen sie eine Art Bodydioden-Charakteristik auf, welche bei negativer Drain-Source-Spannung eine Stromführung ermöglicht. Durch die Abwesenheit von Minoritätsladungsträgern treten keine Reverse-Recovery-Verluste auf. Jedoch weist die Vorwärtsspannung der Bodydioden-Charakteristik auf dem aktuellen Stand der Entwicklung einen höheren Spannungsabfall auf als etwa bei SiC-MOSFETs. Die Zeitspanne, in der die Bodydioden-Charakteristik genutzt wird, sollte somit stark begrenzt sein. [42]

Die Marktdurchdringung von GaN-Transistoren ist noch geringer als bei SiC-MOSFETs. Ein Vorteil von GaN-Transistoren ist deren breiterer Spannungsbereich, welcher in etwa von  $100 \text{ V}$  bis  $950 \text{ V}$  reicht und somit die Lücke zwischen schnell schaltenden Niederspannungs-Si-MOSFETs und Hochvolt-SiC-MOSFETs schließen kann. [31], [42]

### 2.1.5 Zusammenfassung

Bei Modularen Multilevel-Systemen mit SM Spannungen um  $80 \text{ V}$  stellen GaN-Transistoren eine äußerst vielversprechende Alternative zu Si-MOSFETs dar. Da diese neue Technologie aktuell nur für  $100 \text{ V}$  und  $650 \text{ V}$  bzw.  $950 \text{ V}$  verfügbar ist, sind SM-Spannungen unter  $48 \text{ V}$  hingegen nicht sinnvoll, da eine zu geringe Spannungsausnutzung die Wirtschaftlichkeit stark mindert. Auch als Umpoler für die nachfolgend betrachteten M2B-Halbbrücke-Topologien sind diese nicht sinnvoll, da hierbei Schaltverluste kaum von Interesse sind und GaN-Transistoren keinen Vorteil bezüglich Durchlassverlusten bieten. Für EMMC-Systeme sind GaN-Transistoren wegen ihrer hohen Schaltgeschwindigkeit und des nicht vorhandenen Reverse-Recovery-Effect hingegen vorteilhaft.

SiC-MOSFETs sind nur für höhere Spannungen verfügbar und somit nicht für die hier betrachteten M2B-Systeme geeignet. Für die SMs mit hohen Spannungen des später in dieser Arbeit vorgestellten EMMC-Systems sind SiC-MOSFETs aktuell die einzig sinnvolle Technologie. Bedingt durch die hohen Schaltfrequenzen scheiden hier Technologien wie Si-IGBTs aus. Eine Implementierung mit Si-MOSFETs ist hingegen wegen deren zumeist hohen Reverse-Recovery-Verlusten problematisch.

## 2.2 Umrichter

### 2.2.1 Zwei-Punkt-Umrichter

Die aktuell am weitesten verbreitete Umrichtertechnologie für elektrische Motoren und viele Arten von Netzteilen ist die in Abbildung 2.1 dargestellte Zwei-Punkt-Umrichter-Topologie. Die Regelstrategie, um aus einer Gleichspannung eine Wechselspannung zu

erzeugen, basiert auf der PWM. Bei einer PWM wird der Umrichter basierend auf der Breite, dem Zeitpunkt und der Frequenz der EIN/AUS-Signalimpulse an den Gates der Schalteinheiten gesteuert. [43]

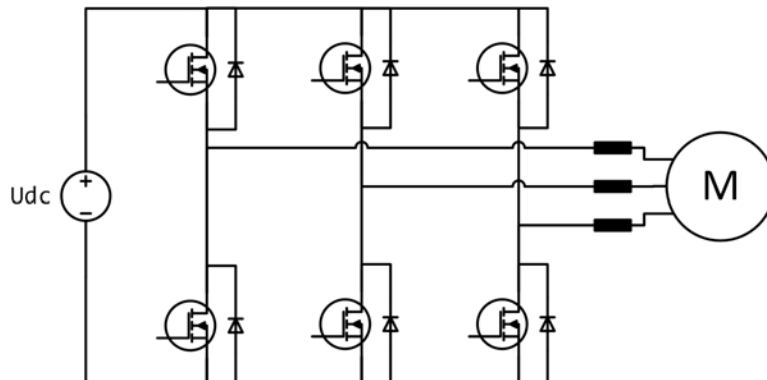


Abbildung 2.1: Zwei-Punkt-Umrichter-Topologie [43]

Für Zwei-Punkt-Umrichter sind verschiedene PWM-Regelstrategien bekannt. Dies sind etwa: (1) Sinus-PWM(SPWM)-, (2) Space-Vektor-modulierte PWM(SVPWM)- und (3) diskontinuierliche PWM(DPWM)-Strategien. [43] Eine etwas genauere Betrachtung der PWM-Generierung erfolgt in Kapitel 4.

In Systemen mit geringen Induktivitäten wird eine hohe PWM-Frequenz benötigt, um den THD in Grenzen zu halten. Insbesondere für Motoranwendungen mit hohen Drehzahlen ist dies entscheidend, da hohe Stromrippel zu erhöhten Verlusten und Drehmoment-Schwankungen im Motor führen. Eine Erhöhung der PWM-Frequenz führt allerdings wiederum zu erhöhten Schaltverlusten im Umrichter und hochfrequenten Stromrippeln auf der Gleichspannungsseite. Bei sehr hoch drehenden Motoren ist zudem der Einsatz von Schalteinheiten mit geringen Schaltzeiten, wie etwa Silicon-Carbide-Metall-Oxid (SiC)-MOSFETs oder Gallium Nitride (GaN)-High-Electron-Mobility Transistors (HEMPTs), unumgänglich. [44]

### 2.2.2 Spannungs- oder stromlos schaltende Zwei-Punkt-Umrichter

Um die Schaltverluste bei hohen PWM-Frequenzen zu verringern, können resonante Schaltungstopologien verwendet werden. Hierbei werden Nebenschaltungen parallel zu den sechs Hauptschaltern der vorherigen Topologie verschaltet. Mittels dieser Nebenschaltungen kann die Spannung über oder der Strom durch den Hauptschalter vor deren Betätigung auf null gezogen werden. Ein Beispiel einer Schaltung für spannungslos schaltende der Firma BURSA Elektronik AG (Sennwald, Schweiz) zeigt Abbildung 2.2. Bei dieser Topologie wird die Spannung über den Hauptschalter mittels zweier elektromagnetischer über einen Eisenkern gekoppelter Induktivitäten ( $L1$  und  $L2$  für den oberen Hauptschalter und  $L1$  und  $L3$  für den unteren Hauptschalter) reduziert. Die Betätigung eines Hilfsschalters in einer Hälfte der Halbbrücke bewirkt eine Erhöhung des Stromflusses in der anderen Halbbrücke. Somit wird die Spannung über dem Hauptschalter mit Hilfe der beiden Dioden und Kondensatoren auf null gezogen. [45]

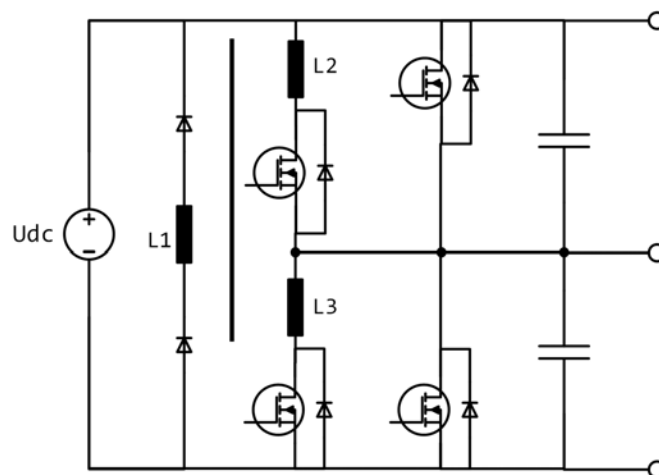


Abbildung 2.2: Schaltungstopologie zum spannungslosen Schalten der Firma BURSA Elektronik AG [45]

Durch die Reduktion der Schaltverluste wird der Einsatz von langsamer schaltenden Schaltern oder Schaltern mit höheren Schaltverlusten wie etwa IGBTs in Anwendungen mit hohen PWM-Frequenzen ermöglicht. Nachteile aller spannungs- oder stromlos schaltenden Umrichtertopologien sind der erhöhte Regelungsaufwand und der höhere Bauteilaufwand<sup>2</sup>.

### 2.2.3 Pulse-Amplituden-Modulations-Umrichter

Eine weitere Topologie mit dem Ziel, die Schaltverluste eines Zwei-Punkt-Umrichters für Motoranwendungen zu reduzieren, ist die Puls-Amplituden-Modulation (PAM) (Abbildung 2.3). Hierbei wird ein DC/DC-Wandler verwendet, um die Eingangsspannung an einem Zwei-Punkt-Umrichter in Abhängigkeit von der am aktuellen Arbeitspunkt benötigten Spitzenspannung am Phasenanschluss zu variieren, wie dies etwa bei Motoren möglich ist, und den Strom am Gleichspannungseingang zu regeln. Der Zwei-Punkt-Umrichter kann hierbei mit der fundamentalen Frequenz des Motors betrieben werden, womit dessen Schaltverluste minimiert werden, ohne hohe THD-Werte und damit ohne erhöhte Motorverluste. [44]

Der Hauptnachteil dieser Technologie liegt im hohen Aufwand für den variablen DC/DC-Wandler. Insbesondere die hohe Spannungsvariabilität, welche in den meisten Anwendungen am Eingang des Zwei-Punkt-Umrichters benötigt wird, in Verbindung mit einer schnellen Spannungsänderung bedingt einen schnell schaltenden DC/DC-Wandler. Ein hochfrequenter DC/DC-Wandler ruft allerdings hohe Schaltverluste hervor, womit ein PAM eher für Anwendungen mit kleineren Leistungen bis hin zu ein paar Kilowatt sinnvoll scheint. [44]

<sup>2</sup>Bei der Technologie von BURSA werden doppelt so viele Schalteinheiten benötigt wie bei einfachen Zwei-Punkt-Umrichtern. Alle Schalter müssen hierbei ebenso wie die Induktivitäten und Dioden den vollen Phasenstrom tragen können.

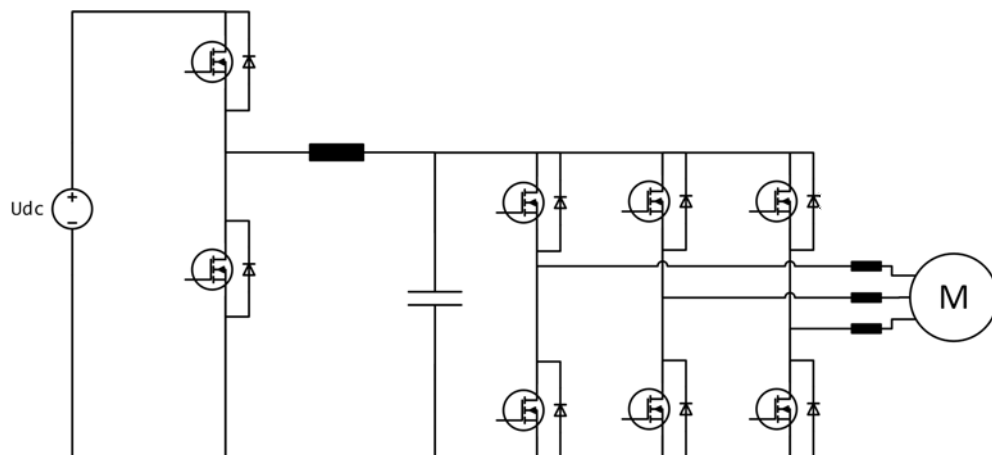


Abbildung 2.3: Pulse-Amplituden-Modulations-Zwei-Punkt-Umrichter [44]

### 2.2.4 Mehr-Punkt-Umrichter

Eine Verbesserung der Spannungs- bzw. Stromqualität der Wechselspannung ist auch die grundlegende Idee von Mehr-Punkt-Umrichtern. Bei dieser Art von Umrichtern wird mittels einer geeigneten Schaltertopologie eine Verbindung zu einem Neutralpunkt des DC-Zwischenkreises hergestellt. Somit kann im Falle eines Drei-Punkt-Umrichters neben der positiven und negativen Spannung der Gleichspannungsquelle auch eine Nullspannung an den Ausgängen des Umrichters angelegt werden. Zusätzlich können in manchen Topologien auch weitere Zwischenspannungen erzeugt werden. So ist es etwa in Fünf-Punkt-Umrichtern möglich, neben der positiven, negativen und Nullspannung auch noch die Hälfte der positiven Spannung und die Hälfte der negativen Spannung an die Phasenanschlüsse anzulegen. [43] Nachfolgend werden nur zwei Drei-Punkt-Umrichter betrachtet, um das grundlegende Prinzip dieser Umrichtergattung zu verdeutlichen.

#### I-Type-Neutral-Point-Clamped-Drei-Punkt-Umrichter

Beim I-Type-Neutral-Point-Clamped-Drei-Punkt-Umrichter, wie in Abbildung 2.4 dargestellt, wird die Verbindung zum Neutralpunkt der Gleichspannung mittels zweier Dioden und zweier Schalter je Phasenarm hergestellt. Der Neutralpunkt der Gleichspannung wird mittels zweier in Reihe zueinander und parallel zur Gleichspannungsquelle geschalteter Kondensatoren generiert. Die Verbindung zum positiven und negativen Anschluss der Gleichspannungsquelle erfolgt mittels der beiden Schalter und zweier zusätzlich dazu in Serie geschalteter. Die Schalter in dieser Topologie sind maximal der Hälfte der Spannung der Gleichspannungsquelle ausgesetzt. Dies ermöglicht den Einsatz von Schaltern mit geringerer maximaler Sperrspannung im Vergleich zu Zwei-Punkt-Umrichtern. Zudem werden die einzelnen Schalter im Vergleich zu Zwei-Punkt-Umrichtern weniger oft geschaltet. [43]

Die Hauptnachteile dieser Technologie liegen im erhöhten Regelaufwand zur Balancierung der beiden Kondensatorspannungen. Zudem werden die verschiedenen Schalter un-

terschiedlich stark belastet. So werden bei kleineren Spannungen am Motor die beiden mittleren Schalter eines Phasenarms länger bestromt als die beiden anderen. Bei höheren Spannungen werden hingegen der oberste und der unterste Schalter länger bestromt als die beiden mittleren. [43]

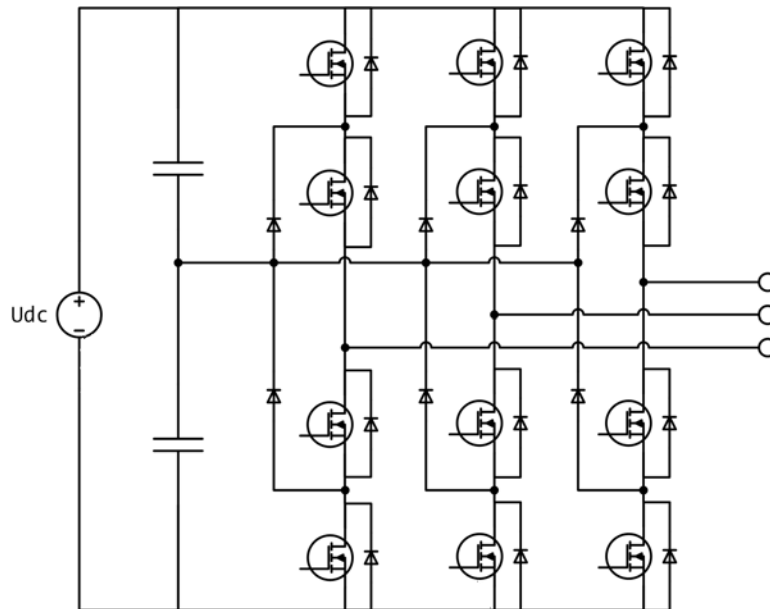


Abbildung 2.4: Drei-Punkt-Neutral-Point-Clamped-Umrichter [43]

### T-Type-Neutral-Point-Clamped-Drei-Punkt-Umrichter

Bei T-Type-Neutral-Point-Clamped-Drei-Punkt-Umrichtern wird die Verbindung zum Neutralpunkt mittels zweier antiseriell zueinander verschalteter Schalter hergestellt (Abbildung 2.5). Diese beiden antiseriell verschalteten Schalter müssen wiederum nur die halbe DC-Zwischenkreis-Spannung schalten, wohingegen die beiden anderen Schalter die volle DC-Spannung schalten müssen. [43]

Die T-Type-Neutral-Point-Clamped-Drei-Punkt-Umrichter-Topologie weist dieselben Vorteile wie die Neutral-Point-Clamped-Drei-Punkt-Umrichter-Topologie auf. Ein Vorteil gegenüber dieser sind die etwas geringeren Leitverluste, da zwischen den Phasenanschlüssen und dem positiven bzw. negativen Anschluss der Gleichspannungsquelle jeweils nur ein Schalter liegt. Durch die beiden antiseriell verschalteten Schalter zwischen Phasenanschluss und Neutralpunkt entstehen an dieser Stelle jedoch höhere Verluste.

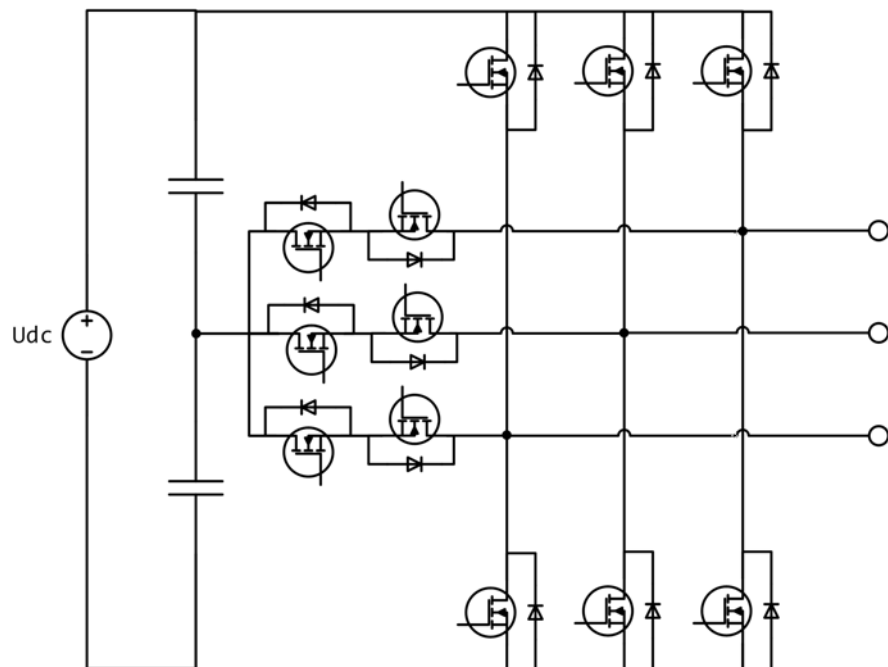


Abbildung 2.5: Drei-Punkt-T-Type-Neutral-Point-Clamped-Umrichter [43]



## 3 Modulare Multilevel-Umrichter

### 3.1 Einführung in Modulare Multilevel-Umrichter

#### 3.1.1 Grundprinzip

Die Grundintention Modularer Multilevel-Umrichter ist ähnlich wie bei Mehr-Punkt-Umrichtern eine Verbesserung der Spannungsqualität. Das Grundprinzip basiert hierbei auf der aus der Signalverarbeitung bekannten Quantisierung eines Signals. Im Falle von Modulare Multilevel-Umrichter-Systemen entspricht dem Signal die abzubildende Ausgangsspannung ( $U_{reg}$ ). Abbildung 3.1 links zeigt die resultierende quantisierte Ausgangsspannung ( $U_{quant}$ ) bei einer Quantisierungshöhe von  $\Delta U = 50 V$  in Relation zu einer Sinusspannung von  $230 V$  mit  $50 Hz$  ( $U_{reg}$ ). Im Vergleich dazu zeigt der rechte Teil der Abbildung 3.1 die Ausgangsspannung ( $U_{PWM}$ ) eines herkömmlichen Drei-Punkt-Umrichters mit einer PWM-Frequenz ( $f_{PWM}$ ) von einem Kilohertz<sup>1</sup>.

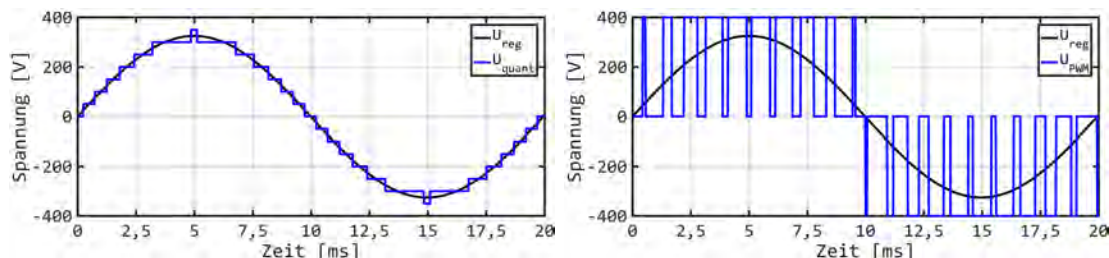


Abbildung 3.1: Links: Quantisierte Ausgangsspannung eines Multilevel-Umrichters mit einer Quantisierungshöhe von  $50 V$ ; rechts: Ausgangsspannung eines Drei-Punkt-Umrichters mit  $1 kHz$  PWM; jeweils in Relation zu einer Ausgangsspannung von  $230 V$ ,  $50 Hz$

Ein prinzipieller Vorteil von Multilevel-Systemen ist die geringere Abweichung der Ausgangsspannung vom Sollwert. Dies führt zu geringeren THD-Werten, womit sich der Filteraufwand verringert bzw. in Motoranwendungen die Effizienz des Motors steigt – hierzu aber später mehr. In manchen Multilevel-Systemen müssen zudem nur Spannungen im Bereich der Quantisierungshöhe geschaltet werden, womit der Einsatz von Halbleiter-Feldeffekt-Transistoren (IGBTs oder MOSFETs) auch für hohe Spannungen ermöglicht wird. Der Einsatz von Halbleiter-Feldeffekt-Transistoren mit ihren kurzen Schaltzeiten und dem geringeren zu schaltenden Spannungshub führt zu einer Verringerung der Schaltverluste. Durch die kleineren zu schaltenden Spannungen – im Vergleich

<sup>1</sup> $1 kHz$  wurde hier nur zur besseren Darstellbarkeit gewählt. In der Regel liegt die PWM-Frequenz bei einem derartigen System um die  $20 kHz$ .

zu Drei-Punkt-Umrichtern – reduziert sich zudem die elektromagnetische Felder (EMF)-Ausstrahlung. [46]

### 3.1.2 Spannungs- und Stromqualität

Die Spannungs- und Stromqualität von Stromrichtern wird mittels der THD, also des Verhältnisses der summierten Leistung aller Oberschwingungen zur Leistung der Grundschwingung, qualifiziert. Entscheidenden Einfluss darauf haben die zu schaltende Spannungshöhe, die verwendete Schaltfrequenz, die Schaltgeschwindigkeit der verwendeten Leistungshalbleiter, das Ansteuerverfahren und die Spannungsänderungsgeschwindigkeit der verwendeten Energiespeicherelemente. [46] Insbesondere die Verwendung einer überlagerten hochfrequenten PWM bei Multilevel-Umrichtern ist bei höheren SM-Energiespeicher-Spannungen entscheidend, da ansonsten die mittlere Spannungsabweichung zum Soll-Spannungsverlauf zu hoch ist. Die PWM wird bei Multilevel-Systemen den in Abbildung 3.1 links dargestellten Treppenstufen überlagert. Die Amplitude des PWM entspricht dabei in der Regel der Höhe der Spannungsstufen. Eine detaillierte Beschreibung wird in Kapitel 4.1 gegeben.

Bei einem Netzparallelbetrieb dürfen bestimmte THD-Grenzwerte nicht überschritten werden, um das Netz nicht zu stören und elektronische Geräte zu gefährden. Im europäischen Netz gilt für die Spannung laut EN50160 eine maximale Abweichung von  $\pm 10\%$ . Bei der Stromqualität ist laut Norm IEC61727 ein maximaler THD von  $5,0\%$  zulässig. Der Grenzwert für die Stromqualität von  $5,0\%$  kann in der Regel durch einen geeigneten Netzfilter eingehalten werden. Allerdings sind die Kosten und die Verluste, welche durch die Filter entstehen, gerade in Zwei- oder Drei-Punkt-Umrichter-Systemen sehr hoch. Auch in manchen Multilevel-basierten Systemen kann diese Norm bedingt durch die aus Kostengründen zumeist relativ hohe Spannung der Submodule nicht ohne einen Filter eingehalten werden. [47], [48]

Neben diesen beiden maximalen Grenzwerten für Strom und Spannung existieren auch noch detailliertere Grenzwerte und Richtlinien, welche etwa die maximalen Werte der Oberwellen der einzelnen Ordnungen oder Grenzwerte in Abhängigkeit von der Leistung definieren. Für den in dieser Arbeit angestrebten Vergleich zwischen verschiedenen Umrichtertopologien ist jedoch ein Detaillierungsgrad jenseits der beiden zuvor erwähnten Richtwerte nicht zielführend, da durch verschiedene Modulationsverfahren der THD in weiten Bereichen beeinflusst werden kann und zumeist eine Filterung zur Einhaltung der Normen verwendet werden kann. (vergleiche hierzu [48], [49])

Abbildung 3.2 zeigt die Abhängigkeit des THDs von der SM-Energiespeicher-Spannung und der Frequenz des überlagerten PWM, erstellt in Matlab/Simulink (The MathWorks Inc., Natick, USA). Der THD wurde dabei auf Basis eines einphasigen Multilevel-Direktumrichters für ein  $230\text{ V}$ -Netz mit  $50\text{ Hz}$  ohne einen Filter berechnet. Überschwinger beim Schalten und Spannungsabfälle an den Energiespeicherelementen der SMs wurden vernachlässigt. Zudem wurde ein ideales Schaltverhalten angenommen und parasitäre Induktivitäten wurden nicht berücksichtigt. Die Vereinfachungen beeinflussen die THD-Werte positiv. Der Einfluss der beiden hier evaluierten Faktoren (SM-Spannung und PWM-Frequenz) auf den THD wird hiervon allerdings nicht tangiert.

Wie aus der Abbildung ersichtlich, wird bereits mit einer SM-Spannung von 48 V mit einer PWM-Frequenz von 30 kHz ein THD von 5,5 % erreicht. Für die Einhaltung der Norm ist somit nur ein sehr geringer Filteraufwand zu betreiben. Durch eine Erhöhung der PWM-Frequenz oder Verkleinerung der SM-Spannung kann die Norm bereits erfüllt werden.

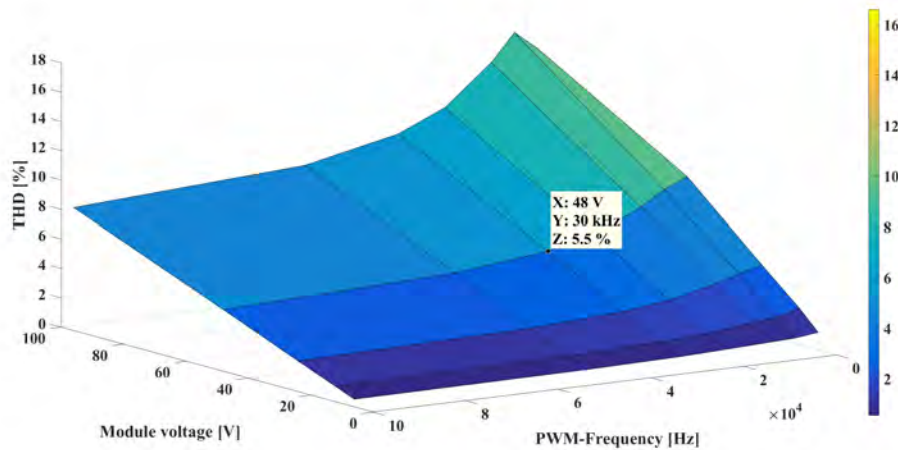


Abbildung 3.2: Abhängigkeit des THDs von der SM-Spannung und der Frequenz des überlagerten PWMs in MMC-Systemen

Wie gezeigt hat die Wahl der SM-Energiespeicher-Spannung einen entscheidenden Einfluss auf den THD des Ausgangsstroms. Die Höhe der SM-Spannung bestimmt allerdings auch direkt die Anzahl an SMs. Je kleiner die SM-Spannungen und je größer damit die Anzahl an SMs, desto höher sind prinzipiell auch die Bauteilkosten und der Regelungsaufwand. Der Einfluss auf den Wirkungsgrad des gesamten Systems ist hingegen stark von der gewählten Anwendung und Umrichtertechnologie abhängig und wird in Kapitel 5 näher betrachtet.

## 3.2 Multilevel-Direktumrichter

### 3.2.1 Serielle Multilevel-Direktumrichter

Die Grundlage für das breite Spektrum an Multilevel-Umrichtern wurde in den 1970er Jahren von Richard Baker und Lawrence Bannister gelegt. In ihrer am 14.01.1974 patentierten Umrichtertechnologie [50] werden die zuvor beschriebenen Spannungsstufen dadurch generiert, dass elektrische Energiespeicher variabel zueinander seriell geschaltet oder überbrückt werden. Die Spannung der Energiespeicher entspricht dabei der Quantisierungshöhe und ist somit viel kleiner als die Ausgangsspannung. In dieser Umrichtertopologie werden zwingend mehrere Spannungsquellen wie Sekundärzellen oder Potential getrennte DC/DC-Wandler benötigt.

**Vollbrücken-Multilevel-Direktumrichter** Eine wie in Abbildung 3.3 gezeigte Kombination aus Schaltelementen und Energiespeichereinheiten wird hierbei als SM bezeichnet. Bei der dargestellten Implementierung handelt es sich um Vollbrücken-SM, welche einen Vier-Quadranten-Betrieb ermöglichen. An den beiden Anschlüssen der SMs können drei Spannungslevel erzeugt werden – positive und negative Spannung und  $0\text{ V}$ , also der Bypass des SM-Energiespeichers. Der rechte Teil der Abbildung 3.3 zeigt skizziert die Entstehung der Spannungsstufen in Abhängigkeit von der in Anzahl in Reihe geschalteten Energiespeicher. In Bereichen, in denen die Ausgangsspannung kleiner ist als die Summe der Spannungen aller SM-Energiespeicher, werden nicht benötigte Energiespeicher gebypassst.

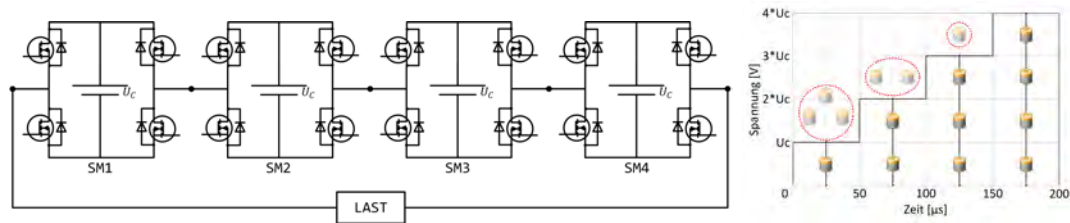


Abbildung 3.3: Multilevel-Direktumrichter-Topologie bestehend aus vier Vollbrücken-SM mit verteilten Energiespeichereinheiten (links) und vier der neun möglichen Spannungsstufen (vier positive, vier negative und  $0\text{ V}$ ) an der Last (rechts)

Dieses ursprüngliche Konzept eines serieller Multilevel-Direktumrichter (sMC) mit verteilten Sekundärzellen wurde über die Jahre bis hin zur neueren Zeit immer wieder intensiv insbesondere für die Verwendung in Elektrofahrzeugen und stationären Energiespeichersystemen betrachtet. Neben Implementierungen mit Vollbrücken-SM wie in [51]–[53] werden auch Implementierungen mit Halbbrücken-SM [54] diskutiert.

**Halbbrücken-Multilevel-Direktumrichter** Eine Verringerung der Menge an benötigten Schaltern ermöglichen Halbbrücken-SM. Im Gegensatz zu Vollbrücken ist jedoch hiermit nur ein Zwei-Quadranten-Betrieb möglich. An den beiden Anschlüssen der SMs kann nur die Spannung des SM-Energiespeichers mit positivem Vorzeichen angelegt oder dieser gebypassst werden. Um einen Vier-Quadranten-Betrieb des Umrichterarms zu ermöglichen, kann wie in Abbildung 3.4 gezeigt eine zusätzliche Vollbrücke verwendet werden. Die verwendeten Schalter der als Umpoler bezeichneten Vollbrücke müssen auf die volle Spannung des Umrichterarms ausgelegt sein. Geschaltet wird der Umpoler allerdings zumeist im Spannungsnulldurchgang, womit geringe Schaltverluste am Umpoler auftreten. Die Vorteile von Implementierungen mit Halbbrücken ist eine starke Verringerung des Bauteilaufwands und der Durchlassverluste in den SMs, da pro SM immer nur ein MOSFET vom Systemstrom durchflossen wird anstatt zwei MOSFETs in Serie bei Vollbrücken-SMs.

**Multilevel-Direktumrichter-basierte Wechselrichter** Auch kann ein Multilevel-basiertes Umrichtersystem zur Verbindung zweier Netze mittels potentialgetrennter DC/DC-Wandler realisiert werden. Dafür können wie in 3.4 ersichtlich die SM-

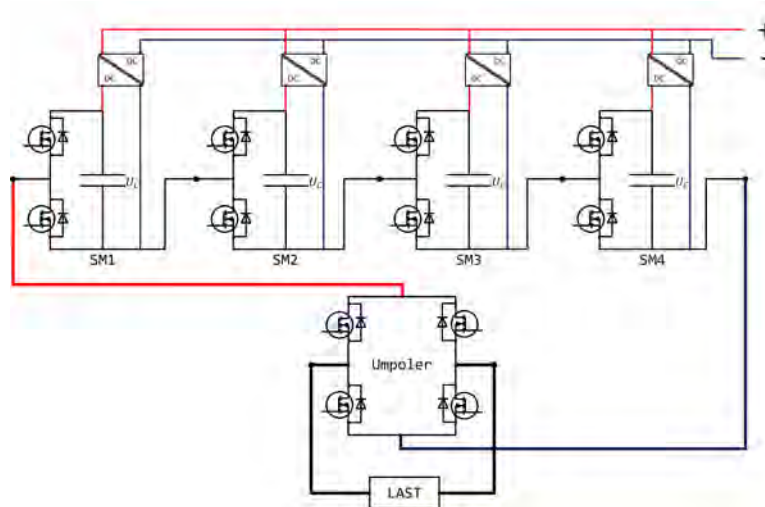


Abbildung 3.4: Multilevel-Direktumrichter-Topologie bestehend aus vier Halbbrücken-SMs mit verteilten Energiespeichereinheiten und Potential getrennter Einkopplung einer Gleichstrom – engl. direct current (DC)-Versorgung

Energiespeichereinheiten mittels je eines potentialgetrennten DC/DC-Wandlers mit einem DC-Netz gekoppelt werden [50]. Bei einer derartigen Implementierung wird nur wenig Kapazität auf den SMs benötigt, um etwa Ringing zu verringern und die Spannung an den SM Anschlüssen zu stabilisieren. Als SM-Energiespeicher können somit Kondensatoren anstelle von Sekundärzellen verwendet werden. Bedingt durch die hohe Anzahl an DC/DC-Wandlern sind die Einsatzgebiete derartiger Multilevel-Umrichter zumeist auf Anwendungen, in denen eine Potentialtrennung erforderlich ist, begrenzt.

**Multilevel-Direktumrichter mit verteilten Batterien** In neuerer Zeit erfahren Multilevel-Direktumrichter mit verteilten Batterien eine Art Renaissance. Zahlreiche Varianten wurden in den letzten Jahren vorgestellt. Diese unterscheiden sich hinsichtlich der Art, wie die Batteriemodule mit der entsprechenden Leistungselektronik verbunden sind, und durch unterschiedliche leistungselektronische Schaltungen, Module und Umrichtertopologien. Die nach wie vor einfachste Topologie entspricht hierbei der ursprünglichen in [50] beschriebenen Multilevel-Direktumrichter-Topologie mit Halbbrücken-Modulen (Abbildung 3.3) [54].

Je nach Anwendungsfall und Höhe der Modulspannungen ist die Verwendung einer überlagerten PWM notwendig, um den THD zu reduzieren. Die PWM wird von den Modulen erzeugt, wobei die Sekundärzellen gepulsten Lade- und Entladeströmen mit PWM-äquivalenten Frequenzen ausgesetzt sind, deren Amplituden der des Systemstroms entsprechen. In Multilevel-Direktumrichtern mit verteilten Batterien werden häufig dedizierte Schaltkreise (häufig DC-DC-Wandler) verwendet, um einen gleichstromförmigeren Strom durch die Sekundärzellen zu generieren. Diese Schaltkreise sind teilweise potentialgetrennt ausgeführt und verringern somit bereits prinzipbedingt die Welligkeit der Sekundärzellenströme. [55], [56] Nicht isolierte Ausführungen verwenden Kondensato-

ren teils über Spulen parallel zu den Batteriepacks geschaltet, um Stromspitzen an den Sekundärzellen zu glätten. [51], [52], [57]

Der Einsatz von Sekundärzellen als Energiespeicher kann zudem beim Schalten aufgrund der relativ hohen Induktivität der Anschlussverbindungen zwischen Sekundärzellen und SM Schaltelementen zu starkem Überschwingen, dem sogenannten Ringing, führen. Um dies zu verringern, ist es meist ausreichend, Kondensatoren von geringer Kapazität parallel zu den Sekundärzellen zu schalten [52]. Derartig parallel geschaltete Kondensatoren verringern zudem hochfrequente Stromschwankungen. Eine weitere Dämpfung der Stromschwankungen kann mittels der erwähnten Anbindung der Sekundärzellen über DC/DC-Wandler erfolgen. Hierbei sind je nach Anforderung neben nicht potentialgetrennten Lösungen ([51], [57] auch potentialgetrennte DC/DC-Wandler möglich [55]. Der Einsatz von DC/DC-Wandlern ermöglicht zudem eine Anhebung der SM-Spannung, um etwa bei Systemen mit geringem Kapazitätsbedarf die Anzahl der benötigten Sekundärzellen oder die Zahl an SMs senken zu können.

### 3.2.2 Asymmetrische Multilevel-Direktumrichter

Eine Abwandlung von Multilevel-Direktumrichtern stellen Asymmetrische Multilevel-Direktumrichter dar. Aufbau und Funktionsweise, Mikro- und Makrotopologie gleichen denen von Multilevel-Direktumrichtern. Der Unterschied liegt in der Wahl der SM-Spannungen. Anstelle von identischen Spannungen für alle SM-Energiespeicher sind bei Asymmetrischen Multilevel-Direktumrichtern die Spannungen entweder exponentiell (Binärsysteme) (siehe Tabelle 3.1) [58] oder per Dreierpotenz (Trinärsysteme) (siehe Tabelle 3.2) [59] abgestuft. Die Ausgangsspannung wird bei beiden Systemen mittels einer seriellen Verschaltung der SM-Speichereinheiten erzeugt. Bei Trinärsystemen ist zusätzlich eine antiserielle Verschaltung notwendig, um eine Spannungsdiskretisierung mit gleichbleibender Treppenstufenhöhe zu erreichen. Wie bei klassischen Multilevel-Direktumrichtern können die SM-Speichereinheiten direkt aus Sekundärzellen gebildet [58] oder über potentialgetrennte DC/DC-Wandler versorgt werden [60].

Tabelle 3.1: Submodulspannungen eines n=4 Binärsystems

SM1	SM2	SM3	SM4	Max. Gesamt
25 V	50 V	100 V	200 V	375 V

Tabelle 3.2: Submodulspannungen eines n=3 Trinärsystems

SM1	SM2	SM3	Max. Gesamt
25 V	75 V	225 V	325 V

#### Binäre Multilevel-Direktumrichter

Die resultierende Spannungsstufenhöhe ( $\Delta U$ ) entspricht der Spannung des SMs mit der kleinsten Spannung. Somit ergibt sich die Spannung des m-ten SMs ( $U_{SM}(m)$ ) zu:

$$U_{SM}(m) = 2^{m-1} * \Delta U \quad (3.1)$$

Die Anzahl der benötigten SMs ( $n$ ) zur Abbildung einer maximalen Spannung ( $U_{max}$ ) mit einem gewissen  $\Delta U$  ergibt sich zu:

$$n = \frac{\lg\left(\frac{U_{max}}{\Delta U} + 1\right)}{\lg 2} \quad (3.2)$$

Die Gesamtstufenzahl ( $k$ ) eines derartigen Umrichterarms errechnet sich mit:

$$k = 2^{n+1} - 1 \quad (3.3)$$

Die Topologie der SMs für Binäre Multilevel-Direktumrichter ist wie erwähnt identisch mit klassischen Multilevel-Direktumrichtern. Insbesondere Vollbrücken-SMs sind hier weit verbreitet [58], [60]. Auch der Einsatz von Halbbrücken-SMs ist möglich, allerdings zumeist mit einer zusätzlichen Vollbrücke, welche einen Vier-Quadranten-Betrieb des Umrichterarms und somit die Ausgabe einer positiven und negativen Spannung ermöglicht (vergleiche Abbildung 3.4) [61].

### Trinäre Multilevel-Direktumrichter

Im Unterschied zu Binären Multilevel-Direktumrichtern ist eine antiserielle Verschaltung von SMs bei trinären Systemen essentiell. Dies ist notwendig, da bei einer reinen seriellen Verschaltung keine kontinuierliche Diskretisierung erfolgen kann. Tabelle 3.3 zeigt die Schaltmatrix eines Trinär-Umrichterarms mit zwei SMs ( $SM1 = 100 V$  und  $SM2 = 300 V$ ). Um etwa eine Ausgangsspannung von  $200 V$  zu erreichen, muss SM2 eine positive Spannung ausgeben und SM1 eine negative ( $200 V = 300 V - 100 V$ ). Eine Vier-Quadranten-Befähigung auf SM-Ebene ist daher unabdingbar, womit hauptsächlich Vollbrücken-SMs zum Einsatz kommen. [59]

Tabelle 3.3: Ausgangsspannung eines n=2 Trinär-Umrichterarms mit  $100 V$  und  $300 V$  SM-Spannungen

Ausgangsspannung	SM1 [100 V]	SM2 [300 V]
400 V	+	+
300 V	0	+
200 V	-	+
100 V	+	0
0 V	0	0
-100 V	-	0
-200 V	+	-
-300 V	0	-
-400 V	-	-

Die Spannung des m-ten ( $m$ ) SM ergibt sich zu:

$$U_{SM}(m) = 3^{m-1} * \Delta U \quad (3.4)$$

wobei  $\Delta U$  wiederum der Spannung des SMs mit der kleinsten Spannung entspricht.

Die Anzahl der notwendigen SMs ( $n$ ) zum Erreichen der maximalen Spannung ( $U_{max}$ ) errechnet sich aus:

$$n = \frac{\lg\left(2 * \frac{U_{max}}{\Delta U} + 1\right)}{\lg 3} \quad (3.5)$$

Die Gesamtstufenzahl ( $k$ ) für die Ausgangsspannung errechnet sich mit:

$$k = 3^n \quad (3.6)$$

### 3.2.3 M2B

Bei den zuvor genannten Multilevel-Direktumrichter-Systemen sind zumeist nicht alle Energiespeichereinheiten aktiv und diese werden zudem mit hochfrequenten Pulsströmen ge- und entladen. Insbesondere bei Sekundärzellen-basierten Systemen führt dies dazu, dass die Sekundärzellen-bedingten Verluste im Vergleich zu Zwei-Punkt-Umrichtern mit zentralen Hochvolt-Speichern relativ hoch sind. Eine detailliertere Betrachtung dieser Effekte und von deren Ursachen erfolgt in Kapitel 5.

Um die Auslastung und den Sekundärzellen-basierten Ersatzwiderstand der Umrichterarme zu reduzieren, werden die einzelnen SM-Energiespeichereinheiten bei M2B-Systemen nicht nur seriell geschaltet oder gebypass, sondern auch zueinander parallel verschaltet. Abbildung 3.5 zeigt vier der neun möglichen Spannungsstufen (vier positive, vier negative und 0 V) eines M2B-basierten Umrichterarms bestehend aus vier SMs. Die Bildung der Spannungsstufen kann hierbei immer durch serielle und parallele Verschaltung von allen Energiespeichern eines Umrichterarms erfolgen. Ein Bypass einzelner Energiespeicher ist nur in Ausnahmefällen notwendig, wenn etwa Energiespeicher defekt oder die elektrischen Parameter der Energiespeichereinheiten stark inhomogen sind. [62]



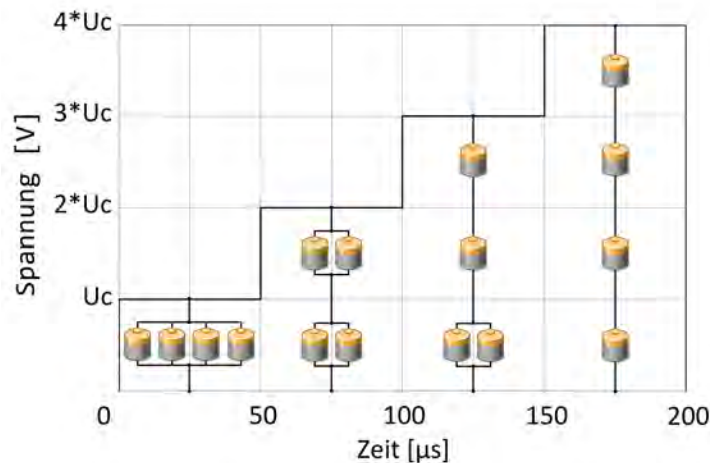


Abbildung 3.5: Vier der neun möglichen Spannungsstufen (vier positive, vier negative und 0 V) eines M2B Umrichterarms mit vier Vollbrücken-SMs

### Mikrotopologie

**M2B-Vollbrücken-SM** Zum Aufbau einer parallelen Verschaltung von zwei Energiespeichereinheiten benachbarter SMs sind mindestens zwei Verbindungen, also mit insgesamt vier Anschlüssen doppelt so viele wie bei vorhergehenden Direktumrichter-SMs, notwendig. Die naheliegendste M2B-SM-Topologie besteht aus vier anstatt zwei Halbbrücken wie in Abbildung 3.6 (a) gezeigt. Diese weiter als M2B-Vollbrücke (VB) bezeichnete SM-Topologie ermöglicht, wie herkömmliche VB-SMs, einen Vier-Quadranten-Betrieb. Neben der zusätzlichen Option, den SM-Energiespeicher wahlweise mit beiden, nur einem oder gar keinem direkt benachbarten Energiespeicher parallel zu verschalten, bestehen dieselben Optionen wie für Direktumrichter-VB-SMs – serieller Modus mit positiver und negativer Spannung, antiserieller und Bypass-Modus.

Mit den insgesamt acht Schaltern einer M2B-VB ist ein Bypass einer Energiespeichereinheit nur bei einer seriellen Verschaltung möglich. Eine Parallelschaltung der Energiespeichereinheiten von SM1 und SM3 eines in 3.6 (c) gezeigten Umrichterarms bei gleichzeitigem Bypass der Energiespeichereinheiten von SM2 ist hiermit nicht möglich. Um eine derartige Verschaltung zu ermöglichen, kann ein zusätzlicher Schalter (Bat) wie in Abbildung 3.6 (a) dienen. Dieser Schalter kann wie eingezeichnet auch unidirektional sperrend mit Body-Diode- bzw. Body-Dioden-Charakteristik ausgeführt sein. Dies ist möglich, da im bevorzugten Betriebsverfahren eines Sekundärzellen-basierten Umrichtersystems die SOC der einzelnen Sekundärzellen balanciert werden. Die resultierenden Spannungsunterschiede zwischen benachbarten Energiespeichereinheiten sind folglich gering und in der Regel kleiner als die Sperrspannung der Body-Dioden. Durch die gezeigte Ausrichtung des MOSFETs bzw. von dessen Body-Diode ist zudem bei sperrendem „BAT“-MOSFET lediglich ein Entladen bis zur Spannung der benachbarten parallel geschalteten Energiespeichereinheiten möglich. Ein Tiefentladen der betroffenen Einheit ist in Systemen mit homogener SM-Energiespeichereinheit-Implementierung nicht möglich.

Ein Überladen von Zellen führt in der Regel noch schneller zu einem Zellbrand als ein Tiefentladen [63]. Durch die beschriebene Beschaltung ist wie erwähnt ein nicht willentlich hervorgerufenen Laden von gebypassten Energiespeichereinheiten auch bei einer parallelen Verschaltung der beiden direkt benachbarten Energiespeichereinheiten zueinander nicht möglich. In Systemen mit sehr gut aufeinander abgestimmten Sekundärzellen ist ein Bypass von einzelnen Energiespeichereinheiten in der Regel obsolet. Der „Bat“-Schalter kann hierbei als Sicherung oder etwa als Relais ausgelegt werden, um im Fehlerfall defekte Energieeinheiten sicher vom System trennen zu können.

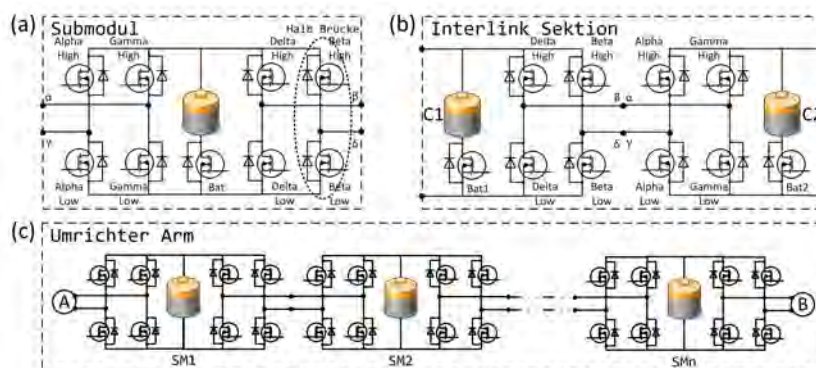


Abbildung 3.6: M2B-Umrichterarm mit vier M2B-Vollbrücken-SMs

**M2B-Halbbrücken-SM** Ähnlich wie bei klassischen rein seriellen Multilevel-Direktumrichtern besteht auch bei M2B-Systemen die Möglichkeit der Implementierung mit SM mit reiner Zwei-Quadranten-Befähigung. In der Regel wird hierbei wie zuvor ebenfalls ein zusätzlicher Umpoler benötigt, um einen Vier-Quadranten-Betrieb der Umrichterarme zu ermöglichen. Abbildung 3.7 (a) zeigt einen Umrichterarm mit vier derartigen M2B-SMs mit vier Schaltern. Der vierte Schalter unterhalb der Energiespeichereinheiten hat dieselbe Funktionalität wie der „Bat“-Schalter aus der M2B-VB-SM-Technologie (Abbildung 3.7 (b)). Der Strompfad für eine serielle Verbindung des Energiespeichers von SM1 mit den parallel zueinander geschalteten Energiespeichern von SM2 und SM4 ist in beiden Umrichterarmen rot gekennzeichnet. Der Energiespeicher von SM3 ist hierbei jeweils gebypasst. SM4 kann wie die anderen SMs oder wie abgebildet in reduzierter Form aufgebaut werden.

**M2B-Schaltzustände** Eine antiserielle Verschaltung einzelner SMs wird bei M2B-basierten Systemen in der Regel nicht verwendet, da ein Balancieren der SM-SOCs mittels der Parallelschaltung direkt oder indirekt vollzogen werden kann. Ein direktes Balancieren durch Parallelschalten von SMs mit unterschiedlichen SOC's ist nur bei minimal abweichenden SOC's möglich. Bei größeren Unterschieden bewirken die damit größer werdenden Spannungsunterschiede sehr hohe Ausgleichsströme. Diese Ausgleichsströme sind den Systemströmen überlagert und überschreiten schnell die Stromtragfähigkeit der verbauten Schaltelemente. Insbesondere in hochoptimierten M2B-Systemen mit niederresistiven MOSFETs und ohne dedizierte Induktivitäten zwischen den SM-Anschlüssen sind nur minimale SOC-Unterschiede direkt mit einer Parallelschaltung ausgleichbar.

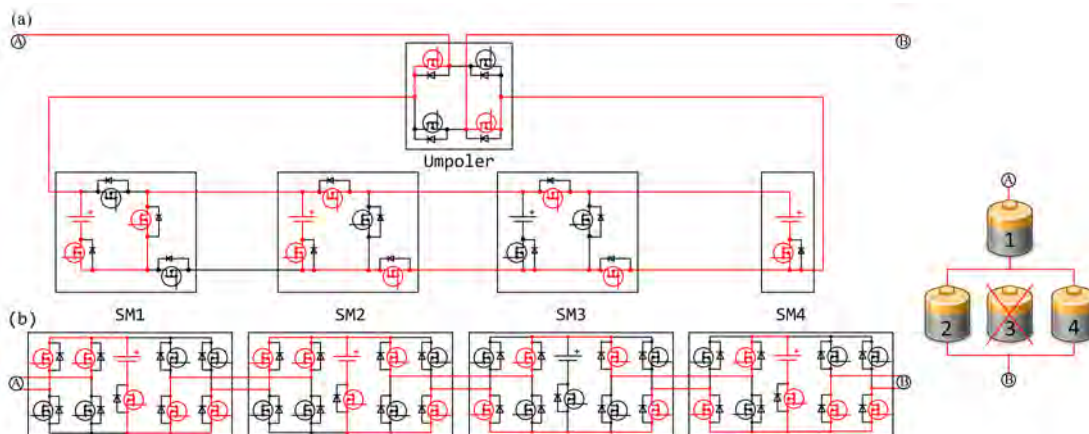


Abbildung 3.7: M2B-Umrichterarme mit (a) vier Zwei-Quadranten-SMs und einem Vollbrücken-Umpoler und mit (b) vier Vier-Quadranten-Modulen, mit rot hervorgehobenem Strompfad für eine Verbindung des Energiespeichers von SM1 in Reihe mit den parallel geschalteten Energiespeichern von SM2 und SM4, während der Energiespeicher von SM3 überbrückt ist

Bei Sekundärzellen-basierten Systemen sorgt der Spannungseinbruch bei Belastung für eine geringere Spannungsdifferenz zwischen ladendem und geladenem Energiespeicher und somit für eine Verringerung der Ausgleichsströme [64]. Ein indirektes Balancieren nutzt hingegen den Parallelmodus als zusätzliche Möglichkeit, den Stromfluss durch die SM-Energiespeichereinheiten individueller und feiner zu variieren. Neben einer feineren Variationsmöglichkeit der individuellen Ströme bewirkt die Parallelschaltung automatisch ein geringeres Auseinanderlaufen der SM-SOCs.

Abbildung 3.6 (b) zeigt die Interlink-Sektion, also die Schalteranordnung zwischen zwei benachbarten M2B-VB-basierten SMs. In Abbildung 3.8 (a) und (b) sind die Strompfade für den seriellen Modus, also eine Verbindung des positiven Pols des einen Energiespeichers mit dem negativen Pol des anderen Energiespeichers, rot markiert. Die antiseriellen Verbindungen, also eine Verbindung der beiden negativen Pole miteinander bzw. der beiden positiven ohne eine Verbindung zwischen den beiden anderen Polen, ist in 3.8 (c) bzw. (d) dargestellt. Die Abbildungen 3.8 (e) und (f) zeigen schließlich die beiden Möglichkeiten, beide Energiespeicher parallel miteinander zu verschalten.

Diese sechs Schaltzustände stellen alle zulässigen Verschaltungen von zwei benachbarten SMs dar. Alle weiteren Kombinationen sind entweder unsinnig oder im Falle eines Energiespeicher-Kurzschlusses gar destruktiv. Eine Besonderheit bei M2B-VB-SMs ist hierbei, dass ein Energiespeicher nicht nur wie in Multilevel-Direktumrichtern durch das Schalten beider Schalter einer Halbbrücke kurzgeschlossen werden kann. Ein Energiespeicher-Kurzschluss kann auch über die Schalter des benachbarten SMs erfolgen. Abbildung 3.9 zeigt zwei Möglichkeiten eines derartigen Energiespeicher-Kurzschlusses. Bei beiden Möglichkeiten sind je die linken zwei Halbbrücken im aus Abbildung 3.8 bekannten Parallel-1-Modus. Die beiden rechten Halbbrücken in Abbildung 3.9 (a) sind hingegen im Seriell-1- oder Antiseriell-2-Modus. In Abbildung 3.9 (b) wird hingegen der Kurzschluss über eine Verschaltung der beiden rechten Halbbrücken im Seriell-2- oder Antiseriell-1-Modus etabliert. Ein synchrones Schalten aller Schaltelemente ei-

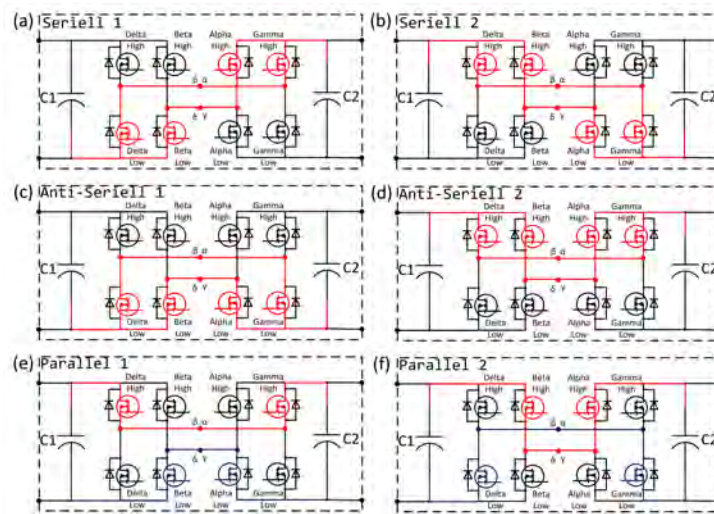


Abbildung 3.8: Interlink-Sektion von M2B-VB-Modulen mit rot und blau markiertem Strompfad für (a) positiv seriellen Modus, (b) negativ seriellen Modus, (c) Bypass über Low-Side-Schalter, (d) Bypass über High-Side-Schalter, (e) und (f) zwei Möglichkeiten des Parallelmodus

ner Interlink-Sektion ist somit entscheidend, wohingegen ein asynchrones Schalten der Schaltelemente auf SM-Ebene hinsichtlich Energiespeicher-Kurzschlüssen unkritisch ist.

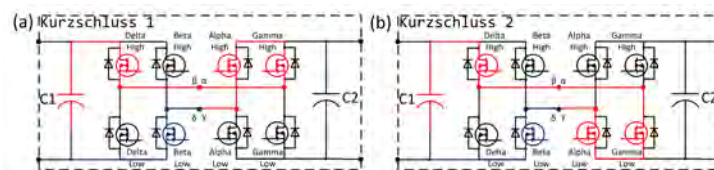


Abbildung 3.9: Interlink-Sektion von M<sup>2</sup>PC-VB-Modulen mit rot und blau markiertem Strompfad für zwei Möglichkeiten eines Kondensator-Kurzschlusses

**Stromverteilung** Wie gezeigt sind bei allen Schaltzuständen außer der Parallelschaltung immer zwei Schalter parallel geschaltet. Der resultierende Durchlasswiderstand ( $R_{DSon}$ ) halbiert sich und die Stromtragfähigkeit verdoppelt sich damit. Im Parallelmodus ist die Aufteilung des Systemstroms auf die SM-Energiespeichereinheiten ebenfalls symmetrisch, unter Vernachlässigung der Spannungsabfälle an den Widerständen im Strompfad und der Schwankungen der Energiespeicher-Ersatzserienwiderstand – engl. equivalent series resistances (ESRs). Die Aufteilung auf die Schalter, welche die parallelen Verbindungen herstellen, ist hingegen durch die serielle Anordnung der SMs ab einer Parallelschaltung von mehr als zwei Energiespeichern unsymmetrisch.

Abbildung 3.10 zeigt exemplarisch die Aufteilung des Systemstroms auf die Schalter eines Umrichterarms mit vier M2B-VB-SMs. Hierbei ist SM1 seriell zu den übrigen zueinander parallel verschalteten SMs geschaltet. Der Energiespeicher von SM1 wird mit dem vollen Systemstrom ( $I$ ) bestromt, wohingegen die parallel geschalteten Energiespeicher jeweils nur ein Drittel des Systemstroms erfahren. Die Schalter für eine serielle Verbind-

ding erfahren wie erwähnt jeweils maximal die Hälfte des Systemstroms, wohingegen die Schalter für die parallele Verbindung in Abhängigkeit von ihrer Position unterschiedlich stark bestromt werden. Die maximale Stromstärke durch einen einzelnen Schalter einer Parallelschaltung ( $I_{fet,max}$ ) ist abhängig von der Anzahl an parallel verschalteten Energiespeichern ( $p$ ) und ergibt sich im vorliegenden Beispiel für drei parallel verschaltete Energiespeicher zu:

$$I_{fet,max}(p) = \frac{p-1}{p} * I \quad (3.7)$$

$$I_{fet,max} = \frac{2}{3} * I \quad (3.8)$$

Die minimale Stromstärke, welche einzelne Schalter innerhalb der Parallelverschaltung erfahren, ist entsprechend:

$$I_{fet,min} = \frac{1}{p} * I \quad (3.9)$$

$$I_{fet,min} = \frac{1}{3} * I \quad (3.10)$$

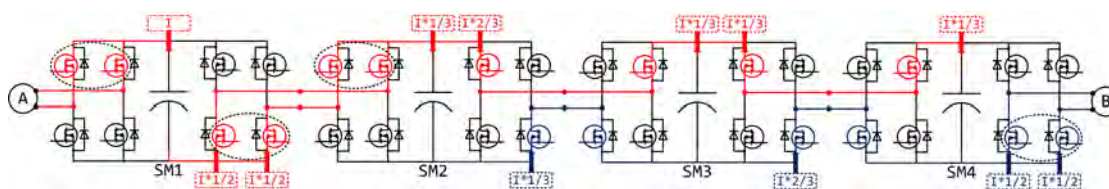


Abbildung 3.10: Umrichterarm mit vier M2B-VB-SMs. Strompfad rot und blau hervorgehoben für eine serielle Verschaltung von SM1 mit den zueinander parallel verschalteten übrigen SMs

### 3.2.4 Makrotopologien von Direktumrichtern

Die möglichen Makrotopologien der drei vorgestellten Direktumrichter-Technologien unterscheiden sich kaum voneinander. Abbildung 3.11 zeigt eine dreiphasige Direktumrichter-Topologie, welche der Hälfte eines klassischen Zwei- oder Drei-Punkt-Back-to-Back-Umrichters entspricht. Diese Konfiguration ermöglicht den Einsatz von SMs, welche lediglich einen Zwei-Quadranten-Betrieb erlauben – wie etwa HB-SMs. Für eine derartige Implementierung werden sechs Umrichterarme benötigt. [55]

Eine Reduktion der Anzahl an Umrichterarmen wird durch die drei in Abbildung 3.12 gezeigten Topologien erreicht. Bei der Topologie in Abbildung 3.12 (a) handelt es sich um eine direkte Reduktion der vorhergehenden Dreiphasigen-Direktumrichter-Topologie [53], [58], [65]. Hierbei werden nur mehr drei Umrichterarme benötigt. Die Umrichterarme müssen jedoch eine Vier-Quadranten-Befähigung aufweisen. Die maximale Spannung an den Umrichterarmen entspricht der jeweiligen Phasen-zu-Sternpunkt-Spannung. Ein Vorteil dieser Topologie ist zudem die Möglichkeit eines direkten Anschlusses an den Sternpunkt (N) des Wechselstrom – engl. alternating current (AC)-Systems. [53], [65]

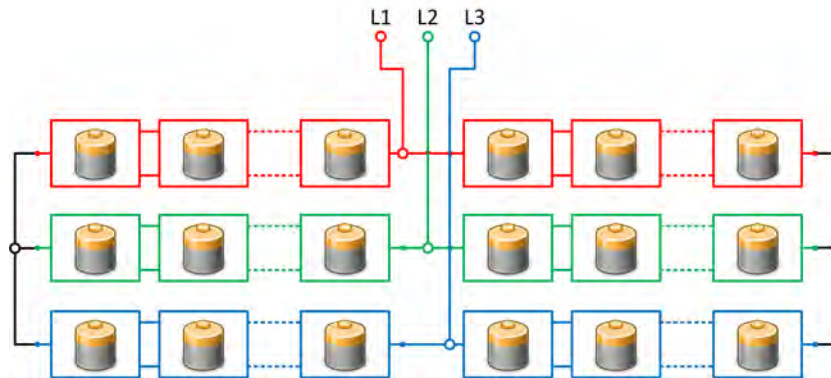


Abbildung 3.11: Dreiphasige Direktumrichter-Topologie, bekannt aus herkömmlichen Zwei- und Drei-Punkt-Umrichtern [55]

Bei den beiden Topologien in Abbildung 3.12 (b) und (c) ist keine direkte Verbindung zum Sternpunkt vorgesehen. Die maximale Spannung an den Umrichterarmen entspricht zudem der Leiter-Leiter-Spannung, womit eine im Vergleich zur vorherigen Topologie höhere Anzahl an SMs benötigt wird. Bei der sogenannten Ringtopologie aus Abbildung 3.12 (c) wird durch die Erhöhung der Umrichterarm-Spannung eine Verringerung der benötigten Stromtragfähigkeit erreicht [65]. Ein weiterer Vorteil dieser Topologie sind die hohe Redundanz und Ausfallsicherheit. Im Falle eines schwerwiegenden Defekts, welcher den Ausfall eines kompletten Umrichterarms bewirkt, kann das System weiterhin als reduzierte Topologie aus Abbildung 3.12 (b) betrieben werden. Die maximale Leistung und Kapazität reduzieren sich hierbei.

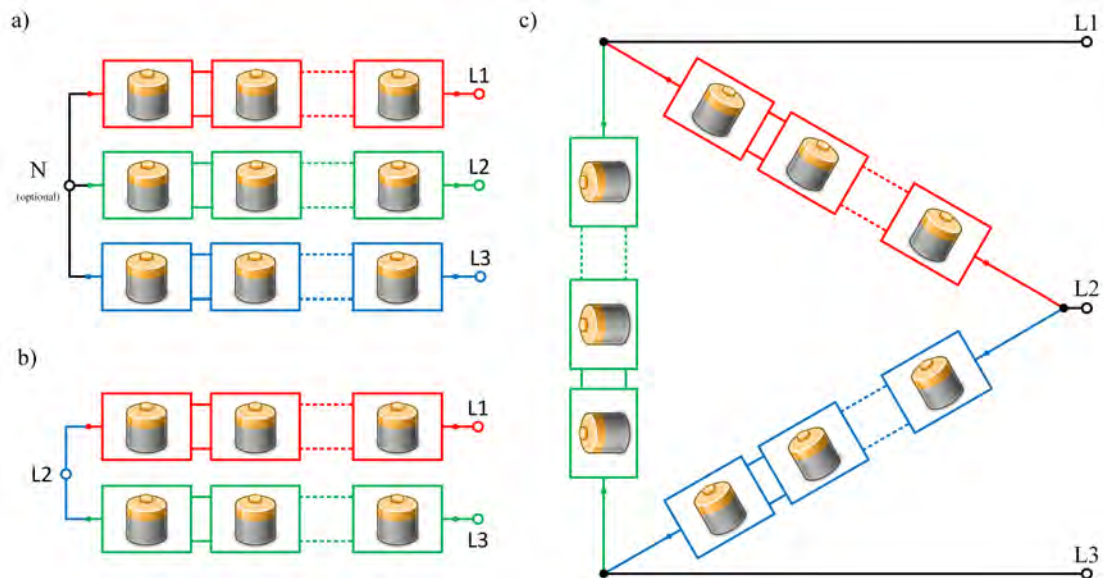


Abbildung 3.12: Dreiphasige Direktumrichter-Topologie in (a) Stern- [53], [58], [65], (b) reduzierter Stern- und (c) Ringkonfiguration [65]

Die Abbildungen 3.11 und 3.12 zeigen Sekundärzellen basierte Implementierungen. Dies stellt eine bevorzugte Implementierungsart da, jedoch sind auch Implementierungen mit DC/DC-Wandlern als Energiequellen, wie in Abbildung 3.4 gezeigt möglich.

Eine besondere Verbindungsmöglichkeit von M2B-basierten Systemen ergibt sich aus den zwei Verbindungen zu benachbarten SMs. Dieser zusätzliche Verbindungspunkt kann zum Aufbau einer separaten Verbindung zwischen benachbarten Umrichterarmen dienen. Abbildung 3.13 (a) zeigt eine Ausführung, bei der jeweils beide SM-Anschlüsse miteinander und mit dem Phasenanschluss verbunden sind. In Abbildung 3.13 (b) ist hingegen nur je ein SM-Anschluss mit der Phase verbunden und die übrigen beiden miteinander. Je nach Topologie kann dies für einen vom Phasenanschluss unabhängigen Kreisstrom etwa zum Balancieren der Umrichterarme genutzt werden. Neben der Option eines Ladungsausgleichs zwischen den Umrichterarmen durch einen Kreisstrom ist auch je nach Topologie ein Ausgleich durch Parallelschalten von Umrichterarmen mit einer derartigen Implementierung möglich. Ein weiterer Mechanismus zum Balancieren ist auf Submodul-Ebene möglich, indem benachbarte SMs aus unterschiedlichen Umrichterarmen zueinander parallel geschaltet werden können. Mit einer derartigen Parallelschaltung ist ein Balancieren der Umrichterarm-Ladezustände ohne die Notwendigkeit eines Kreisstroms möglich. [66]

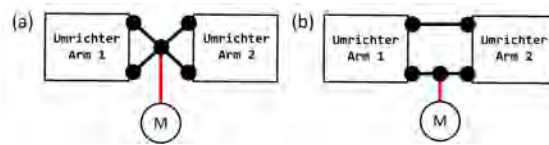


Abbildung 3.13: Verbindung zwischen zwei Umrichterarmen mit (a) doppelter Verbindung zum Phasenanschluss und (b) separater direkter Verbindung zwischen beiden Umrichterarmen

Bei all den gezeigten Makrotopologien werden die einzelnen Umrichterarme zumeist aus einer Aneinanderreihung von SMs gebildet. M2B-Halbbrücken-SM-basierte Umrichterarme können ebenso aufgebaut werden, mit dem Zusatz, dass je nach Makrotopologie und Anwendung ein zentraler Umpoler für einen Vier-Quadranten-Betrieb verwendet werden kann. Je nach Höhe der Ausgangsspannung kann der Einsatz von Schaltern mit hoher Sperrspannung notwendig sein. Um die benötigte Spannung der Schalter für die Umpoler zu reduzieren oder die maximale Ausgangsspannung unter Beibehaltung von verwendeten Schaltern zu erhöhen oder um einfach eine höhere Flexibilität zu erhalten, kann eine Verschachtelung angewendet werden. Hierfür werden, wie in Abbildung 3.14 beispielhaft gezeigt, mehrere Zwei-Quadranten-Umrichterarme mit zugehörigen Umpolern aneinander gereiht. Das vorliegende Beispiel zeigt die Aneinanderreihung von M2B-drei-Schalter-basierten SMs mit einem einfachen H-Brücken-Umpoler, womit die einzelnen Subumrichterarme lediglich seriell zueinander verschaltet werden können. Die Umpoler können aber auch als M2B-Vollbrücken-SM ausgeführt werden, womit eine Parallelschaltung der einzelnen Subumrichterarme zueinander ermöglicht wird.

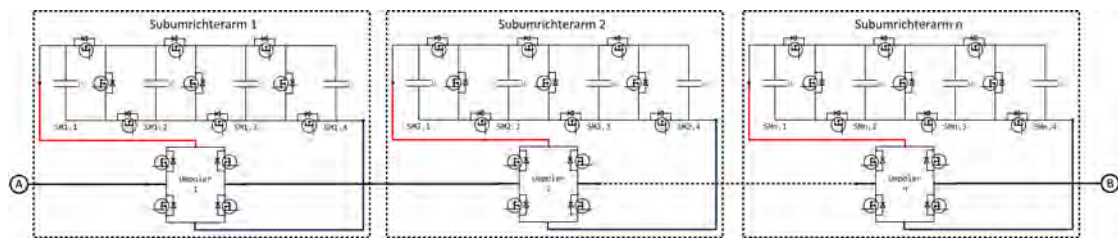


Abbildung 3.14: Verschachtelter M2B-Umrichterarm mit mehreren Subumrichterarmen

### 3.3 MMC

Wie erwähnt sind Multilevel-Direktumrichter sehr gut für Sekundärzellen-basierte Systeme geeignet. Der Aufbau eines Back-to-Back-Umrichters zur Verbindung von zwei oder mehr AC-Systemen oder eines Wechselrichters für ein DC-System ist hiermit hingegen umständlich. Ein Durchbruch bei Multilevel-Umrichtern in diesen Bereichen gelang Professor Rainer Marquardt mit dem Konzept des Modulare Multilevel-Umrichters, (MMC<sup>2</sup>), welches erstmals im Jahre 2001 veröffentlicht wurde [67]–[70]. Diese Topologie ermöglicht einen effizienten Energietransfer zwischen DC- und AC-Systemen ohne die Notwendigkeit von DC/DC-Wandlern wie bei [50]. Auch der Aufbau von Frequenzumrichtern (AC/AC) ist auf Basis dieser Topologie mit hoher Effizienz möglich.

#### 3.3.1 Klassische MMC

Die Quantisierung der Spannung wird bei einem klassischen MMC-System durch eine Zwischenspeicherung der zu übertragenden Energie in verteilte Energiespeicher, zumeist als Kondensatoren ausgeführt, erreicht. Die Spannung der einzelnen Kondensatoren ist dabei in der Regel, wie bei Multilevel-Direktumrichtern, viel kleiner als die maximale Systemspannung und bei allen Kondensatoren nominell identisch. Auch die Anforderungen und Eigenschaften der SM-Schaltungstopologien entsprechen grundsätzlich denen von Multilevel-Direktumrichtern.

#### Mikrotopologie

**MMC-Halbbrücken-SM-Topologie** In den letzten Jahren wurden etliche Schaltungstopologien für MMC-Systeme betrachtet. Die ursprüngliche und zugleich nach wie vor verbreitetste Topologie ist die Halbbrücke [70]. Für diese Schaltung (siehe Abbildung 3.15 (a)) werden pro SM lediglich zwei MOSFETs benötigt, was die SM-Kosten in Grenzen hält und für minimale Durchlassverluste sorgt, da sich immer nur ein MOSFET pro SM im aktiven Strompfad befindet. Ein Nachteil dieser Topologie ist, dass es sich nur um ein Zwei-Quadranten-Modul handelt und somit zwischen den beiden Anschlüssen entweder die Spannung des SM-Kondensators angelegt oder dieser gebypassed werden kann. [70] Beim Einsatz in MMC-Systemen können ähnlich wie bei Direktumrichtern Umpoler

<sup>2</sup>Neben der Abkürzung *MMC* sind auch noch weitere Abkürzungen wie *M2C* und *M<sup>2</sup>LC* gebräuchlich.



dazu genutzt werden, einen Vier-Quadranten-Betrieb der Umrichterarme zu ermöglichen. Alternativ gibt es Makrotopologien, bei denen die einzelnen Umrichterarme keine Vier-Quadranten-Fähigkeit benötigen (mehr dazu im Kapitel 3.3.4).

**MMC-Vollbrücken-SM-Topologie** Einen Vier-Quadranten-Betrieb auf SM-Ebene ermöglichen etwa die von Direktumrichtern bekannten Vollbrücken. Wie in Abbildung 3.15 (b) ersichtlich erlaubt diese Topologie somit zusätzlich die Erzeugung einer negativen Spannung zwischen den beiden Anschlüssen der SMs. Neben der Verdoppelung des Bauteilaufwandes verdoppeln sich auch die Durchlassverluste, da sich immer zwei MOSFETs pro SM im aktiven Strompfad befinden. [71]

Ein weiterer Vorteil der Vier-Quadranten-Befähigung besteht in der Möglichkeit, einzelne SMs antiseriell zu den übrigen SMs schalten zu können. Die Stromflussrichtung durch die Energiespeichereinheiten antiseriell verschalteter SMs ist entgegengesetzt zu der durch die übrigen SM. Dies kann dazu genutzt werden, die Ladezustände einzelner SM-Energiespeichereinheiten zu beeinflussen und somit ein Balancieren der SM-SOCs durchzuführen. [2]

**Serielle MMC-SM-Topologien** Aufbauend auf diesen beiden Modulstrukturen und Prinzipien werden in der Literatur verschiedene Topologiederivate diskutiert. Dies sind beispielsweise Topologien mit mehreren Energiespeichereinheiten pro SM. Im Falle von Halb-Vollbrücken-SMs (siehe 3.15 (c)) können die beiden Energiespeichereinheiten zueinander seriell geschaltet werden, um eine positive Spannung mit dem Wert der Summe der Spannungen beider Energiespeichereinheiten zu erhalten. Zudem können beide Energiespeichereinheiten separat mit den Anschlüssen verbunden werden. Diese Topologie besitzt auch einen teilweisen Vier-Quadranten-Betrieb, der es ermöglicht, eine der beiden Energiespeichereinheiten, in diesem Fall  $U_{C2}$ , negativ mit den Anschlüssen des SMs zu verbinden. In Summe ergeben sich somit vier generierbare Spannungslevel pro SM. [72]

**Seriell/Parallel-MMC-SM-Topologien** Zusätzlich zur seriellen Verschaltung von zwei in einem SM enthaltenen Energiespeichereinheiten ist es bei Doppel-Vollbrücken-SMs (Abbildung 3.15 (d)) möglich, die beiden Energiespeichereinheiten eines SMs zueinander parallel zu schalten. Ein Vier-Quadranten-Betrieb ist bei dieser Topologie allerdings nicht möglich. Die Summe der generierbaren Spannungslevel beläuft sich somit auf drei. Durch die Parallelschaltoption ist eine bessere Ausnutzung der Energiespeichereinheiten gegeben, da beide Speicher gleichzeitig verwendet werden können, auch wenn nur die Spannungshöhe einer Energiespeichereinheit benötigt wird. Dies resultiert in einer geringeren Fluktuation der Spannung der Energiespeichereinheiten. In [73] wurde gezeigt, dass mit dieser Topologie eine Reduktion der Spannungsschwankungen bis zu 18 % möglich ist. Damit kann eine Verringerung der SM-Kapazität oder der Schaltfrequenz erreicht werden. [73]

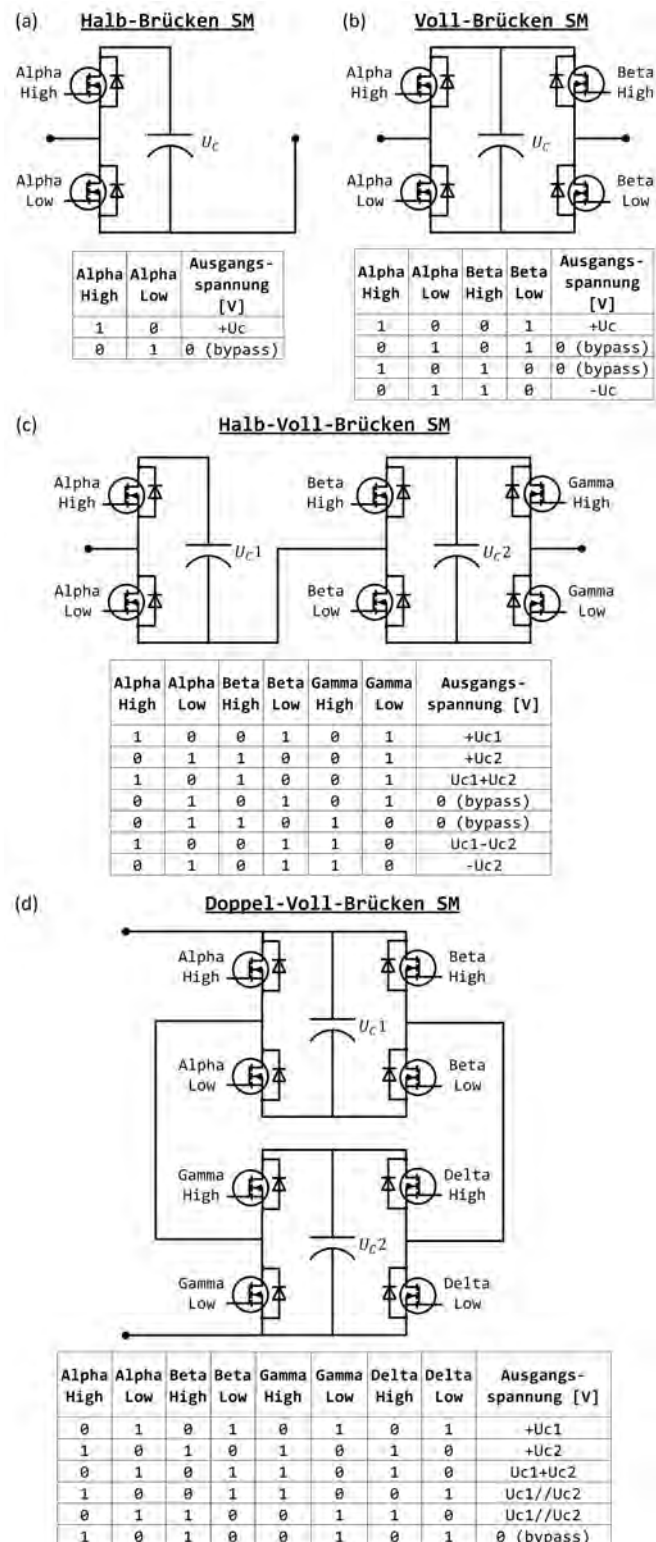


Abbildung 3.15: MMC-SM-Topologien mit zugehörigen Schaltmatrizen, wobei eine 0 einen nicht geschalteten, also sperrenden, und eine 1 einen durchgeschalteten MOSFET kennzeichnet [72]

### 3.3.2 Exponentieller Modularer Multilevel-Umrichter (EMMC)

Neben MMC-Systemen mit symmetrischer Spannungsaufteilung aller Kondensatoren sind auch asymmetrische Modulare Multilevel Umrichter bekannt. Mit einer asymmetrischen Spannungsaufteilung können mehr Spannungsstufen erzeugt werden als mit klassischen MMC-Systemen. Ein Nachladen der betreffenden Energiespeichereinheiten ist nicht unter allen Umständen möglich und erfordert daher spezielle Regelstrategien, periodische Ausgangsspannungen und größere Kapazitätswerte.

Der am Lehrstuhl entwickelte EMMC mit quadratischer Spannungsabstufung erlaubt dagegen das Halten jeder beliebigen Spannungsstufe über unbegrenzte Zeit bei theoretisch beliebig kleinen Kondensatoren. Ein derartiges Verfahren ist laut aktuellen Recherchen neuartig zu sein. Die Energiespeichereinheiten sind hierbei ebenfalls als Kondensatoren ohne eine dedizierte Versorgung ausgelegt. Das Laden und Entladen der SM-Kondensatoren wird durch die Stromrichtung, die Ausgangsspannung und den Ladestand mittels entsprechenden seriellen oder antiseriellen Verschaltens benachbarter SMs geregelt. Die AC-Ausgangsspannung ergibt sich wie bei MMC-Systemen aus der Summe der in Reihe geschalteten SM-Kondensatorspannungen. Bei EMMC-Systemen ist jedoch die antiserielle Verschaltung von SMs von entscheidender Bedeutung, da hierbei nicht nur ein Ausbalancieren der SM Kondensatoren, sondern ausschließlich dadurch deren Energieversorgung ermöglicht wird.

Abbildung 3.16 zeigt die vier Möglichkeiten, mit denen ein nach Abbildung 3.17 aufgebautes EMMC-System eine Ausgangsspannung von 50 V erzeugen kann. Zu Beginn der gezeigten Sequenz geschieht dies durch rein serielle Verwendung des 50 – V-SMs mit der Last, womit dieses SM entladen wird. Im zweiten Intervall bewirken eine serielle Verwendung des 100 – V-SMs und dazu antiserielle Verschaltung des 50 – V-SM eine Aufladung des 50 – V-SMs durch eine Entladung des 100 – V-SMs. Die dritte Option, 50 V zu erzeugen, besteht in einer antiseriellen Verschaltung der 50 – V- und 100 – V-SMs zum seriell geschalteten 200 – V-SM. Die letzte Verschaltung ist eine antiserielle Verschaltung aller nicht dediziert versorgten SMs zum SM mit der höchsten Spannung, im vorliegenden Fall dem SM mit 400 V.

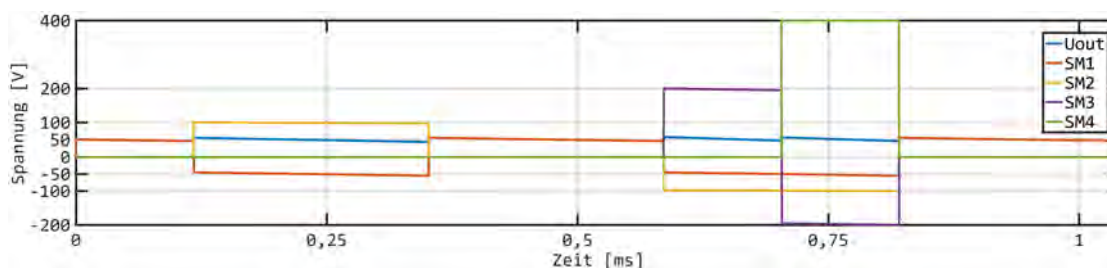


Abbildung 3.16: Erzeugung einer 50-V-Ausgangsspannung mit verschiedenen Kombinationen an serieller und antiserieller Verschaltung der vier Module aus Abbildung 3.17

Der Kondensator des SMs mit der höchsten Spannung ist als einziges SM direkt mit dem DC-System verbunden. Abbildung 3.17 zeigt das Ersatzschaltbild (ESB) eines einphasigen EMMC mit vier SMs, welches ein 400 – V-DC-Netz mit einem 230 – V-AC-Netz

verbindet. Der Kondensator von SM4 ist in diesem Beispiel direkt mit dem 400 – V-DC-Netz verbunden.

Alle nicht dediziert versorgten SMs werden über die Last von dem mit dem DC-System verbundenen SM versorgt. Zu beachten ist, dass EMMCs-Systeme einen bidirektionalen Energiefluss zwischen AC- und DC-Netz ermöglichen. Die SMs ohne dedizierte Versorgung können somit auch aus dem AC-Netz Energie beziehen und einen Energiefluss über das SM mit der höchsten Nennspannung in das DC-System generieren.

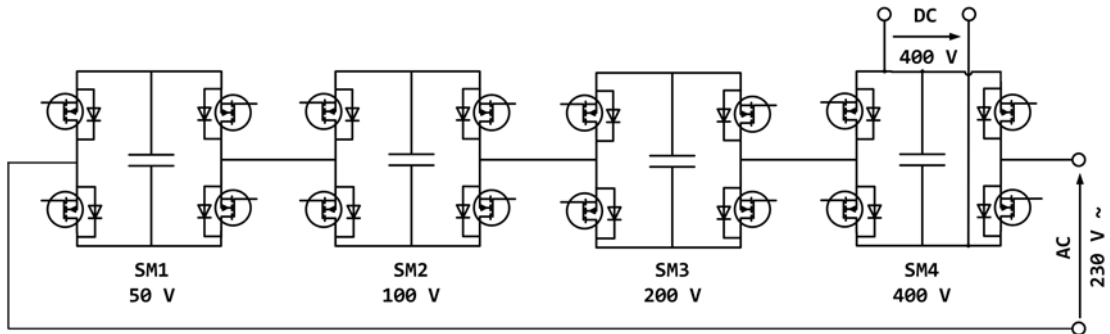


Abbildung 3.17: Ersatzschaltbild eines einphasigen EMMC-basierten Umrichters

Die Spannungen der einzelnen nicht dediziert versorgten SM-Kondensatoren sollten in der Regel in einem gewissen Toleranzband um deren Sollspannung gehalten werden. Um dies in jedem Arbeitspunkt gewährleisten zu können, muss jede Spannungsstufe durch mindestens zwei unterschiedliche Verschaltungsarten der SMs erzeugt werden können. Mindestens eine der möglichen Verschaltungsarten muss hierbei eine serielle Verschaltung des direkt an das DC-System gekoppelten SM beinhalten, um einen Energieaustausch zwischen AC- und DC-System zu ermöglichen. Wegen dieser Prämisse ist eine Anwendung der MMC-Prinzipien auf ein trinäres Direktumrichtersystem nicht ohne weiteres möglich, da hierbei zur Erzeugung jeder Spannungsstufe nur eine Verschaltungsoption zur Verfügung steht.

### 3.3.3 M<sup>2</sup>PC

Auch auf die M2B-Technologie ist das MMC-Prinzip anwendbar und von Thomas Weyh und Stefan Götz im Jahre 2010 patentiert worden [74]. Der Aufbau der SMs ist bei Modularer Multilevel-Parallel-Umrichter (M<sup>2</sup>PC)-SMs identisch zu M2B-SMs – sowohl M2B-VB-SMs als auch M2B-HB-SMs sind hierbei möglich. Die bei M2B zumeist zusätzlich verbauten MOSFETs zum Abtrennen der Energiespeicher können bei M<sup>2</sup>PC-Systemen eingespart werden. Dies ist möglich, da die Energiespeichereinheiten zumeist als Kondensatoren ausgeführt sind, deren Parameter nicht so stark abweichen wie die von Sekundärzellen. Zudem werden bei MMC-Systemen die Spannungen der Energiespeichereinheiten in einem viel engeren Spannungsband gehalten, womit die Gefahr eines Überladens oder Tiefentladens sehr gering und zudem die Brandgefahr bei Kondensatoren nicht vergleichbar mit der von Sekundärzellen ist.

Ähnlich wie bei den Seriell/Parallel-MMC-SM-Topologien (3.3.1) führt die Parallelschaltoption zu einer Verringerung der benötigten SM-Kapazität, durch eine erhöhte Einsatzzeit der einzelnen Kondensatoren und eine geringere Entladung der parallel verschalteten Kondensatoren [74], [75]. Die Hauptherausforderung bei M<sup>2</sup>PC-Systemen besteht allerdings in der Regelung des Systems. Halbleiter-basierte MMC-Systeme werden in der Regel auf geringe Widerstände und Induktivitäten hin optimiert, um eine hohe Effizienz und geringes Überspringen an den Schaltern zu erhalten. Auch die ESR-Werte der verwendeten Kondensatoren sind in der Regel sehr klein, insbesondere im Vergleich zu Sekundärzellen bei M2B-Systemen. Diese hohe Optimierung führt jedoch dazu, dass bereits minimale Spannungsunterschiede zwischen parallel zu schaltenden Kondensatoren zu sehr hohen Ausgleichsströmen führen. Eine hochgenaue und schnelle Spannungserfassung und Regelung sind daher bei derartigen Systemen unabdingbar, um eine Zerstörung durch hohe Ausgleichsströme zu verhindern.

### 3.3.4 Makrotopologien von MMC-Systemen

Die entscheidende Grundidee hinter den drei betrachteten MMC-Technologien ist die Energieverteilung auf verteilte Speichereinheiten, was sich auch signifikant auf die Makrotopologien auswirkt. Wo in klassischen Zwei-Punkt-Umrichtern ein DC-Zwischenkreis mit einem Hochspannungs-Energiespeicher unabdingbar ist, wird dieser in MMC- und M<sup>2</sup>PC-Systemen obsolet. Auch bei EMMC-Systemen können Topologien ohne DC-Zwischenkreis angewendet werden. Eine direkte Ankopplung eines SMs an einen DC-Zwischenkreis reduziert jedoch die Anzahl an benötigten Umrichterarmen stark.

**Back-to-Back-Topologie** Eine sehr verbreitete Topologie zeigt Abbildung 3.18. Diese Makrotopologie gleicht der klassischen Struktur von herkömmlichen Zwei-Punkt-Umrichtern und verbindet in dieser Form indirekt über einen DC-Zwischenkreis zwei AC-Systeme. Bei MMC-basierten Systemen ist eine Stabilisierung des DC-Zwischenkreises mit Kondensatoren nicht nötig, aber möglich [71]. Neben der direkten Verbindung von zwei AC-Systemen ermöglicht diese MMC-Topologie den Aufbau von HVDC-Übertragungsnetzen. Der DC-Zwischenkreis wird dabei als HVDC-Übertragungsstrecke genutzt [76]. Auch die Verwendung als Wechselrichter, etwa für Batteriespeichersysteme, ist möglich. Der Energiespeicher kann hierbei direkt an den DC-Zwischenkreis angebunden werden, wie gestrichelt in Abbildung 3.18 angedeutet.

Als SMs können bei dieser Topologie sowohl Zwei- als auch Vier-Quadranten-Module verwendet werden. Die Anzahl der Phasen ist beliebig skalierbar. Pro Phase werden zwei Umrichterarme benötigt, womit sich die Gesamtzahl an Umrichterarmen für die Verbindung von zwei dreiphasigen AC-Systemen auf zwölf beläuft.

**Matrix-Umrichter** Eine Reduktion der Anzahl an Umrichterarmen bzw. SMs wird etwa durch die Verwendung der sogenannten Matrix-Topologie erreicht. Bei diesen Modularen Multilevel-Matrix-Umrichtern werden wie in Abbildung 3.19 gezeigt zur Verbindung von zwei dreiphasigen AC-Systemen nur mehr neun Umrichterarme benötigt.

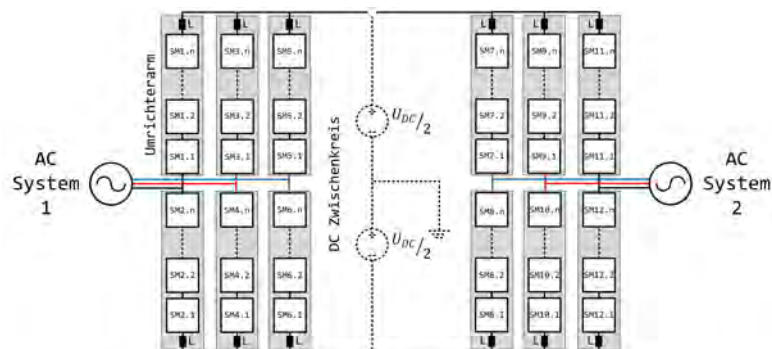


Abbildung 3.18: Makrotopologie eines MMC Systems zur Verbindung zweier AC-Systeme mit zwölf Umrichterarmen und einem optionalen zusätzlichen Energiespeicher am DC-Zwischenkreis

Die einzelnen Umrichterarme müssen hierbei Vier-Quadranten-Fähigkeit besitzen. Ein DC-Zwischenkreis fehlt bei einer derartigen Implementierung komplett. [77]

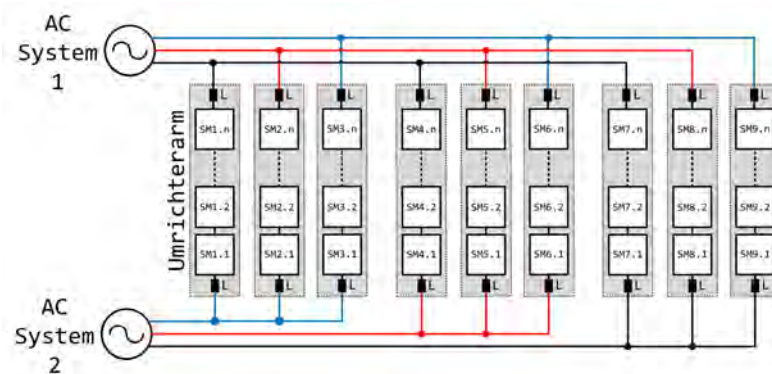


Abbildung 3.19: Makrotopologie eines Modulare Multilevel-Matrix-Umrichters

**Hexverter** Eine weitere Reduktion der Anzahl an Umrichterarmen wird durch die Hexverter-Topologie aus Abbildung 3.20 erreicht. Für die Verbindung von zwei dreiphasigen AC-Systemen werden nur mehr sechs Umrichterarme benötigt. Ähnlich wie bei Matrix-Umrichtern müssen die Umrichterarme Vier-Quadranten-Fähigkeit besitzen. [78]

**EMMC-Makrotopologie** Wie bereits erwähnt erfolgt in EMMC-basierten Systemen vorzugsweise eine Einkopplung des DC-Zwischenkreises über ein separates SM, wie in Abbildung 3.17 für ein einphasiges System gezeigt. Zum Aufbau eines dreiphasigen Systems ist eine direkte Verbindung der drei dediziert zu versorgenden SMs in der Regel nicht möglich, da dies zu einem Kurzschluss zwischen den Phasen führen würde. Um dies zu verhindern, kann etwa die Schaltung eines Phasenmoduls aus Abbildung 3.21 verwendet werden. [79]

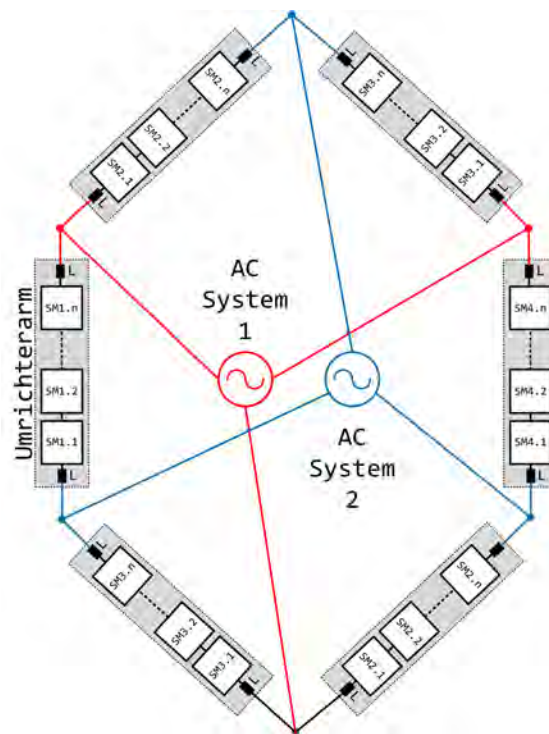


Abbildung 3.20: Makrotopologie eines Modulare Multilevel-Matrix-Umrichters

Mit einer derartigen Schaltung können die einzelnen Umrichterarme wahlweise mit dem Pluspol, dem Minuspol oder der Mittenanzapfung des DC-Zwischenkreises, welcher dem Sternpunkt entsprechen kann, verbunden werden. In Abbildung 3.22 sind diese drei Schalloptionen an einem Phasenmodul rot gekennzeichnet, wobei die Abbildungen 3.22 (b) und (c) die beiden Optionen für eine direkte Verbindung zwischen dem Phasenanschluss (A) und der Mittenanzapfung des DC-Zwischenkreises darstellen. Ähnlich wie in Back-to-Back-Umrichtern kann zwischen dem Sternpunkt (in der Abbildung mit 0 gekennzeichnet) und dem Phasenanschluss maximal die halbe Spannung des DC-Zwischenkreises entweder positiv (Abbildung 3.22 (a)) oder negativ (Abbildung 3.22 (d)) angelegt werden. [79]

**Zusammenfassung** Die Anzahl an benötigten SMs ist bei der EMMC-Makrotopologie am geringsten, allerdings werden für den Aufbau eines dreiphasigen Systems etliche Schaltelemente mit einer minimalen Sperrspannung im Bereich der DC-Zwischenkreisspannung benötigt. Für einen Frequenzumrichter ist die Kopplung zweier in Abbildung 3.21 gezeigter Aufbauten über den DC-Zwischenkreis notwendig, womit sechs Umrichterarme hierfür benötigt werden. Auch bei Hexverter-Umrichtern sind sechs Umrichterarme für einen Frequenzumrichter erforderlich. Matrix-Umrichter benötigen hingegen neun Umrichterarme und klassische Back-to-Back-Konfigurationen gar zwölf [80]. Die Verwendbarkeit von HB-Submodulen und die Möglichkeit eines voneinander unabhängigen Betriebs der beiden AC-Umrichter sprechen jedoch in den meisten Anwendungsfällen für den Einsatz der Back-to-Back-Topologie. Insbesondere bei geringfügig

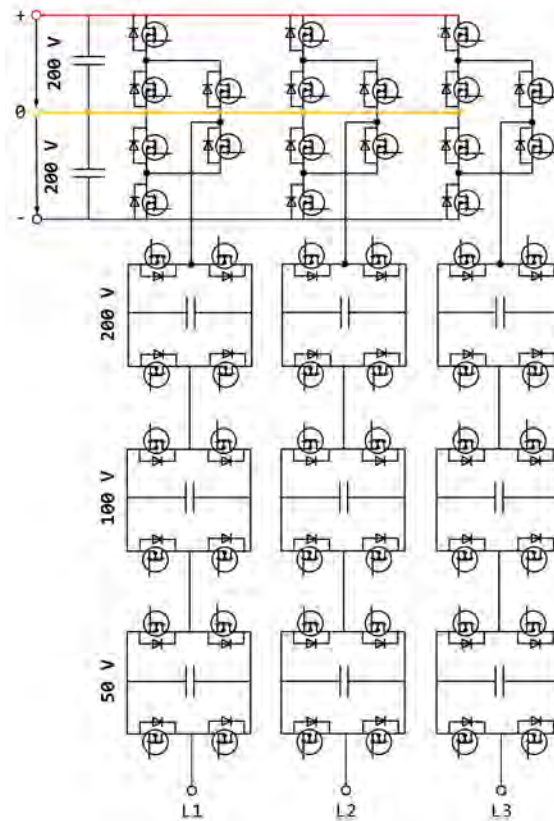


Abbildung 3.21: Dreiphasiger EMMC-basierter Wechselrichter für ein 230 V-Netz

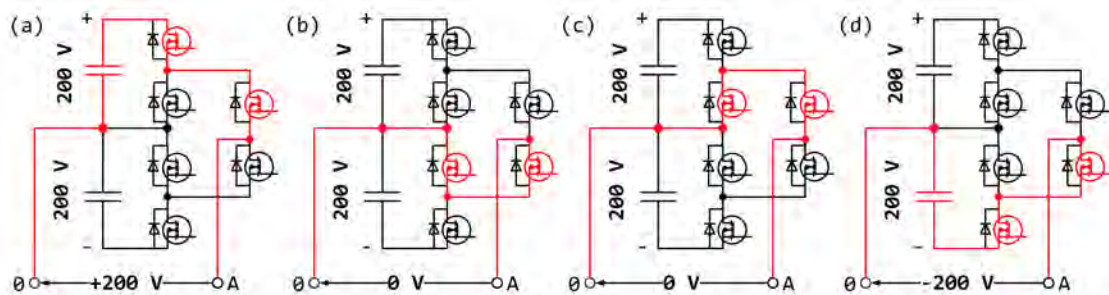


Abbildung 3.22: Phasenmodul zum Aufbau eines mehrphasigen EMMC-basierten Umrichters, mit vier Strompfaden zur Erzeugung einer positiven (a) oder negativen (d) Spannung zwischen den Punkten A und 0 bzw. deren direkter Verbindung (b) und (c)



---

unterschiedlichen oder identischen Frequenzen der beiden AC-Systeme ist der Einsatz von Hexverter- oder Matrix-Umrichtern zumeist nachteilig oder gar unmöglich [81].



---

## 4 Regelung von Multilevel-Umrichtern

### 4.1 Ansteuerverfahren

Für die Ansteuerung von Multilevel-basierten Systemen sind etliche Ansteuerverfahren entwickelt worden. Die Vor- und Nachteile der einzelnen Verfahren haben dabei einen großen Einfluss auf die Tauglichkeit für bestimmte Einsatzbereiche. Die Faktoren mit dem größten Einfluss sind:

- Schaltfrequenz mit der daraus resultierenden Verlustleistung
- Rechenaufwand
- Resultierender THD
- Geschwindigkeit der SM-Spannungsänderung

Wie bereits in Kapitel 3.1.2 erwähnt wird in vielen Multilevel-Systemen den diskretisierten Spannungsstufen eine PWM mit der Amplitude einer Spannungsstufe überlagert. Neben einer klassischen PWM sind insbesondere sogenannte Nearest Level Modulation (NLM)-Verfahren [46] für Sekundärzellen-basierte Systeme von hoher Bedeutung.

Aus der Literatur sind noch etliche weitere Modulationsverfahren bekannt. Grundsätzlich haben Modulationsverfahren einen hohen Einfluss auf die Umrichtereffizienz, die Spannungsqualität an den Umrichterausgängen und die Belastung der Energiespeichereinheiten. Beides ist jedoch stark anwendungsabhängig (siehe hierzu etwa [46]). Für die Qualifizierung der in dieser Arbeit beschriebenen Multilevel-Topologien und insbesondere deren Vergleich untereinander werden in dieser Arbeit daher lediglich die beiden beschriebenen Modulationsverfahren verwendet.

#### 4.1.1 Pulsweitenmodulation

Bei Anwendung des PWM-Verfahrens in Multilevel-Systemen können der Schaltzeitpunkt und die Anzahl der zu schaltenden Spannungsstufen über einen Vergleich des Sollsignals mit verschobenen Dreiecksspannungen mit der Zielfrequenz der PWM festgelegt werden. Die Schaltzeitpunkte sind dabei identisch mit den Schnittpunkten zwischen den Dreiecksspannungen und dem Sollsignal.

Bei einer vertikalen Verschiebung der Dreiecksspannungen errechnet sich die Anzahl der zu schaltenden Spannungsstufen aus der Summe der Dreiecksstufen unterhalb des Soll-

signals. Dabei entspricht die Amplitude der Dreiecksspannungen den SM-Spannungen. Abbildung 4.1 zeigt ein solches Verfahren beispielhaft mit vier SM zu je 80 V. Das generierte PWM-Signal wird dabei in Abhängigkeit vom Betrag der Referenzspannung ( $U_{abs}$ ) gebildet. Zur Ansteuerung der Umrichterarme muss entsprechend das Vorzeichen der Referenzspannung mit einbezogen werden. [46]

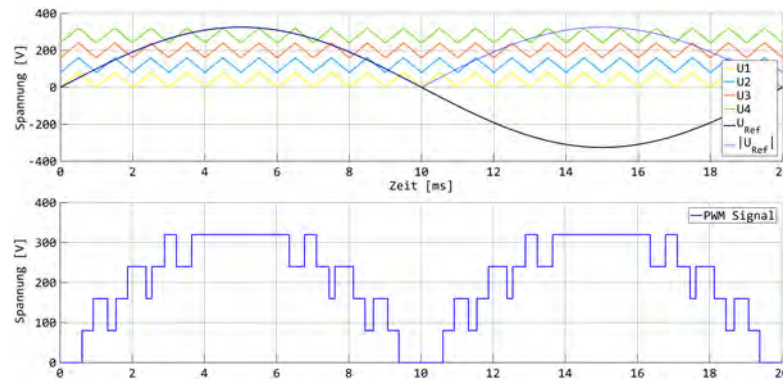


Abbildung 4.1: PWM-Erzeugung mit vertikal verschobenen Dreiecksspannungen, mit je 1 kHz

Eine weitere Möglichkeit ist die Erzeugung des PWM-Signals durch horizontal verschobene Dreiecksspannungen. Jede dieser Rechtecksspannungen hat hierbei eine Amplitude von  $n * U_{SM}$ . Dabei stellt  $n$  die Anzahl der verfügbaren Stufen bzw. SMs dar. Abbildung 4.2 zeigt dieses Modulationsverfahren exemplarisch mit vier SMs zu je 80 V. [46]

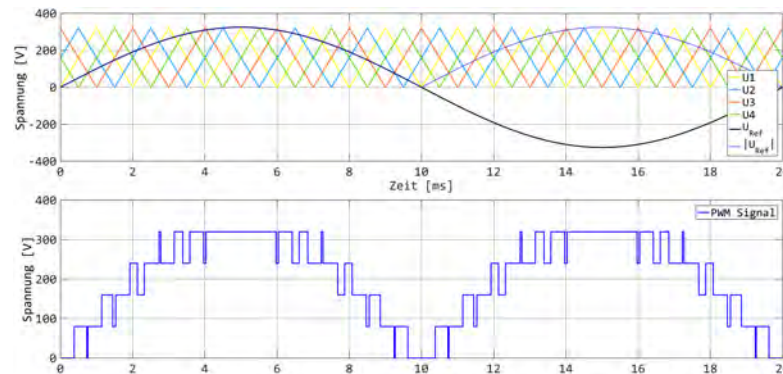


Abbildung 4.2: PWM-Erzeugung mit horizontal verschobenen Dreiecksspannungen, mit je 500 Hz

## 4.1.2 Nearest-Level-Modulation

### Statische Nearest-Level-Modulation

Bei der Statischen NLM handelt es sich um ein Steuerverfahren, bei dem die Schaltzeitpunkte und Spannungshöhe durch eine Diskretisierung im Zeitbereich festgelegt werden.

Die angestrebte Referenzspannung ( $U_{ref}$ ) wird in Zeitabschnitte mit der Länge  $T_{PWM}$  unterteilt und der Mittelwert ( $U_{ref,MW}$ ) von  $U_{ref}$  gebildet:

$$U_{ref,MW} = \frac{1}{t_b - t_a} \int_{t_a}^{t_b} U_{ref}(\tau) d\tau \quad (4.1)$$

Unter der Annahme, dass alle Speicherelemente der SMs dieselbe diskrete Spannung ( $U_{SM}$ ) aufweisen, ist es in den meisten Arbeitspunkten nicht möglich, den errechneten Mittelwert der Spannung direkt zu generieren. Zur Erzeugung des Mittelwertes muss somit ähnlich wie bei dem vorhergehenden Verfahren zwischen dem Spannungslevel kleiner ( $U_{MW,kl}$ ) und dem Level oberhalb ( $U_{MW,gr}$ ) des Mittelwertes der Referenzspannung hin und her geschaltet werden.

$$U_{MW,kl} = \left\lfloor \frac{U_{ref,MW}}{U_{SM}} \right\rfloor * U_{SM} \quad (4.2)$$

$$U_{MW,gr} = U_{MW,kl} + U_{SM} \quad (4.3)$$

wobei  $\lceil x \rceil := \min\{k \in \mathbb{Z} \mid k \geq x\}$  dem kleinsten ganzzahligen Vielfachen von  $x$  entspricht.

Der Duty-Cycle ( $D_k$ ), also das Verhältnis zwischen den Zeiten, in denen  $U_{MW,gr}$  und  $U_{MW,kl}$  ausgegeben werden, kann wie folgt berechnet werden:

$$(1 - D_k) \frac{T_{PWM}}{2} (U_{ref,MW} - U_{MW,kl}) = D_k \frac{T_{PWM}}{2} (U_{MW,gr} - U_{ref,MW}) \quad (4.4)$$

Aufgelöst nach  $D_k$  erhält man:

$$D_k = \frac{U_{ref,MW} - U_{MW,kl}}{U_{MW,gr} - U_{MW,kl}} \quad (4.5)$$

Durch Einsetzen der Gleichungen 4.2 und 4.3 in 4.5 erhält man  $D_k$  zu:

$$D_k = \frac{U_{ref,MW}}{U_{SM}} - \left\lfloor \frac{U_{ref,MW}}{U_{SM}} \right\rfloor \quad (4.6)$$

Die Dauer der einzelnen PWM-Pulse ( $T_{Pd}$ ) ergibt sich zu:

$$T_{Pd} = D_k * T_{PWM} \quad (4.7)$$

Die Zeitpunkte, zu denen der Puls hinzu- ( $t_{Pd,an}$ ) und abgeschaltet ( $t_{Pd,aus}$ ) wird, resultieren zu:

$$t_{Pd,an} = t_a + \frac{T_{PWM}}{2} (1 - D_k) \quad (4.8)$$

$$t_{Pd,aus} = t_{Pd,an} + T_{Pd} \quad (4.9)$$

Eine Problematik bei der Statischen NLM ist, dass die PWM-Frequenz, die SM-Spannung und die zu generierende Signalform gut aufeinander abgestimmt sein müssen. Wenn dies nicht der Fall ist, kann es vorkommen, dass einzelne Stufen ausgelassen werden und damit die lokale Abweichung von der Referenzspannung zu groß wird. [82]

**Beispiel: Zu kleine PWM-Frequenz** Bei einer Effektivspannung ( $U_{eff}$ ) von 230 V Sinus mit einer Frequenz  $f = 50 \text{ Hz}$ , SM-Spannungen von 50 V und einer PWM-Frequenz von 500 Hz erhält man im Intervall von  $t_{a0} = 0 \text{ s}$  bis  $t_{b0} = 0,002 \text{ s}$ :

$$U_{ref,MW,0} = \frac{1}{0,002 \text{ s} - 0 \text{ s}} \int_0^{0,002 \text{ s}} 230 \text{ V} * \sqrt{2} * \sin(2 * \pi * 50 \text{ Hz} * \tau) d\tau \quad (4.10)$$

$$U_{ref,MW,0} \approx 99 \text{ V} \quad (4.11)$$

Damit:

$$U_{MW,kl,0} = \left\lfloor \frac{99 \text{ V}}{50 \text{ V}} \right\rfloor * 50 \text{ V} \quad (4.12)$$

$$U_{MW,kl,0} = 1 * 50 \text{ V} \quad (4.13)$$

Und:

$$U_{MW,gr,0} = 100 \text{ V} \quad (4.14)$$

Im darauf folgenden Intervall von  $t_{a1} = t_{b0} = 0,002 \text{ s}$  bis  $t_{b1} = 0,004 \text{ s}$  ergibt sich entsprechend:

$$U_{ref,MW,1} \approx 259 \text{ V} \quad (4.15)$$

Damit:

$$U_{MW,kl,1} = 5 * 50 \text{ V} = 250 \text{ V} \quad (4.16)$$

Und:

$$U_{MW,gr,1} = 300 \text{ V} \quad (4.17)$$

Die Referenzspannungen zu den Zeitpunkten  $t_{a1}$  und  $t_{b1}$  sind:

$$U_{ref}(t_{a1}) = 191 \text{ V} \quad (4.18)$$

$$U_{ref}(t_{b1}) = 309 \text{ V} \quad (4.19)$$

Die Referenzspannung zum Zeitpunkt  $t_{a1}$  ist somit kleiner als  $U_{MW,kl,1}$  bzw. bei  $t_{b1}$  kleiner als  $U_{MW,gr,1}$ . Zudem gehen die Level 150 V und 200 V komplett verloren.

**Beispiel: Zu kleine SM-Spannung** Bei einer Effektivspannung ( $U_{eff}$ ) von 230 V Sinus mit einer Frequenz  $f = 50 \text{ Hz}$ , SM-Spannungen von 4 V und einer PWM-Frequenz von 20 kHz erhält man im Intervall von  $t_{a50} = 0,00250 \text{ s}$  bis  $t_{b50} = 0,00255 \text{ s}$ :

$$U_{ref,MW,25} = 232,1 \text{ V} \quad (4.20)$$

Damit:

$$U_{MW,kl,25} = 58 * 4 \text{ V} = 232 \text{ V} \quad (4.21)$$

Und:

$$U_{MW,gr,25} = 236 \text{ V} \quad (4.22)$$

Im darauf folgenden Intervall von  $t_{a51} = t_{b50} = 0,00255 \text{ s}$  bis  $t_{b51} = 0,00260 \text{ s}$  ergibt sich entsprechend:

$$U_{ref,MW,26} = 235,6 \text{ V} \quad (4.23)$$

Damit:

$$U_{MW,kl,26} = 58 * 4 \text{ V} = 232 \text{ V} \quad (4.24)$$

Und:

$$U_{MW,gr,26} = 136 \text{ V} \quad (4.25)$$

Die Referenzspannungen an den Zeitpunkten  $t_{a51}$  und  $t_{b51}$  sind:

$$U_{ref}(t_{a51}) = 233,9 \text{ V} \quad (4.26)$$

$$U_{ref}(t_{b51}) = 237,4 \text{ V} \quad (4.27)$$

Bei sehr kleinen SM-Spannungen ergibt sich durch die Statische NLM oft ein Duty-Cycle, der sich entweder nahe 100 % oder 0 % befindet. Wie in Abbildung 4.3 ersichtlich, führt dies zudem zumeist zu einem Überspringen einzelner Spannungsstufen. Damit verschlechtert sich der resultierende THD, da die generierte Spannung oft maximal von der Referenzspannung entfernt liegt, wie hier am Zeitpunkt  $1,05 \text{ ms}$ . Zu diesem Zeitpunkt wird durch die Statische NLM eine Spannungsstufe kleiner als sinnvoll ausgegeben (100 V anstatt 104 V oder gar 108 V).

### Zeitvariable Nearest-Level-Modulation

Insbesondere bei in Relation zur Systemspannung kleinen SM-Spannungen haben sowohl das PWM-basierte Ansteuerverfahren (siehe Kapitel 4.1.1) als auch die Statische NLM Probleme mit übersprungenen Spannungsstufen und unnötig häufigem Hin-und-her-Schalten, wie im Beispiel 4.1.2 ersichtlich. Beides führt zu einer nicht optimalen THD und erhöhter Schaltfrequenz.

Eine Möglichkeit, dem entgegenzuwirken, besteht in einer NLM mit adaptiver Integrationsweite. Wie zuvor erwähnt verwenden klassische NLM-Verfahren eine statische Abtastzeit ( $T_{PWM}$ ). Durch Integration über diese Intervalle erhält man einen Mittelwert der Spannung, welche dann wiederum per Mittelwertbildung aus zwei diskreten Stufen abgebildet wird.

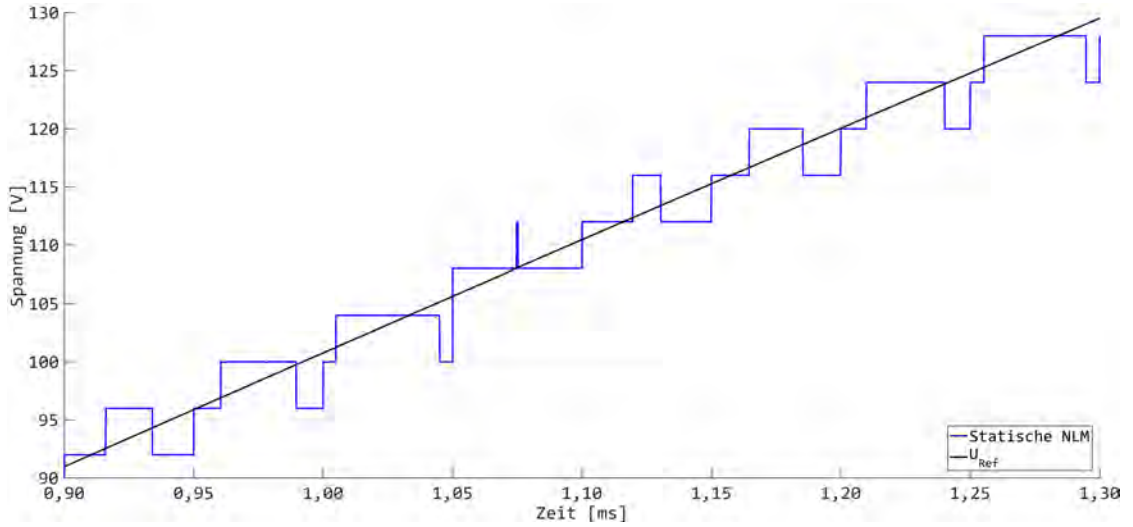


Abbildung 4.3: Spannungsverlauf eines Multilevel-basierten Systems bei Berechnung der Spannung mit der Statischen NLM (bei 20 kHz) in Bezug auf eine Referenzspannung (hier 230 V, 50 Hz) und eine Submodulspannung von 4 V

Bei der Zeitvariablen NLM wird hingegen die Abtastzeit ( $T_{NLM}(t)$ ) durch eine Integration der Spannung bis zu dem Zeitpunkt, zu dem das Ergebnis des Integrals den Wert einer vollen Treppenstufe ( $S$ ) erreicht, gebildet.

$$S(L) = L * U_{SM} \quad (4.28)$$

wobei  $L$  die Ausgangsspannungsstufe bezeichnet.

Mit dieser Annahme und der zuvor getroffenen Vereinfachung, dass die Spannungen aller SM-Speicherelemente gleich sind und unverändert bleiben, ergibt sich mit 4.1:

$$U_{ref,MW} = S(L) = \frac{1}{t_{b(L)} - t_{b(L-1)}} \int_{t_{b(L-1)}}^{t_{b(L)}} U_{ref}(\tau) d\tau \quad (4.29)$$

Bei einer sinusförmigen Spannung ( $U_{eff} = 230V, f = 50 Hz$ ) und Einsetzen der 4.28 resultiert weiter:

$$L * U_{SM} = \frac{1}{t_{b(L)} - t_{b(L-1)}} \int_{t_{b(L-1)}}^{t_{b(L)}} U_{eff} * \sqrt{2} * \sin(\omega * \tau) d\tau \quad (4.30)$$

mit  $\omega = 2 * \pi * f$ .

$$L * U_{SM} = U_{eff} * \sqrt{2} * \frac{\cos(\omega * t_{b(L-1)}) - \cos(\omega * t_{b(L)})}{(t_{b(L)} - t_{b(L-1)}) * \omega} \quad (4.31)$$

$$\frac{L * U_{SM} * \omega}{U_{eff} * \sqrt{2}} * (t_{b(L)} - t_{b(L-1)}) = \cos(\omega * t_{b(L-1)}) - \cos(\omega * t_{b(L)}) \quad (4.32)$$



$$\frac{L * U_{SM} * \omega * t_{b(L)}}{U_{eff} * \sqrt{2}} - \frac{L * U_{SM} * \omega * t_{b(L-1)}}{U_{eff} * \sqrt{2}} = \cos(\omega * t_{b(L-1)}) - \cos(\omega * t_{b(L)}) \quad (4.33)$$

$$\frac{L * U_{SM} * \omega * t_{b(L)}}{U_{eff} * \sqrt{2}} + \cos(\omega * t_{b(L)}) = \frac{L * U_{SM} * \omega * t_{b(L-1)}}{U_{eff} * \sqrt{2}} + \cos(\omega * t_{b(L-1)}) \quad (4.34)$$

Abbildung 4.4 zeigt den gleichen Zeitabschnitt bezogen auf eine Sinus-Referenzspannung mit 50 Hz und 230 V wie Abbildung 4.3. Die Spannungsvorgabe für ein Multilevel-basiertes System wurde dabei per Zeitvariabler NLM erzeugt.

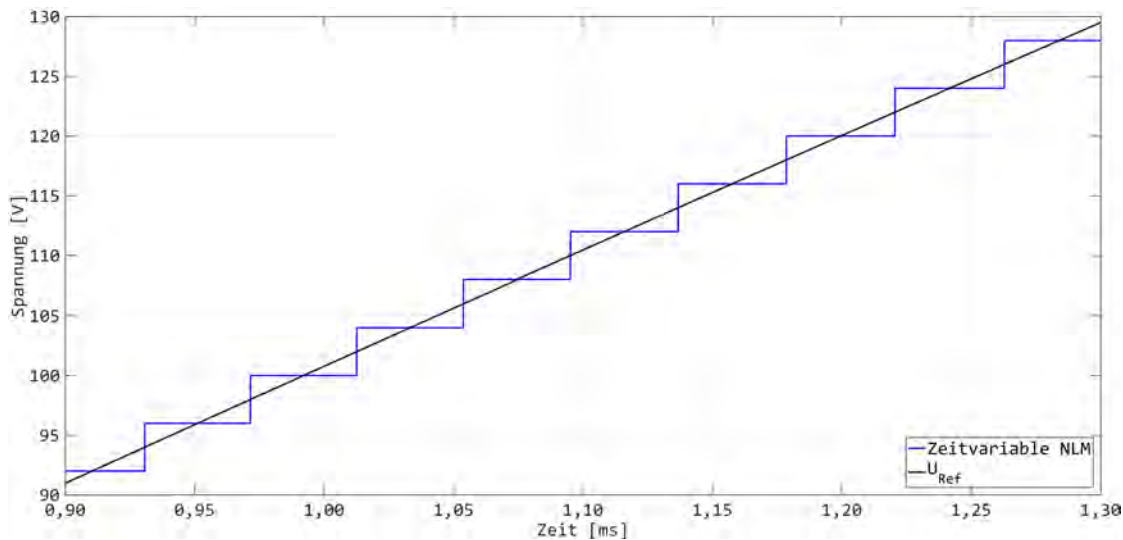


Abbildung 4.4: Spannungsverlauf eines Multilevel-basierten Systems bei Berechnung der Spannung mit der Zeitvariablen NLM in Bezug auf eine Referenzspannung (hier 230 V, 50 Hz) und eine Submodulspannung von 4 V

### Statische NLM vs. Zeitvariable NLM

Ein Vergleich der beiden Abbildungen 4.3 und 4.4 zeigt, dass bei kleiner SM-Spannung die Zeitvariable NLM im Vorteil ist. Durch die Mittelwertannäherung der Zeitvariablen NLM werden eine Verringerung der Schaltrate und eine Erhöhung der Spannungsqualität erreicht. Die mittlere Abweichung zur Referenzspannung ist weit geringer als bei einer Statischen NLM. Erst bei einer starken Erhöhung der Frequenz der Statischen NLM erreicht man eine ähnliche Spannungsqualität wie bei der Zeitvariablen NLM.

Beispielsweise erhält man mit einem Multilevel-basierten System mit 4 V SM-Spannung die in Abbildung 4.5 gezeigten THD-Spektrogramme. Bei einer Umrichterarm-Spannung von 230 V und 50 Hz erhält man bei einer Statischen NLM mit 20 kHz einen THD von 0,98 % im Vergleich zu 0,70 % mit Zeitvariabler NLM. Selbst eine Erhöhung der

Frequenz der Statischen NLM etwa von  $20\text{ kHz}$  auf  $80\text{ kHz}$  verringert die THD nur geringfügig auf  $0,86\%$ .

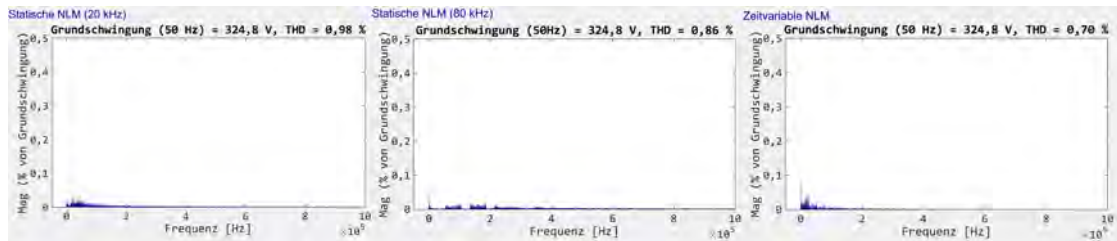


Abbildung 4.5: THD-Spektrogramme von Multilevel-basierten Systemen mit Statischer NLM mit  $20\text{ kHz}$  und  $80\text{ kHz}$  und Zeitvariabler NLM. Jeweils mit  $4\text{ V}$  SM-Spannung bei  $230\text{ V}$  und  $50\text{ Hz}$  Spannungssignal des Umrichterarms

Bei größeren Spannungsstufen ist hingegen die Zeitvariable NLM nicht mehr anwendbar, da die maximale Abweichung der Ausgabespannung von der Referenzspannung zu hoch wird, was zu hohem Stromrippel führt. Beispielsweise ist die Abweichung bei  $40\text{ V}$  SM-Spannung bereits zu groß, wie in Abbildung 4.6 zu erkennen.

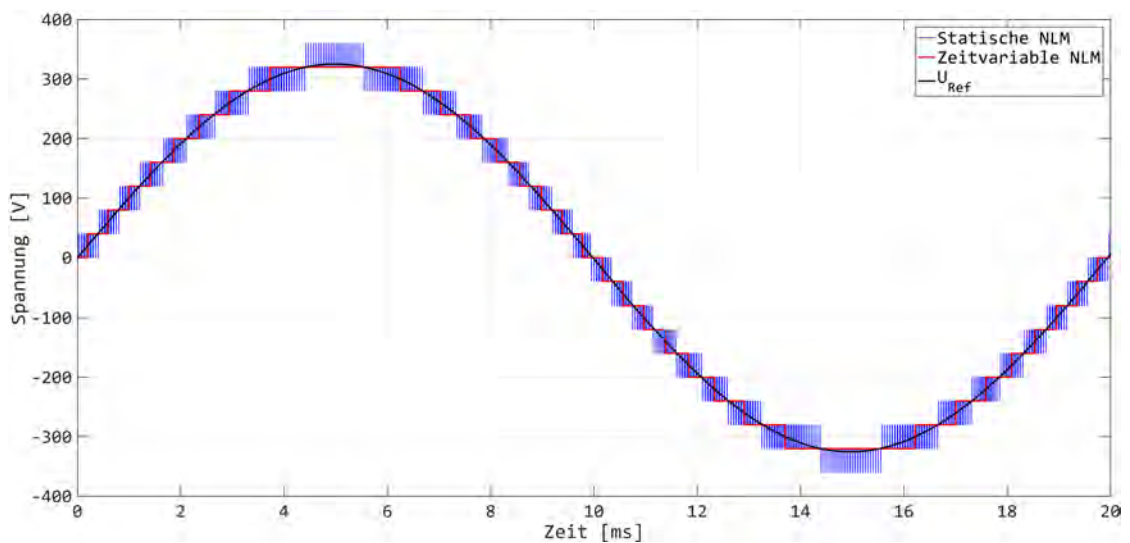


Abbildung 4.6: Spannungsverlauf eines Multilevel-basierten Systems bei Berechnung der Spannung mit der statischen NLM (bei  $20\text{ kHz}$ ) und der Zeitvariablen NLM in Bezug auf eine Referenzspannung (hier  $230\text{ V}$ ,  $50\text{ Hz}$ ) und eine SM-Spannung von  $40\text{ V}$

## 4.2 Schaltmatrix von Multilevel-Umrichtern

Die Zahl der Schaltvorgänge pro Sekunde ( $F_{sw}$ ), mit der die einzelnen MOSFETs eines Multilevel-Umrichters im Mittel geschaltet werden, hat einen entscheidenden Einfluss auf den Wirkungsgrad und die Signalqualität des Gesamtsystems. Die Architektur und der Aufwand für das Steuersystem hinsichtlich Berechnungsgeschwindigkeit und Frequenz der Signalübertragung sind ebenfalls von  $F_{sw}$  abhängig. Die Berechnung von  $F_{sw}$  kann

allgemein mittels der Diskretisierungsfrequenz ( $F_{dis}$ ), also der Häufigkeit, mit der die Spannungshöhe geändert wird, der Frequenz des überlagerten PWM und eines technologieabhängigen Skalierungsfaktors ( $K$ ) erfolgen. Der Skalierungsfaktor gibt dabei an, wie viele MOSFETs für den Wechsel der Spannungshöhe am Ausgang eines Umrichterarms insgesamt geschaltet werden müssen.

#### 4.2.1 Schaltmatrix bei Seriellen Multilevel-Direktumrichtern und klassischen MMC-basierten Systemen

Bei Seriellen Multilevel-Direktumrichtern und klassischen MMC-Systemen wird in der Regel bei jeder Änderung der Ausgangsspannung lediglich die Energiespeichereinheit eines einzigen SMs hinzu- oder abgeschaltet. Sowohl bei Halbbrücken- als auch bei Vollbrücken-SMs wird hierbei eine Halbbrücke kommutiert. Pro Umrichterarm wird somit ein MOSFET durchgeschaltet und ein MOSFET abgeschaltet. Der Skalierungsfaktor ist somit gleich zwei ( $K = 2$ ). Die Schaltfrequenz entspricht also der PWM-Frequenz mal zwei. In Kondensator-basierten MMC-Systemen, in denen eine Verringerung der SM-Kapazität aus Kostengründen von hoher Bedeutung ist, steigt  $F_{sw}$  in der Regel an. Ein derartiger Anstieg von  $F_{sw}$  ist notwendig, um die Spannungsschwankungen an den einzelnen SM-Kondensatoren zu reduzieren.

#### 4.2.2 Schaltmatrix bei EMMC-Systemen

EMMC-Systeme sind ebenfalls aus Vollbrücken-SMs aufgebaut, womit der Skalierungsfaktor ebenfalls  $K = 2$  ist. Im Gegensatz zu Multilevel-Umrichtern mit symmetrischer SM-Spannungsaufteilung ist jedoch bei jedem Wechsel von Spannungsstufen eine Änderung von mehreren bis hin zu allen SMs eines Umrichterarms notwendig. Insbesondere bei Kondensator-basierten Systemen ist dies nicht nur beim Wechsel der Spannungsstufen, sondern auch zur Erzeugung des PWM vonnöten.

Tabelle 4.1 zeigt die Schaltmatrix eines EMMC-basierten Umrichterarms mit vier SMs. Die Werte „1“ und „-1“ stehen dabei für eine positive bzw. negative Polarität der SMs bezüglich der Ausgangsspannung ( $U_{out}$ ). Ein Bypass eines SM wird mit einer „0“ gekennzeichnet. Ist der Betrag der Ausgangsspannung kleiner gleich der Spannung des SMs mit der größten Spannung, können, wie bereits zuvor angedeutet, die SMs mit kleineren Spannungen, sofern diese benötigt werden, sowohl positiv als auch negativ zu benachbarten SMs verschaltet werden. Damit kann für jedes SM individuell festgelegt werden, ob es aktuell geladen oder entladen werden soll.

Innerhalb einer Ausgangsspannungsstufe können somit auch mehrere Schaltvorgänge erfolgen, womit die Spannungsschwankung an den Energiespeichereinheiten reduziert bzw. deren Kapazität verringert werden kann. Die Schaltfrequenz ist hierbei stark lastabhängig, da die Energiespeichereinheiten über den Laststrom ge- und entladen werden. Die Verluste steigen somit überproportional an, da neben der erhöhten Schaltfrequenz ein höherer Laststrom an sich bereits höhere Schalt- und Durchlassverluste bewirkt. Bei der Verlustbetrachtung muss jedoch berücksichtigt werden, dass Module mit geringe-

rer Spannungshöhe, wesentlich geringere Schaltverluste ausweisen als Modle mit höherer Spannung.

Bei Ausgangsspannungen, die betragsmäßig oberhalb der Spannungen des SM mit der höchsten Spannung liegen, ist dies nicht mehr immer möglich. Wie aus Tabelle 4.1 ersichtlich, kann jedes SM bis zu einer Ausgangsspannung, welche betragsmäßig kleiner gleich der Summe aller Spannungen der SMs mit höheren Spannungen ist, beliebig zwischen positiver und negativer Verschaltung wechseln. So kann etwa SM2 erst ab einer Ausgangsspannung von  $U_{out} = SM4 + SM3 = 600\text{ V}$  nicht mehr beliebig ge- und entladen werden.

Ab einer Ausgangsspannung, welche betragsmäßig die Spannung des SM mit der höchsten Spannung überschreitet, kann somit die Stromflussrichtung durch die Energiespeicher der meisten SMs nicht mehr aktiv beeinflusst werden. Beim Einsatz einer EMMC-Topologie für ein Umrichtersystem mit kontinuierlichem Energiefluss ist daher eine Limitierung der maximalen Ausgangsspannung auf die Spannung des SM mit der höchsten Spannung meist sinnvoll.

Bei Systemen mit nicht kontinuierlichem Energiefluss oder unveränderlicher vordefinierter Last kann hingegen auch eine Dimensionierung der Kapazitäten für eine Ausgangsspannung bis zur maximalen Gesamtspannung sinnvoll sein. Die SM-Kapazitäten müssen dafür genug Energie aufnehmen können, um die Zeitspannen, in denen kein Nachladen möglich ist, abdecken zu können, ohne einen zu hohen Spannungsabfall ( $\Delta U$ ) aufzuweisen.

Abbildung 4.7 zeigt einen Vergleich der Ausgangsspannungen ( $U_{out}$ ) und den Spannungen an den SMs von zwei EMMC-basierten Umrichterarmen mit je vier Modulen. Durch die rein ohmsche Last folgt der Ausgangsstrom ( $I_{out}$ ) ideal der Ausgangsspannung. Alle nicht zentral versorgten SMs habe eine einheitliche Kapazität ( $900\ \mu\text{F}$ ). Die Implementierung für die linke Grafik entspricht der Abstufung aus 3.1, mit einer Spannung des Hauptmoduls von  $400\text{ V}$ . Für den dargestellten  $230\text{ V}_{RMS}$ -Sinus mit  $50\text{ Hz}$  können somit zu jedem Zeitpunkt alle SMs antiseriell verschaltet und dadurch geladen werden. Bei der rechten Implementierung wurden die SMs-Spannungen halbiert – Versorgung des Hauptmoduls mit  $200\text{ V}$ . Die Ausgangsspannung liegt somit zeitweise betragsmäßig in Bereichen, in denen nicht zentral versorgte SMs nicht geladen werden können. Wie aus der Grafik ersichtlich führt dies dazu, dass insbesondere das SM mit der zweithöchsten Spannung von  $100\text{ V}$  (SM3) über eine Periode gesehen stärker entladen als geladen wird. Die Spannung dieses SMs fällt daher in der zweiten Hälfte der Sinuskurve stärker als die anvisierte maximale Spannungsabweichung von  $10\text{ V}$  auf bis zu  $71,96\text{ V}$  ab. Dieser hohe Spannungsabfall verzerrt die Ausgangsspannung stark und erhöht den Regelaufwand, um das System für einen Dauerbetrieb zu befähigen.

Ein Phasenversatz zwischen Strom und Spannung kann sich positiv auf die Lademöglichkeiten der nicht zentral versorgten SMs auswirken. Abbildung 4.8 zeigt die Spannungs- und Stromverläufe der der rechten Grafik aus Abbildung 4.7 zu Grunde liegenden Implementierung mit einem Phasenversatz. Hierbei ist zu erkennen, dass die minimale Spannung von SM3 mit  $78,19\text{ V}$  leicht über der minimalen Spannung ohne Phasenversatz liegt. Trotzdem ist auch hier ein Dauerbetrieb ohne zusätzlichen Regelaufwand oder Verringerung der Ausgangsspannung nicht möglich.

Tabelle 4.1: Schaltmatrix eines EMMC-Umrichterarms mit vier SMs. Dabei steht „1“ für eine positive und „-1“ für eine negative Polarität des entsprechenden SM. „0“ kennzeichnet einen Bypass des SM. Rot markierte Werte haben keine alternative Verschaltungsoption.

$U_{out}$ [V]	SM4 (400 V)	SM3 (200 V)	SM2 (100 V)	SM1 (50 V)
200	0	1	0	0
200	1	-1	0	0
250	0	1	0	1
250	1	-1	0	1
250	0	1	1	-1
250	1	0	-1	-1
300	0	1	1	0
300	1	-1	1	0
300	1	0	-1	0
350	0	1	1	1
350	1	-1	1	1
350	1	0	-1	1
350	1	0	0	-1
400	1	0	0	0
450	1	0	0	1
450	1	0	1	-1
450	1	1	-1	-1
500	1	0	1	0
500	1	1	-1	0
550	1	0	1	1
550	1	1	-1	1
550	1	1	-1	1
550	1	1	0	-1
600	1	1	0	0
650	1	1	0	1
650	1	1	1	-1
700	1	1	1	0
750	1	1	1	1

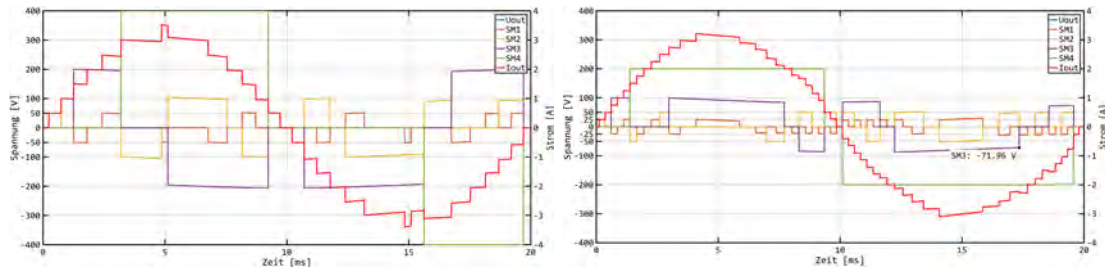


Abbildung 4.7: 230 V-Sinusspannung an einer reinen ohmschen Last mit 50 Hz, erzeugt von zwei EMMC-Umrichterarmen mit vier SMs – Linke Grafik mit der aus 3.17 bekannten Implementierung – Rechte Grafik mit selber Implementierung, aber jeweils halbierten Spannungen der SM-Energiespeicher

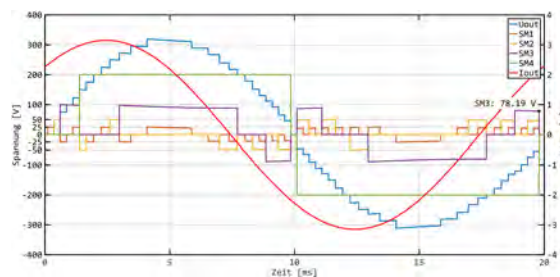


Abbildung 4.8: Implementierung wie in der rechten Grafik von Abbildung 4.7, aber mit Phasenversatz zwischen Strom und Spannung.

### Berechnung der Schaltmatrix

Bei einem Binärsystem, in dem die Energiespeicher der SMs gebypasst, seriell und antiseriell zueinander verschaltet werden können, gibt es eine hohe Anzahl an Verschaltungsmöglichkeiten, um eine gewünschte Spannungsform zu erhalten.

Anhand nachfolgender Formel ist ersichtlich, dass sich die Systemspannung ( $U_{out}$ ) aus der Summe der SMs-Spannungen ( $U_{SM}(n)$ ) multipliziert mit deren Schaltzuständen ( $x$ ) zusammensetzt. Dabei stehen – wie aus 4.1 bekannt – „0“ für Bypass, „1“ für serielle und „-1“ für antiserielle Verschaltung zu den übrigen Modulen.

$$U_{out} = \sum_{i=1}^n (x(i) * U_{SM}(i)) \quad (4.35)$$

Für die Berechnung der Schaltzustände ist entscheidend, dass die Berechnung beim SM mit der kleinsten Spannung beginnend hin zum höchsten vollzogen wird.

$$x(n) = \begin{cases} 0 & \text{für } A(n) = \text{gerade} \\ \pm 1 & \text{für } A(n) = \text{ungerade} \end{cases} \quad (4.36)$$

Dabei wird  $A(n)$  in Abhängigkeit von der benötigten Systemspannung ( $U_{out}$ ) wie folgt berechnet:

$$A(n) = \frac{U_{out} - \sum_{i=1}^n (x(i-1) * U_{SM}(i-1))}{U_{SM}(n)} \quad (4.37)$$

Die Auswahl zwischen serieller und antiserieller Verschaltung kann bei allen SMs, bis auf das mit der höchsten Spannung, in Abhängigkeit von der Stromrichtung und dem Ladezustand bzw. Spannungslevel des SMs getroffen werden. Dies gilt bis zu einer SMs-spezifischen Grenzspannung ( $U_{gr}(nt)$ ), ab der es nicht mehr möglich ist, die auszugehende Spannung zu halten, wenn sich ein SM antiseriell zu den restlichen SMs schalten würde.

$$U_{gr}(nt) = U_{max} - 2 * U_{SM}(nt) \quad (4.38)$$

### Spannungsqualität

Eines der entscheidenden Argumente für den Einsatz der EMMC-Technologie anstelle klassischer MMCs besteht in der stark verringerten Anzahl an SMs, bei identisch feiner Abstufung der Spannungsstufen. Ein weiterer Vorteil liegt in der Möglichkeit, die benötigte Kapazität, im Vergleich zu MMCs-Systemen, stark zu verringern. Dieser Vorteil basiert darauf, dass alle Spannungsstufen durch mindestens zwei alternative Verschaltungsoptionen generiert werden können. Wie bereits erläutert gilt dies nur in dem Fall, dass die Ausgangsspannung betragsmäßig nicht die Spannung des Hauptmoduls überschreitet. Wie ebenfalls bereits erläutert werden die SM-Kondensatoren möglichst in einem gewissen Spannungstoleranzbereich gehalten. Die Wahl dieses Toleranzbereichs

hat einen starken Einfluss auf die Spannungsqualität der Ausgangsspannung und auf die Schaltfrequenz des Systems. Je kleiner der Toleranzbereich, desto besser ist die Spannungsqualität. Allerdings steigt mit der Verkleinerung des Toleranzbereichs auch die Schaltfrequenz.

Eine Erhöhung der Schaltfrequenz bedingt jedoch eine Erhöhung der EMF-Ausstrahlung und der Verluste. Auch die Spannungsqualität leidet unter einer Erhöhung der Schaltfrequenz, durch die bei jedem Schaltvorgang auftretenden Überspannungen an den MOSFETs. Die Notwendigkeit einer Totzeit beim Schalten der beiden MOSFETs einer Halbbrücke führt zudem zu einer mitunter hohen kurzzeitigen Fehlspannung auf der AC-Seite des EMMC-Umrichters.

Bei einem klassischen MMC-System wird zur Änderung der Ausgangsspannung idealerweise nur eine SM-Speichereinheit hinzu- oder abgeschaltet. Eine Totzeit zwischen dem Schalten der beiden dafür benötigten MOSFETs einer Halbbrücke führt dabei bedingt durch die Möglichkeit des Stromflusses über die Body-Dioden der MOSFETs zu keinem Abbruch des Systemstroms. Auch die Ausgangsspannung schwankt hier nur minimal bedingt durch den höheren Spannungsabfall über die Body-Dioden, im Vergleich zum geringeren Spannungsabfall an durchgeschalteten MOSFETs.

Im Fall von EMMC-Systemen wird hingegen zumeist die Verschaltung mehrerer bis hin zu aller SMs eines Umrichterarms geändert. Folglich kann die Ausgangsspannung während der Totzeiten bis auf 0 V einbrechen. Abbildung 4.9 zeigt die vier Möglichkeiten, mit dem Umrichterarm aus Abbildung 3.17 eine 150 V-Spannung zu erzeugen.

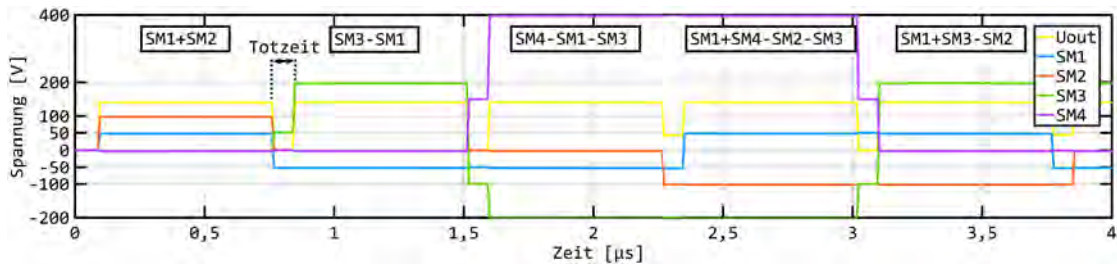


Abbildung 4.9: 150 V-DC-Ausgangsspannung eines EMMC-Umrichters nach Abbildung 3.17 mit einer Totzeit von 80 ns

Die Dauer der Totzeiten kann bei der Verwendung von modernen, schnell schaltenden MOSFETs im oberen zwei- bis unteren dreistelligen Nanosekunden-Bereich gewählt werden. Abbildung 4.10 zeigt im oberen Teil die Spannungsverläufe eines MMC-Systems (links) im Vergleich zu einem EMMC-System (rechts) mit den typischen Spannungseinbrüchen während der Totzeiten. Durch die kurzen Totzeiten (in diesem Fall 200 ns) verschlechtert sich der THD bei einem EMMC merklich. Im vorliegenden Fall eines einphasigen Systems an einer rein ohmschen Last mit einer Frequenz des überlagerten PWM von 40 kHz erfolgt dies von 9,33 % auf 10,71 %.



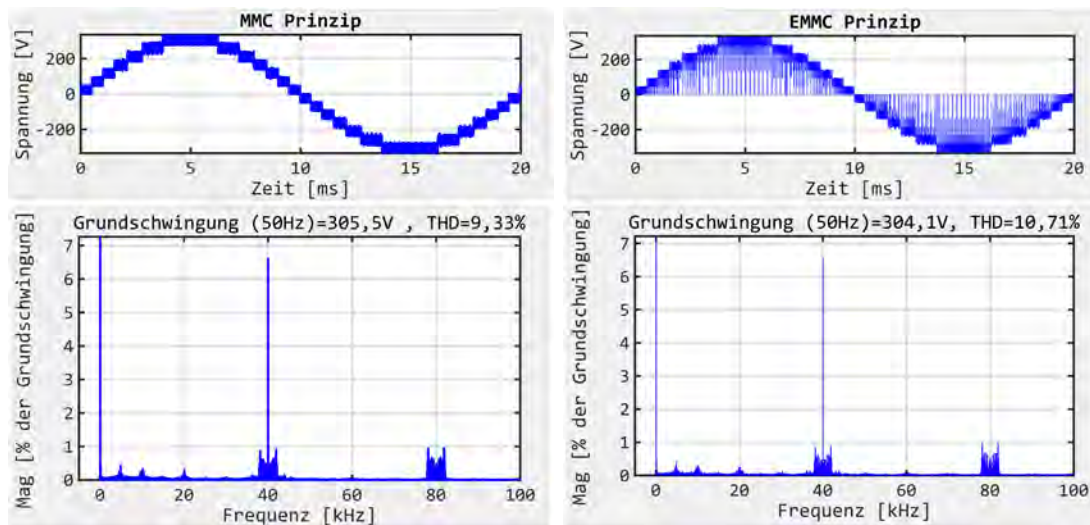


Abbildung 4.10: THD-Analysen von einphasigen Umrichterarmen nach MMC-Prinzip (links) und EMMC (rechts). (50 Hz, 240 V, PWM = 40 kHz, ohmsche Last)

### 4.2.3 Schaltmatrix bei Multilevel-Umrichtern mit Parallelschaltoption

Durch die Option, Module nicht nur seriell, sondern auch parallel zueinander zu verschalten, ergibt sich eine zusätzliche Möglichkeit, den Leistungsfluss durch die Energiespeichereinheiten zu beeinflussen. Dabei ist es nicht nur möglich, die Energiespeichereinheiten entweder mit dem vollen Systemstrom ( $I_{tot}$ ) oder gar nicht zu belasten, wie bei herkömmlichen Multilevel-basierten Systemen, sondern durch eine Parallelschaltung den Systemstrom auf mehrere Energiespeichereinheiten zu verteilen. In den meisten Fällen ist es von Vorteil, alle Energiespeichereinheiten im System im Mittel möglichst gleich stark und ohne hohe Stromschwankungen zu belasten. Aus diesem Grund werden die einzelnen Spannungslevel aus maximal ein bis zwei unterschiedlich großen Gruppen parallelschalteter SM-Energiespeicher gebildet. Beim Übergang zwischen zwei Spannungsstufen müssen dafür jedoch mehrere SMs ihren Schaltzustand ändern.

Um einen zu starken Anstieg der Schaltverluste in Systemen mit einem überlagerten PWM zu verhindern, kann die Bildung des PWMs jeweils mit einzelnen SMs erfolgen. Hierdurch kann je ein einzelner SM-Energiespeicher zwischen Parallel- und Seriellmodus und umgekehrt wechseln. Der Faktor  $K$  ergibt sich hierbei bei M2B- und M<sup>2</sup>PC-Vollbrücken-SMs zu  $K = 4$ , da je Interlink-Sektion zwei Halbbrücken kommutiert werden müssen (vergleiche hierzu Abbildung 3.8). Bei M2B-Halbbrücken-SMs ist  $K = 3$ , da immer alle drei MOSFET einer Interlink-Sektion geschaltet werden müssen. Beim Schalten von Parallel- zu Seriellmodus sind zwei MOSFETs abzuschalten und einer durchzuschalten. Beim Wechseln von Seriell zu Parallel hingegen sind ein MOSFET ab- und zwei durchzuschalten.

### Modulverschaltung

Die Verschaltung der SM-Energiespeichereinheiten eines Umrichterarms lässt sich mit der zuvor getroffenen Annahme, dass nicht mehr als zwei unterschiedlich große Gruppen parallel verschalteter Energiespeichereinheiten gebildet werden sollen, pro Ausgangsspannung wie folgt berechnen.

Die Bestimmung der Größe der beiden Gruppen parallel zu verschaltender Energiespeichereinheiten ( $MAX_P$  und  $MIN_P$ ) erhält man mittels der Anzahl an SM pro Umrichterarm ( $n$ ) und des zu generierenden Spannungslevels ( $U_{MW}$ ), z. B. errechnet mittels der NLM aus 4.1.2, durch:

$$MAX_P = \left\lceil n * \frac{U_{SM}}{U_{MW}} \right\rceil \quad (4.39)$$

$$MIN_P = \left\lfloor n * \frac{U_{SM}}{U_{MW}} \right\rfloor \quad (4.40)$$

mit  $\lceil x \rceil := \min\{k \in \mathbb{Z} \mid k \geq x\}$ , der kleinsten ganzzahligen Zahl, welche größer ist als  $x$ , und  $\lfloor x \rfloor := \min\{k \in \mathbb{Z} \mid k > x\}$ , der größten ganzzahligen Zahl, welche kleiner ist als  $x$ .

Die Anzahl ( $X$ ) an Gruppen mit  $MAX_P$  Energiespeichereinheiten ergibt sich aus:

$$X = \left( n * \frac{U_{SM}}{U_{MW}} - MIN_P \right) * \frac{U_{MW}}{U_{SM}} \quad (4.41)$$

$$X = \hat{x} \quad (4.42)$$

$$\text{mit } \hat{x} = \begin{cases} \pm 0, b_1 b_2 \dots b_t * 10^E & \text{für } b_{t+1} \leq 5 \\ \pm (0, b_1 b_2 \dots b_t + 10^{-1}) * 10^E & \text{für } b_{t+1} > 5 \end{cases}$$

Die Anzahl ( $Y$ ) an Gruppen mit  $MIN_P$  Energiespeichereinheiten ergibt sich aus:

$$Y = \frac{U_{MW}}{U_{SM}} - X \quad (4.43)$$

### Schaltrate

Abbildung 4.11 zeigt beispielhaft eine Schaltmatrix für einen M2B-basierten Umrichterarm mit 24 Vollbrücken-SMs. Gleichfarbige SMs bilden parallel verschaltete Gruppen. Die Buchstaben P und S kennzeichnen eine parallele oder serielle Verbindung zu den direkten Nachbarmodulen. Das L in SM 1 bei Stufe 0 kennzeichnet, dass die zugehörige Interlink-Sektion auf „Active-Low“ steht. Durch die Parallelschaltung aller SMs und die serielle Verschaltung des 24. SMs wird somit der komplette Umrichterarm gebypassed. Die rot eingefärbten Schaltzustände kennzeichnen einen Wechsel des Schaltzustandes zur vorhergehenden kleineren Stufe. Der Aufbau der Schaltmatrix kann pro Schaltvorgang in Abhängigkeit von den Ladezuständen der einzelnen SM Energiespeichern erfolgen. Die daraus resultierende unterschiedliche Belastung der Energiespeichereinheiten ermöglicht eine Ladungsbalancierung über die Last ohne direkten Ladungsaustausch zwischen den Energiespeichereinheiten.

SM Stufe	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	
0	LP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PS	
1	SP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PS
2	SP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PS	SP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PP	PS
3	SP	PP	PP	PP	PP	PP	PP	PS	SP	PP	PP	PP	PP	PP	PP	PS	SP	PP	PP	PP	PP	PP	PP	PP	PS
4	SP	PP	PP	PP	PP	PS	SP	PP	PP	PP	PP	PS	SP	PP	PP	PP	PP	PS	SP	PP	PP	PP	PP	PP	PS
5	SP	PP	PP	PS	SP	PP	PP	PP	PS	SP	PP	PP	PP	PS	SP	PP	PP	PP	PS	SP	PP	PP	PP	PP	PS
6	SP	PP	PP	PS	SP	PP	PP	PS	SP	PP	PP	PS	SP	PP	PP	PS	SP	PP	PP	PS	SP	PP	PP	PP	PS
7	SP	PP	PS	SP	PP	PS	SP	PP	PS	SP	PP	PS	SP	PP	PP	PS	SP	PP	PP	PS	SP	PP	PP	PP	PS
8	SP	PP	PS	SP	PP	PS	SP	PP	PS	SP	PP	PS	SP	PP	PS	SP	PP	PS	SP	PP	PS	SP	PP	PP	PS
9	SP	PS	SP	PS	SP	PS	SP	PP	PS	SP	PP	PS	SP	PP	PS	SP	PP	PS	SP	PP	PS	SP	PP	PP	PS
10	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PP	PS	SP	PP	PS	SP	PP	PS	SP	PP	PP	PS
11	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PP	PS	SP	PP	PP	PS
12	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	PS
13	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SS
14	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SS	SS	SS
15	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SS	SS	SS	SS	SS
16	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SS	SS	SS	SS	SS	SS	SS	SS	SS
17	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS
18	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SP	PS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS
19	SP	PS	SP	PS	SP	PS	SP	PS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS
20	SP	PS	SP	PS	SP	PS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS
21	SP	PS	SP	PS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS
22	SP	PS	SP	PS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS
23	SP	PS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS
24	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS	SS

Abbildung 4.11: Schaltmatrix für einen Umrichterarm eines M2B-basierten Systems mit 24 Vollbrücken-SM. Gruppen mit gleicher Farbe sind dabei parallel geschaltet. S und P bezeichnen eine serielle bzw. parallele Verbindung zum Nachbarmodul. L in der 0. Stufe, also bei 0 V Ausgangsspannung, entspricht aktivem LOW. Rot markierte Buchstaben kennzeichnen einen Wechsel der Schaltzustände im Vergleich zur vorhergehenden kleineren Stufe.

Die Berechnung der Zahl an Schaltzustandsänderungen pro Übergang von einer Spannungsstufe zu einer anderen erfolgt anhand der Anzahl der zu verändernden parallel/seriell verschalteten SM-Gruppen. Bei Übergang von Stufe 1 zu Stufe 2 ist es beispielsweise notwendig, bei den SMs 12 und 13 jeweils am Übergang zwischen beiden von Parallelmodus auf Seriellmodus umzuschalten.

Mathematisch lassen sich die Schaltzustandsänderungen mittels der Anzahl an veränderten Gruppen und des zuvor erwähnten topologieabhängigen Faktors  $K$  berechnen. Hierfür werden die Anfangskonfiguration vor dem Umschalten und die Endkonfiguration nach dem Stufenwechsel benötigt. Die Indizes nach Berechnungsvorschrift aus vorhergehendem Kapitel (X, Y, Min, Max) kennzeichnen die betragsmäßig kleinere (1) bzw. größere (2) Spannungsstufe. L bezeichnet die Ausgangsstufe (siehe dazu Abbildung 4.11).

$$S(L) = \begin{cases} 2 & \text{für } L = 1 \vee L = 0 \\ (X_1 - X_2 + Y_2 - Y_1 - 2) * 2 & \text{für } Min_1 = Min_2 \\ (X_1 + |Y_1 - X_2| + Y_2 - 2) * 2 & \text{für } Min_1 = Max_2 \wedge X_2 \neq 0 \\ (X_1 + Y_1 + X_2 + Y_2 - 2) * 2 & \text{für } Min_1 \neq Max_2 \wedge Max_1 \neq Max_2 \end{cases} \quad (4.44)$$

Bei einem Überspringen einzelner Spannungsstufen, wie in Kapitel 4.1.2 erläutert, ergibt sich  $S$  aus der Summe der Schaltzustände der Zwischenschritte. Für die Gesamtzahl an Schaltvorgängen ist es somit unerheblich, ob einzelne Spannungsstufen ausgelassen werden oder nicht.

Anhand der Tabelle (4.11) und der Berechnungen wird ersichtlich, dass insbesondere in Systemen mit einer hohen Anzahl an SMs im Mittel mehr MOSFETs geschaltet werden müssen als bei seriellen Multilevel-Umrichtern. Insbesondere bis zum Erreichen der halben maximalen Ausgangsspannung des Umrichterarms müssen teilweise viel mehr als zwei Halbbrücken ihren Schaltzustand wechseln. In Implementierungen, in denen die SM-Energiespeicher-Spannungshöhe eine überlagerte PWM mit etlichen  $kHz$  erfordert, steigen die Schaltverluste entsprechend stark an. Um diesem Effekt entgegenwirken zu können, kann die PWM durch ein separates SM erzeugt werden. Eine derartige Implementierung kann mittels eines dedizierten SM, wie dies etwa in Kapitel 7.4 beschrieben wird, erfolgen. Alternativ können abwechselnd individuelle SMs-Gruppen zueinander parallel und seriell verschaltet werden, womit nur eine Interlink-Sektion zur Erzeugung des PWM geschaltet werden muss.

Bei Implementierungen, in denen die SM-Spannungen so klein sind, dass keine überlagerte PWM benötigt wird und stattdessen eine zeitvariable Nearest-Level-Modulation (ZVNLN) verwendet wird, können die Schaltverluste nicht mehr durch derartige Mechanismen beeinflusst werden. Bei den Berechnungen der konkreten Verluste wird auf Grund der besseren Vergleichbarkeit auf eine Erzeugung der PWM mittels einzelner SMs verzichtet.

---

## 5 Wirkungsgrade und Bauteilaufwand von Multilevel-Umrichter-Systemen

Der Vergleich von Umrichtertechnologien wird im Allgemeinen auf Basis von zwei Faktoren durchgeführt.

Einerseits geschieht dies auf Basis einer Kostenfunktionsabschätzung. Hierbei ist eine umfassende Betrachtung des Gesamtsystems entscheidend. Gerade beim Vergleich von Umrichtersystemen wird oft die Auswirkung des Umrichters auf die übrigen Systemkomponenten oder -funktionen nicht mit beachtet. Ein Multilevel-basiertes System reduziert beispielsweise die Stromrippel in den elektrischen Maschinen, was zu einer Reduktion der Drehmomentrippel und von akustischen Artefakten führt. Eine Erhöhung der Lebensdauer [83] und der Effizienz der elektrischen Maschine geht damit einher [49]. Die Verringerung der Drehmomentrippel und der Lautstärke von Motoren sind in manchen Anwendungen von größerem Mehrwert als in anderen. Die Verringerung der Motorverluste hat hingegen in fast allen Anwendungsfällen einen direkten Einfluss auf die Kosten des Motors, da hiermit der Materialbedarf und Konstruktionsaufwand direkt reduziert werden kann.

Die Erhöhung der Lebensdauer ist hierbei darauf zurückzuführen, dass in Multilevel-Systemen geringere Spannungen geschaltet werden. Dies verringert das Risiko eines Isolationsdurchbruchs an den Motorwicklungen und die mechanische Belastung durch Vibrationen. [83], [84]

Die Erhöhung der Motoreffizienz wird durch die bei Multilevel-Systemen resultierende feinere Spannungsabstufung bewirkt. Damit nähert sich die Ausgangsspannung mit steigender Stufenzahl einem idealen Sinus an. Dies verringert Stromrippel in der Maschine, womit eine Verringerung der Drehmomentrippel einhergeht. Die Verluste, insbesondere die Eisen-, Kern- und Wirbelstromverluste, sind bereits ab einer Stufenzahl von fünf im Bereich der Verluste bei einer Bestromung mit einem idealen Sinus. Die erzielbare Verlustreduktion hängt hierbei stark von der Maschine ab. In [85] wird etwa gezeigt, dass bei einem 150 – *kVA*-Synchronmotor die Wirbelstromverluste um bis zu 24 % reduziert werden können, wenn anstatt eines Zwei-Punkt-Umrichters ein Multilevel-System mit fünf Stufen verwendet wird. Bei einem 12,5 – *MW*-Synchronmotor ist gar eine Reduktion in dieser Konstellation von bis zu 42 % möglich. Die Verluste in der Dämpferwicklung können beim 12,5 – *MW*-Motor gar um bis zu 88 % im Vergleich zu einer 40%igen Reduktion bei der 150 – *kVA*-Maschine reduziert werden. Gerade bei größeren Maschinen, welche mit einem Zwei-Punkt-Umrichter betrieben werden, haben die Verluste in der Dämpferwicklung einen großen Anteil an den Gesamtverlusten. [85]

Einen positiven Effekt auf die Motorverluste hat zudem eine Erhöhung der Schaltfrequenz des Umrichters. Insbesondere bei Zwei-Punkt-Umrichtern ist dieser Effekt sehr hoch, wird hierbei jedoch durch eine starke Verringerung des Umrichterwirkungsgrades erkauft. Die Effizienz des Gesamtsystems sinkt somit in der Regel bei Erhöhung der Schaltfrequenz. [86] Bei Multilevel-Systemen hat die Erhöhung der Schaltfrequenz einen viel geringeren Einfluss auf die Motoreffizienz, da eine Erhöhung der Schaltfrequenz die Spannungsqualität hierbei nur mehr geringfügig verbessert (siehe hierzu Kapitel 3.1.2). Ab einer Stufenzahl von fünf kann eine von der Schaltfrequenz abhängige Erhöhung des Motorwirkungsgrades bereits vernachlässigt werden [85].

Zudem ist der Filteraufwand bedeutend kleiner, was wiederum von der Verbesserung des THDs bei Erhöhung der Stufenzahl herrührt [49]. Eine Erhöhung der PWM-Frequenz verringert hierbei ebenfalls den Filteraufwand, steigert aber wiederum die Schaltverluste des Umrichters.

Eine weitere Schwierigkeit bei Kostenabschätzungen liegt in der Einschätzung der Kostenentwicklung der benötigten Komponenten. Gerade bei Multilevel-basierten Systemen mit ihrer hohen Anzahl an Bauteilen im Vergleich zu einfachen Zwei-Punkt-Umrichtern ist dies oftmals von entscheidender Bedeutung. Zudem werden in derartigen neuen Umrichtertechnologien oftmals Bauelemente verwendet, welche nicht massenhaft eingesetzt werden oder neu entwickelt wurden. Eine Extrapolation der Herstellungskosten ist somit äußerst schwierig und hängt stark von der Entwicklung des Marktes ab. Skaleneffekte, die gerade bei Multilevel-Systemen mit ihrer hohen Anzahl an identischen Bauelementen noch viel gewichtiger sind als in Systemen mit wenigen Komponenten, sind ebenfalls schwer vorhersehbar und als Unsicherheit, wegen fehlender konkreter Serienproduktion, kaum von Herstellern zu erhalten.

Die zweite Vergleichsmethode basiert auf einer Wirkungsgrad-Abschätzung. Hierbei sind wieder ähnliche Punkte wie bei der Kostenbetrachtung zu beachten. Das Gesamtsystem und die Auswirkungen des Umrichters auf die übrigen Systemkomponenten sind sehr wichtig, aber oftmals schwierig zu bestimmen. Die Schwierigkeit liegt darin, dass ein optimales Ergebnis durch eine Multi-Point-Optimierung des Gesamtsystems, also eine feine Abstimmung der einzelnen Systemkomponenten aufeinander, erzielt werden kann. Je weitreichender dieser Optimierungsprozess stattfindet, desto geringer ist jedoch die Vergleichbarkeit mit anderen Systemen. Dies gilt vor allem bei der Miteinbeziehung des Kostenaspektes. Eine weitere Schwierigkeit liegt in der Verwendung der Bauteile, auf Basis derer die konkreten Verlustberechnungen durchgeführt werden. Gerade in Randbereichen des aktuell technisch Machbaren werden, wie bereits erwähnt, oft Bauelemente eingesetzt, welche relativ neu sind. Hierbei ist fraglich, ob sich derartige oftmals noch im Betatest befindliche Bauelemente durchsetzen können und wie es um die Lebensdauer steht.

Aus wissenschaftlicher Sicht ist eine Kosteneinschätzung, um das Potential einer neuartigen Technologie zu ermitteln, vor allem in der Anfangsphase irrelevant. Auch die Frage, ob sich bestimmte Bauteile am Markt halten können oder nicht, ist dabei erst einmal zweitrangig. Im Nachfolgenden wird somit relativ unabhängig von derartigen Limitierungen eine Validierung der drei Technologien sMC (1), M2B (2) und EMMC (3) durchgeführt. Die in Tabelle 5.1 ausgeführten Transistoren wurden dabei exemplarisch

Tabelle 5.1: MOSFETs und deren wichtigste Parameter, welche für die nachfolgenden Verlustbetrachtungen und für die Prototypen Verwendung finden.

Bauteilnummer	Technologie	$V_{DSmax}$	$I_D$	$R_{DS}$ or $V_{CE(om)}$
CAS325M12HM2	SiC-MOSFET	1200 V	444 A	3,7 m $\Omega$ @10 V
IXFN150N65X2	Si-MOSFET	650 V	145 A	17 m $\Omega$ @10 V
AUIRGPS4070D0	Si-IGBT	600 V	160 A	1,7 V @15 V
IXFN210N30P3	Si-MOSFET	300 V	192 A	14,5 m $\Omega$ @10 V
IPT012N08N5	Si-MOSFET	80 V	300 A	1,2 m $\Omega$ @10 V
IPT004N03L	Si-MOSFET	30 V	300 A	0,5 m $\Omega$ @3,5 V
PI5101-01-LGIZ	Si-MOSFET	5 V	60 A	0,36 m $\Omega$ @3,5 V

für konkrete Wirkungsgrad-Abschätzungen verwendet und in den realisierten Prototypen eingesetzt.

Im nächsten Kapitel werden die einzelnen Verlustmechanismen in Umrichtersystemen allgemein erläutert. Auf dieser Grundlage wird in den darauffolgenden Kapiteln auf die drei zum Vergleich stehenden Technologien eingegangen. Grundlage hierfür ist ein einphasiger 230 V-Sinus-Wechselrichter mit 50 Hz.

Die Betrachtungen zu sMC- und M2B-basierten Systemen werden auf Grundlage derselben Bauelemente und SM-Spannungsabstufungen getätigt. Betrachtet wird dabei immer ein Umrichterarm basierend auf den in Kapitel 3 eingeführten Vollbrücken mit vier Schaltern und M2B-Vollbrücken- und -Halbbrücken-SMs mit acht bzw. drei Schaltern. Das Hauptaugenmerk liegt auf der Auswirkung der SM-Energiespeicherspannung auf die Gesamtverluste und dem Unterschied zwischen den drei SM-Topologien. Als Spannungswerte für die SM-Energiespeicher werden hierfür 48 V (1), 12 V (2) und 4 V (3) gewählt.

Die Betrachtungen zu EMMC-Systemen basieren auf einem Umrichterarm mit vier SMs, mit 48 V, 96 V, 192 V und 384 V der SM-Energiespeicher. Die Spannungsdiskretisierung liegt somit bei 48 v. Prinzipiell können noch weitere SMs mit kleineren Spannungen hinzugefügt werden. Aus technischer Sicht ergibt dies jedoch zumeist wenig Sinn, da die Ausgangsspannungs- und Stromqualität bereits gut sind und anders als bei den beiden anderen Technologien mit verteilten Sekundärzellen kein Vorteil hinsichtlich des Batteriemangements erreicht wird. Hierzu folgt aber später mehr.

Die beispielhaften Verlustberechnungen basieren auf einem in Matlab (The MathWorks Inc., Natick, USA) geschriebenen Skript. Die einzelnen Verluste werden mittels der im nachfolgenden Kapitel beschriebenen mathematischen Formeln errechnet. Die Berechnung erfolgt nicht mit den quadratischer Mittelwert – engl. root mean square (RMS)-Werten von Strom und Spannung, wie dies gerne vereinfacht gemacht wird, sondern mit Momentanwerten.

## 5.1 Verlustmechanismen in Umrichtersystemen

Verluste in Umrichtersystemen treten in drei Bereichen auf:

- Leistungselektronik
- Energiespeicher
- Kontrolleinheit

### 5.1.1 Leistungselektronik

Die Verluste in der Leistungselektronik werden in erster Linie von den verwendeten Halbleiter-Schaltelementen bestimmt. Die gesamte Verlustleistung ( $P_{Fet,ges}$ ) durch die Schalter setzt sich aus den Leitverlusten im durchgeschalteten Zustand ( $P_{ON}$ ) und den Verlusten beim Schalten an sich ( $P_{SW}$ ) zusammen. Die Schaltverluste setzen sich wiederum aus den Verlusten durch das Umladen der parasitären Kapazitäten und dem während der endlichen Schaltzeit im Halbleiter auftretenden Übergang zwischen niederohmigem und hochohmigem Zustand bzw. umgekehrt zusammen. Beide sind dabei von der Schaltfrequenz abhängig und Letzteres zudem von der geschalteten Spannung, dem zu schaltenden Strom und der Dauer des Schaltvorgangs, also der Rise- und Fall-Time der Spannung bzw. des Stroms. [87], [88]

Die Verluste in den Treibern zum Schalten der Transistoren werden oftmals vernachlässigt, da diese pro Schalter sehr gering sind, im Vergleich zu den Schalt- und Durchlassverlusten. Bei Multilevel-Systemen mit einer potentiell hohen Zahl an SMs können diese Verluste jedoch nicht mehr vernachlässigt werden. In den Treiberverlusten sind hierbei im Nachfolgenden die Verluste durch das Umladen der Transistorkapazitäten und der Ruhestromverbrauch der Treiber enthalten.

Ein weiterer Verlustmechanismus, welcher gerne vernachlässigt wird, tritt bei Halbbrückenkonfigurationen auf und wird durch die Body-Dioden-Charakteristik der Transistoren hervorgerufen. Dabei sind zwei Verlustmechanismen, die Leitverluste der Dioden und die sogenannten Reverse-Recovery-Verluste, zu unterscheiden.

#### Treiberverluste

Die Verluste im Treiber eines Transistors hängen nicht davon ab, wie schnell ein Transistor geschaltet wird, sondern von der benötigten Energie, um die Gate-Kapazität ( $C_{GS}$ ) zu laden bzw. zu entladen, und von dem Ruhestromverbrauch des Treibers.

**Umladen der Transistorkapazität** Beim Schalten eines Transistors werden parasitäre Kapazitäten im Halbleiter umgeladen. Beim Einschalten wird die Gate-zu-Source-Kapazität ( $C_{GS}$ ) geladen und die Ausgangskapazität ( $C_{Oss}$ ), bestehend aus der Drain-zu-Gate-Kapazität und der Drain-zu-Source-Kapazität, entladen. Beim Ausschalten wird



umgekehrt  $C_{Oss}$  geladen und  $C_{GS}$  entladen. Theoretisch entstehen somit nur die Verluste durch das Umladen. Die Implementierung einer verlustarmen Umladeschaltung ist jedoch recht aufwendig, weshalb die in den Kondensatoren gespeicherte Energie in den meisten Implementierungen vernichtet wird. [87]

Die Verluste ( $P_{CG}$ ) durch das Umladen von  $C_{GS}$  ergeben sich anhand folgender Formel:

$$P_{CG} = \frac{1}{2} * C_{GS} * U_{GS}^2 * F_{sw} \quad (5.1)$$

mit:

$U_{GS}$  = Versorgungsspannung des Treibers

$F_{sw}$  = Schaltfrequenz

Die Gate-Kapazität bei MOSFETs ist dabei nicht zu verwechseln mit der in den Datenblättern von MOSFETs angegebenen Eingangskapazität ( $C_{ISS}$ ). Die Gate-Ladung ( $Q_G$ ) ist abhängig von der Drain-zu-Source-Spannung und der Gate-zu-Source-Spannung ( $U_{GS}$ ), wobei  $U_{GS}$  in der Regel der Versorgungsspannung des Treibers entspricht ( $U_{GS} = U_{DD}$ ). Die für die Verluste im Treiber entscheidende Gate-Kapazität ergibt sich aus [87]:

$$Q_G = C_{GS} * U_{GS} \quad (5.2)$$

$$C_{GS} = \frac{Q_G}{U_{GS}} \quad (5.3)$$

Somit resultiert für  $P_{CG}$ :

$$P_{CG} = \frac{1}{2} * Q_G * U_{GS} * F_{sw} \quad (5.4)$$

Nota bene: Der Gate-zu-Source-Spannung sollte, bedingt durch deren Einfluss auf die Treiberverluste und den  $R_{DSon}$  Wert, besondere Aufmerksamkeit bei der Implementierung einer Treiberschaltung geschenkt werden. Der Faktor  $\frac{1}{2}$  ist bedingt durch den Umstand, dass die Umladeenergie nur einmal pro Ein- und Ausschaltvorgang verloren geht.

Die Umladeverluste der Ausgangskapazitäten eines MOSFETs sind abhängig von der Drain-zu-Source-Spannung und der Ausgangskapazität ( $C_{Oss}$ ) und ergeben sich zu:

$$P_{COss} = \frac{1}{2} * C_{Oss} * U_{DS}^2 * F_{sw} \quad (5.5)$$

Die gesamten Umladeverluste beider MOSFET-Kapazitäten ( $P_{C-fet}$ ) ergeben sich somit zu:

$$P_{C-fet} = P_{CG} + P_{COss} = \frac{1}{2} * F_{sw} * (Q_G * U_{GS} + C_{Oss} * U_{DS}^2) \quad (5.6)$$

Die Ausgangskapazität ist hierbei stark von der Drain-zu-Source-Spannung abhängig und fällt stark mit steigender Drain-zu-Source-Spannung (vergleiche Abbildung 5.1). Tabelle 5.2 zeigt die Verlustenergien und die Verlustleistung beim Umladen der Transistorka-

Tabelle 5.2: Verluste beim Umladen der Transistorkapazitäten

Bauteilnummer	Technologie	$U_{gs}$	$U_{ds}$	$E_{CG}$	$E_{Oss}$	$P_{C-fet}$ @ $F_{SW} = 20$ kHz
CAS325M12HM2	SiC	10 V	500 V	11,27 $\mu Ws$	385,00 $\mu Ws$	3,963 W
IXFN150N65X2	MOSFET	10 V	500 V	3,55 $\mu Ws$	100,00 $\mu Ws$	1,036 W
AUIRGPS4070D0	IGBT	15 V	500 V	5,63 $\mu Ws$	37,50 $\mu Ws$	0,431 W
IXFN210N30P3	MOSFET	10 V	250 V	2,68 $\mu Ws$	93,75 $\mu Ws$	0,964 W
IPT012N08N5	MOSFET	10 V	50 V	1,54 $\mu Ws$	5,00 $\mu Ws$	0,065 W
IPT004N03L	MOSFET	10 V	20 V	1,80 $\mu Ws$	1,80 $\mu Ws$	0,029 W
IPT004N03L	MOSFET	4 V	4 V	0,42 $\mu Ws$	20,00 $\mu Ws$	0,204 W
PI5101-01-LGIZ	MOSFET	4 V	4 V	0,26 $\mu Ws$	0,09 $\mu Ws$	0,003 W

kapazitäten. Der Effekt der steigenden Ausgangskapazität bei kleineren Drain-zu-Source-Spannungen zeigt sich etwa bei den beiden Berechnungen für den IPT004N03L und erklärt auch die relativ hohen Verluste des SiC-MOSFETs mit einer Nennspannung von 1200 V.

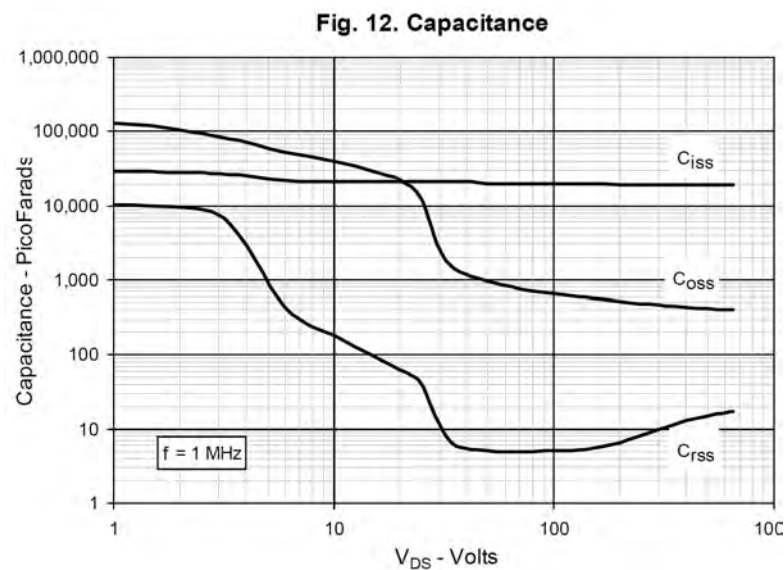


Abbildung 5.1: Kapazitäten eines IXFN150N65X2-MOSFETs in Abhängigkeit von der anliegenden Drain-zu-Source-Spannung [28]

**Ruhestromverbrauch der Treiber** Die Verluste durch den Ruhestromverbrauch der Treiber ( $P_Q$ ) liegen in den meisten Anwendungsfällen weit unter dem Verbrauch durch das Umladen der Gate-Kapazitäten. In Systemen mit geringer Taktfrequenz oder in Systemen, welche für längere Zeit in einem Schaltzustand verweilen – z. B. Batteriespeicher im Standby oder bei Magnetstimulatoren – können sie jedoch beachtenswert sein.

Diese Verluste setzen sich aus drei Teilen zusammen – (1) Verluste am Eingang des Treibers, (2) Verluste beim Aufrechterhalten eines Schaltzustands am Ausgang des Treibers und (3) Verluste durch DC-DC-Wandler. In der Regel sind dabei die Verluste, um einen Transistor durchgeschaltet zu halten, höher als im Aus-Zustand. Die Notwendigkeit und Höhe der Verluste durch DC-DC-Wandler hängen davon ab, welche Treiberschaltung verwendet wird und ob eine Potentialtrennung zwischen Eingangs- und Ausgangsseite benötigt wird. [87]

Allgemein ergibt sich die Verlustleistung der einzelnen MOSFETs zu:

$$P_Q = (I_{QH} * D + I_{QL} * (1 - D)) * U_{DD} + I_{Log} * U_{Log} \quad (5.7)$$

mit:

- $I_{QH}$  = Stromverbrauch des Treibers bei geschaltetem Ausgang
- $I_{QL}$  = Stromverbrauch des Treibers bei nicht geschaltetem Ausgang
- $I_{Log}$  = Stromverbrauch des Treibers am Eingang vor allem bei isolierten Treibern
- $U_{Log}$  = Versorgungsspannung des Treibers am Eingang vor allem bei isolierten Treibern
- $D$  = Auslastungsgrad (Duty-Cycle)

Bei den meisten Multilevel-SM-Topologien sind immer genau gleich viele MOSFETs ein- wie ausgeschaltet. Damit ergibt sich  $D$  zu 0,5 und somit  $P_Q$  pro Umrichterarm zu:

$$P_Q(VB) = n * m * (0,5 * (I_{QH} + I_{QL}) * V_{DD} + I_{Log} * V_{Log}) \quad (5.8)$$

Dabei entspricht  $m$  der Anzahl an MOSFETs pro SM und  $n$  der Anzahl an SMs pro Umrichterarm.

Bei Verwendung von M2B-Halbbrücken-SMs werden zwei MOSFETs für die Parallelschaltung und einer für die Serienschaltung pro SM verwendet. Durch diese unsymmetrische dedizierte Verwendung ist eine einfache Bestimmung von  $D$  hier nicht möglich. Um  $P_Q$  bei M2B-Halbbrücken-Konfiguration bestimmen zu können, ist immer der Schaltzustand des gesamten Umrichterarms von Belang.  $P_Q(L)$  ergibt sich damit pro Ausgangsspannungsstufe und Umrichterarm zu:

$$P_Q(HB) = (K_{EIN}(L) * I_{QH} + K_{AUS}(L) * I_{QL}) * V_{DD} + n * m * I_{Log} * V_{Log} \quad (5.9)$$

Die Anzahl der MOSFET, die abhängig von der aktuellen Ausgangsspannungsstufe ein- ( $K_{EIN}(L)$ ) bzw. ausgeschaltet ( $K_{AUS}(L)$ ) sind, erhält man mit:

$$K_{EIN}(L) = ser * (X + Y) + par * (X * (MAX_P - 1) + Y * (MIN_P - 1)) \quad (5.10)$$

und

$$K_{AUS}(L) = n * m - K_{EIN} \quad (5.11)$$

Dabei entspricht  $ser$  der Anzahl an MOSFETs, die zur seriellen Verbindung zwischen benachbarten SM-Energiespeichereinheiten benötigt wird, und  $par$  entsprechend der Anzahl an MOSFETs zur parallelen Verschaltung. Zur Berechnung der Parameter  $X$ ,  $MAX_P$ ,  $Y$  und  $MIN_P$  siehe Kapitel 4.2.3.

Die Ruhestromverluste des Umrichterarms sind somit direkt proportional zur Anzahl an SMs, womit die Verluste bei Systemen mit kleineren SM-Spannungen höher sind. Der Einfluss der Gate-zu-Source-Spannung verringert die Verluste etwa bei einem  $U_{GS} = 4 V$  im Vergleich zu einer  $U_{GS} = 10 V$  bei 48 - V- und 12 - V-SMs wiederum stark. Als Grundlage für die Verbrauchsabschätzungen der nächsten Kapitel wurde der 1EDN751x-Treiber (Infineon Technologies AG, Neubiberg, Deutschland) mit 0,4 mA bei geschaltetem Ausgang und 0,34 mA bei nicht geschaltetem Ausgang verwendet. Bei dem Treiber handelt es sich um einen einfachen Treiber ohne Logik und Potentialtrennung.

### Treiberverbrauch pro Schalter mit einfachem nichtisoliertem Treiber

(1EDN751x von Infineon)

(@  $U_{GS} = 10\text{ V}$ )

$$P_{Q_{ges}}(MOSFET) = (0,4\text{ mA} * 0,5 + 0,34\text{ mA} * 0,5) * 10\text{ V}$$

$$P_{Q_{ges}}(MOSFET) = 5,55\text{ mW}$$

Treiber mit Isolation und Intelligenz können einen mehr als zehnfach höheren Stromverbrauch plus zusätzliche Verluste durch die Versorgung auf der Logikseite aufweisen. So weist etwa der Halbbrückentreiber Si823x (Silicon Laboratories, Austin, USA) einen Stromverbrauch von  $6\text{ mA}/3\text{ mA}$  bei geschaltetem/nichtgeschaltetem Ausgang auf. Zusätzlich benötigt die Eingangsseite unabhängig vom Schaltzustand am Ausgang einen Strom von  $3,5\text{ mA}$  bei  $5\text{ V}$ -Versorgung.

### Treiberverbrauch pro Halbbrücke mit isoliertem Treiber

(Si8233 von Silabs)

(@  $U_{GS} = 15\text{ V}, U_{log} = 5\text{ V}$ )

$$I_{Q_{input}} = 3,5\text{ mA}$$

$$I_{QH_{out}} = 6\text{ mA}$$

$$I_{QL_{out}} = 3\text{ mA}$$

$$P_{Q_{HB}} = 3,5\text{ mA} * 5\text{ V} + 6\text{ mA} * 15\text{ V} + 3\text{ mA} * 15\text{ V}$$

$$P_{Q_{HB}} = 152,5\text{ mW}$$

**DC/DC-Wandler** Als DC/DC-Wandler kommt in den meisten Hardware-Implementierungen ein am Lehrstuhl eigens entwickelter DC/DC-Wandler zum Einsatz. Hierbei handelt es sich um einen isolierten DC/DC-Wandler, welcher aus einer  $15\text{ V}$ -Eingangsspannung fünf potentialgetrennte  $15\text{ V}$ - und eine  $5\text{ V}$ -Ausgangsspannung generiert. Der verwendete Transformator ist als Platinentransformator ausgeführt, bei dem die einzelnen Wicklungen in einer mehrlagigen Leiterplatte – engl. printed circuit board (PCB) realisiert wurden. Die erzielte Gesamteffizienz liegt bei diesem System stets über  $80\%$ . Die Effizienz befindet sich somit oberhalb der eines vergleichbaren konventionellen DC/DC-Wandlers, wie etwa eines TMA1505S (Traco Power Co., Baar, Schweiz) mit einer maximalen Effizienz von  $60\%$ . [89]

In Multilevel-Systemen ist eine Potentialtrennung zwischen den Submodulen und der zentralen Steuereinheit notwendig, um Kurzschlüsse zu verhindern. Eine Potentialtrennung der Treiberschaltungen der verschiedenen Transistoren eines SMs ist hingegen nicht notwendig. Die Versorgung der High-Side-Transistoren kann hierbei mittels einer Bootstrap-Schaltung realisiert werden. Eine Bootstrap-Schaltung besteht zumeist aus einem Bootstrap-Kondensator zwischen dem Source-Anschluss des High-Side-Transistors und dem Eingang der Spannungsversorgung der zugehörigen Treiberschaltung, welche zumeist als integrierter Schaltkreis (IC) ausgeführt ist. Dieser Eingang ist zudem mittels einer Diode mit der Versorgung des Low-Side-Transistors verbunden. Der Bootstrap-Kondensator wird somit nur geladen, wenn der Low-Side-Transistor durchgeschaltet ist. Diese Schaltung ist für die meisten Anwendungen ausreichend, da High- und Low-Side in

der Regel abwechselnd mit hoher Frequenz ein- und ausgeschaltet werden. Bei der Evaluierung neuartiger Schaltungstopologien, wie in dieser Arbeit, erleichtert jedoch eine dedizierte potentialgetrennte Versorgung aller Transistoren die Forschungsarbeit. [89], [90]

Bedingt durch den geringen Leistungsbedarf der Treiberschaltungen, den hohen Wirkungsgrad des verwendeten DC/DC-Wandlers und die geringen Verluste in der Bootstrap-Schaltung werden die Verluste der DC/DC-Wandler im Weiteren vernachlässigt.

### Leitverluste

Die Leitverluste von MOSFETs können rein nach dem ohmschen Gesetz mittels des Spannungsabfalls ( $u_{DS}$ ) am Widerstand des MOSFETs im leitenden Zustand ( $R_{DSon}$ ) und des Stroms durch den MOSFET (Drain zu Source) ( $i_{DS}$ ) berechnet werden. Hierbei ist die Abhängigkeit des  $R_{DSon}$  von  $i_{DS}$  und von der Temperatur des MOSFETs mit zu berücksichtigen [87]:

$$U_{DS} = R_{DSon} * I_{DS} \quad (5.12)$$

Die momentanen Leitverluste ( $p_{CM}(t)$ ) von MOSFETs lassen sich somit folgendermaßen berechnen:

$$p_{CM}(t) = u_{DS}(t) * i_{DS}(t) = R_{DSon}(t) * i_{DS}^2(t) \quad (5.13)$$

Durch Integration über die Schaltzeit ( $T_{sw}$ ) erhält man den Mittelwert der MOSFET-Leitverluste ( $P_{CM}$ ):

$$P_{CM} = \frac{1}{T_{sw}} \int_0^{T_{sw}} p_{CM}(t) dt = \frac{1}{T_{sw}} \int_0^{T_{sw}} (R_{DSon}(i_{DS}) * i_{DS}^2(t)) dt = R_{DSon} * I_{DSrms}^2 \quad (5.14)$$

Dabei entspricht  $I_{DSrms}$  dem quadratischen Mittelwert (RMS) des Drain-Source-Stromes.

**Stromabhängigkeit der Leitverluste** Wie soeben angeschnitten ist der Durchlasswiderstand von MOSFETs von der durch den MOSFET fließenden Stromstärke abhängig. Je höher der Strom, desto höher der Durchlasswiderstand. Bei kleinen Gate-Source-Spannungen ist dieser Effekt stark ausgeprägt und führt zu einem etwa exponentiellen Anstieg des Durchlasswiderstandes mit steigender Stromstärke. Bei höheren Gate-Source-Spannungen nähert sich die Anstiegskurve einer Geraden mit geringer Steigung.

Bei den weiteren Berechnungen wird jeweils eine Gate-Source-Spannung (zumeist 10 V) angenommen, bei der ein Anstieg des Durchlasswiderstandes vernachlässigt werden kann.

**Temperaturabhängigkeit der Leitverluste** Der  $R_{DSon}$  von MOSFETs ist zudem von der Temperatur des MOSFETs ( $T_J$ ) und der Fertigungstoleranz abhängig [87]:

$$R_{DSon}(T_J) = R_{DSonMAX}(c) * \left(1 + \frac{\alpha}{100}\right)^{T_J - 25^\circ C} \quad (5.15)$$

wobei  $R_{DSonMAX}(25^\circ C)$  der bauteilspezifische maximale  $R_{DSon}$  laut Herstellerdatenblatt und  $\alpha$  ein Temperaturkoeffizient ist. Die Berechnung von  $\alpha$  kann wiederum anhand obiger Formel und zweier Arbeitspunkte mit den jeweiligen Wertepaaren  $T_J$  und  $R_{DSon}$  aus dem Datenblatt ermittelt werden. [87]

Diese beinahe lineare Abhängigkeit der MOSFET-Leitverluste von der Temperatur hat einen positiven Einfluss auf die Parallelschaltbarkeit von MOSFETs, da sie dafür sorgt, dass die MOSFETs in einer Parallelschaltung, die, aus welchem Grund auch immer, heißer werden, durch ihren höheren Widerstand weniger Strom leiten als ihre kühleren Nachbarn. Ein Auseinanderdriften der parallelgeschalteten MOSFETs-Temperaturen und -Ströme ist damit limitiert. [29], [30]

Für den Vergleich der drei Technologien ist die Temperaturabhängigkeit nicht relevant. Es wird eine statische MOSFET-Temperatur von  $25^\circ C$  angenommen. Die Temperatur in realen Hardware-Implementierungen hängt stark vom Kühlsystem ab. Hierbei spielen bei Flüssigkeitskühlung die Kühlmittel-Vorlauftemperatur und der Volumenstrom und bei Luftkühlung die Umgebungstemperatur und falls vorhanden der Luftstrom eine entscheidende Rolle. Im Detail ist bei beiden Kühlarten der mechanische Aufbau hinsichtlich Kühloberfläche und Strömungsverlauf zu beachten. Neben diesen Faktoren hat besonders der thermische Widerstand zwischen dem Halbleiter an sich und dem Kühlkörper einen hohen Einfluss auf die Effizienz des Kühlsystems.

**Abhängigkeit der Leitverluste von der maximalen Drain-Source-Spannung des MOSFETs** Abgesehen von den erwähnten Abhängigkeiten des  $R_{DSon}$  von  $i_{DS}$ ,  $T_J$  usw. ergibt sich der  $R_{DSon}$  eines MOSFETs rein physikalisch aus den Abmessungen des Silizium-Halbleiters und dessen technologieabhängiger Leitfähigkeit ( $\rho$ ), zuzüglich der Widerstände durch die Kontaktierung von Drain und Source. [87], [91]–[93] Der Widerstand des Siliziumchips ( $R_{DSonSi}$ ) ergibt sich zu:

$$R_{DSonSi} = \rho * \frac{L}{W * H} \quad (5.16)$$

wobei L die Kanallänge, W die Kanalbreite und H die Dicke des Siliziumchips beschreibt.

Der  $R_{DSon}$  ist somit linear proportional zur MOSFET-Kanallänge, welche wiederum für die maximale Spannungsfestigkeit des MOSFETs verantwortlich ist und ebenso in einem direkten linearen Verhältnis dazu steht. [87], [91]–[93]

$$L = K_L * U_{DSmax} \quad (5.17)$$

mit  $K_L$  als Proportionalitäts-Konstante.

Um einen Spannungsdurchbruch zwischen Drain bzw. Source und Gate zu verhindern, muss die Isolation des Gate-Anschlusses, das Gate-Oxid, dementsprechend ausgelegt sein, womit sich eine direkte Proportionalität zwischen der  $U_{DSmax}$  und der Dicke der Oxidschicht ( $d_{ox}$ ) ergibt [87], [91]–[93]:

$$d_{ox} = K_{ox} * U_{DSmax} \quad (5.18)$$

mit  $K_{ox}$  als Proportionalitäts-Konstante.

Durch die Lage und den Aufbau des Gate-Oxids ergibt sich eine Kapazität zwischen dem Gate und dem p-dotierten Halbleiter  $C_{ox}$ . Mit der allgemeinen Formel für Kondensatoren resultiert folgende Formel [87], [91]–[93]:

$$C_{ox} = \frac{\epsilon * A}{d} = \frac{\epsilon_{ox} * W * L}{d_{ox}} \quad (5.19)$$

wobei  $\epsilon_{ox}$  die Leitfähigkeit der Oxidschicht ist.

Die Leitfähigkeit der Oxidschicht ergibt sich beim Einsatz von Siliziumdioxid mit einer Dielektrizitätszahl ( $\epsilon_r$ ) von maximal 3,9 und der Leitfähigkeit des Vakuums ( $\epsilon_0 = 8,8542... * 10^{-12} * \frac{As}{Vm}$ ) wie folgt [87], [91]–[93]:

$$\epsilon_{ox} = \epsilon_r * \epsilon_0 = 3,4531 * 10^{-11} \frac{As}{Vm} \quad (5.20)$$

Um nun von  $C_{ox}$  auf die Gate-Source-Kapazität ( $C_{GS}$ ) und die Gate-zu-Drain-Kapazität ( $C_{GD}$ ) zurückschließen zu können, muss die Ausbildung des leitfähigen Kanals mit in Betracht gezogen werden. Im Triodenbereich, also bei vollständig ausgebildetem Kanal für  $U_{GS} - U_t \geq U_{DS}$ , teilt sich die Kapazität gleichmäßig auf [87], [91]–[93]:

$$C_{GS} = C_{GD} = 0,5 * C_{ox} \quad (5.21)$$

Im Pentodenbereich, also bei  $U_{GS} - U_t \leq U_{DS}$ , teilt sich die Kapazität, bedingt durch die Abschnürung des Kanals auf Seiten des Drain-Anschlusses, wie folgt auf [87], [91]–[93]:

$$C_{GS} = \frac{2}{3} * C_{ox}, C_{GD} = 0 \quad (5.22)$$

Die restliche Kapazität bildet sich zwischen dem Gate-Anschluss und dem Substrat ( $C_{GB}$ ).

Zusammenfassend wird somit ersichtlich, dass die von  $U_{DSmax}$  abhängige Kanallänge den  $R_{DSon}$  (vgl. Gleichung (5.16)) beeinflusst.  $U_{DSmax}$  hat zudem einen überproportionalen

Einfluss auf den Volumenbedarf für die Gate-Isolation, da die Dicke der Oxidschicht direkt proportional zu  $U_{DSmax}$  (vgl. Gleichung (5.18)) ist und indirekt durch den mechanischen Aufbau des MOSFETs eine Änderung von  $L$  ebenfalls direkt die Oxidschicht betrifft. Laut Gleichung (5.19) ändert sich jedoch die Oxidkapazität und somit indirekt auch die Gate-Source-Kapazität damit nicht. [87], [91]–[93]

Um  $R_{DSon}$  konstant zu halten, kann laut Gleichung (5.16) zusätzlich entweder die Kanalbreite oder die MOSFET-Dicke mit dem gleichen Faktor wie  $L$  skaliert werden. Dies führt zu einer quadratischen Beziehung zwischen dem Siliziumbedarf und der maximalen Spannungsfestigkeit des MOSFETs. Zusätzlich verändert sich damit der Materialbedarf für die Oxidschicht überproportional. [87], [91]–[93]

### Schaltverluste beim Schaltvorgang

Bei Halbbrücken wird der Strom immer zwischen den beiden MOSFETs hin und her kommutiert. Bei einer Überlappung von Strom- und Spannungsflanken an einem Schalter entstehen hierbei Schaltverluste beim Ein- und Ausschalten ( $P_{SWON}$  und  $P_{SWOFF}$ ) der Transistoren.

Im Umschaltzeitpunkt ist zudem darauf zu achten, dass nie beide MOSFETs gleichzeitig durchgeschaltet sind, da es ansonsten zu einem Kurzschluss des Energiespeicherelements kommt. Um dies zu verhindern, schaltet man den einzuschaltenden MOSFET nicht zum gleichen Zeitpunkt ein, zu dem man den anderen MOSFET einer Halbbrücke ausschaltet, sondern mit einer gewissen Verzögerung, der sogenannten Totzeit ( $t_{tot}$ ). In dieser Totzeit wird der Systemstrom bei induktiver Last durch die Body-Diode eines der beiden MOSFETs geleitet, was zu Dioden-Leitverlusten führt.

Ebenfalls bedingt durch die treibende Kraft einer induktiven Last entstehen mitunter Reverse-Recovery-Verluste. Ob Ein- oder Ausschaltverluste und Reverse-Recovery-Verluste auftreten, hängt von der Stromrichtung und der Kommutierungsrichtung in der Halbbrücke ab. Abbildung 5.2 zeigt die vier möglichen Kombinationen. Reverse-Recovery-Verluste treten immer dann auf, wenn ein Transistor ausgeschaltet wird, aber der Strom weiter über dessen Body-Diode fließt, wie dies in Abbildung 5.2 a) und b) gezeigt wird. Der Strompfad ist hierbei rot markiert. Beim Ausschalten der MOSFETs fließt hierbei der Strom während der Totzeit weiterhin über die Body-Dioden. Die Spannung über diesem MOSFET ändert sich hierbei nur minimal von  $U_{DS} = R_{DSon} * I_D$  auf  $U_{SD}$ . Die Schaltverluste des MOSFET sind somit hierbei vernachlässigbar. Sobald der gegenüberliegende MOSFET durchgeschaltet wird, entsteht ein Kurzschluss über den nun durchgeschalteten MOSFET und die noch leitende Diode in Gegenrichtung, was zu den Reverse-Recovery-Verlusten führt. Zudem ändern sich gleichzeitig Spannung und Strom am einzuschaltenden MOSFET, womit es zusätzlich zu Einschaltverlusten kommt.

Die Konfiguration in Abbildung 5.2 c) und d) lässt hingegen keine Übernahme des Stroms durch die Body-Diode des auszuschaltenden MOSFETs zu, da die Stromrichtung entgegen der Dioden-Vorwärtsrichtung verläuft. Die Spannung am auszuschaltenden MOSFET beginnt somit sofort auf die SM-Spannung zu steigen, womit hierbei Aus-



schaltverluste auftreten. Der Strom kommutiert währenddessen auf die Body-Diode des gegenüberliegenden MOSFETs. Nach der Totzeit wird schließlich der MOSFET, dessen Body-Diode bereits den Systemstrom führt, eingeschaltet. Die Spannung, welche dieser MOSFET schalten muss, entspricht somit wie bei vorherigem Fall dem Spannungsabfall über dessen Body-Diode. Die Einschaltverluste sind also wiederum vernachlässigbar. [94], [95]

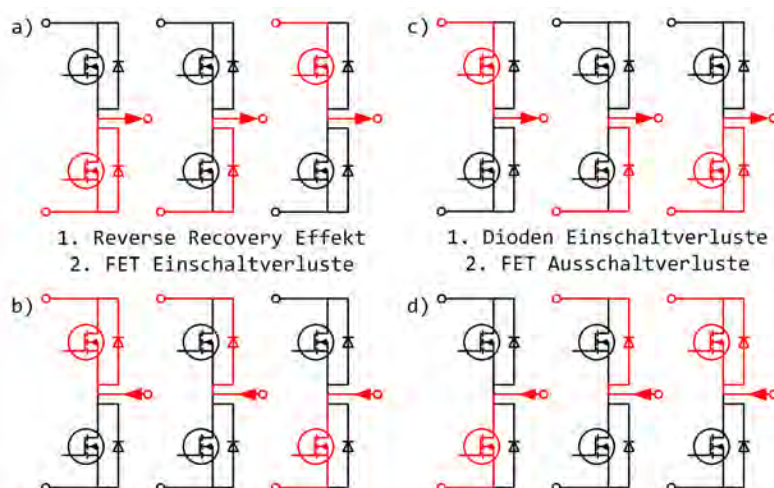


Abbildung 5.2: Strompfade beim Kommutieren einer Halbbrücke

**Transistor-Schaltverluste** Wie erwähnt sind zur Berechnung der Schaltverluste neben der Schaltfrequenz die Drain-Source-Spannung (bei Multilevel-Systemen  $U_{DS} = U_{SM}$ ), der Drain-Strom ( $I_D$ ) und die Ein- und Ausschaltzeit ( $t_{ON}$  bzw.  $t_{OFF}$ ) entscheidend. Die Ein- und Ausschaltverluste ( $P_{SW_{ON}}$  bzw.  $P_{SW_{OFF}}$ ) ergeben sich wie folgt [87]:

$$P_{SW_{ON}} = U_{DS} * I_D * F_{sw} * t_{ON} \quad (5.23)$$

$$P_{SW_{OFF}} = U_{DS} * I_D * F_{sw} * t_{OFF} \quad (5.24)$$

Die Ein- und Ausschaltzeiten sind hierbei wiederum von der Schaltspannung, dem zu schaltenden Strom, dem Durchlasswiderstand, dem Treiberstrom ( $I_{G_{OFF}}$  bzw.  $I_{G_{ON}}$ ) und dem Gate-zu-Drain-Kapazitätswert abhängig. Um eine exakte Berechnung der Schaltverluste zu erhalten, muss die Nichtlinearität der Gate-zu-Drain-Kapazität ( $C_{GD} = C_{rss}$ ) mitbeachtet werden. In nachfolgender Formel geschieht dies durch eine lineare Approximation mit Werten von  $C_{rss}$  bei der SM-Spannung und der halben SM-Spannung: [87]

$$t_{ON} = \frac{t_{ON1} + t_{ON2}}{2} \quad (5.25)$$

$$t_{ON1} = (U_{DS} - R_{DSon} * I_D) * I_{G_{ON}} * C_{GD1} \quad (5.26)$$

$$t_{ON2} = (U_{DS} - R_{DSon} * I_D) * I_{G_{ON}} * C_{GD2} \quad (5.27)$$

und entsprechend:

$$t_{OFF} = \frac{t_{OFF1} + t_{OFF2}}{2} \quad (5.28)$$

$$t_{OFF1} = (U_{DS} - R_{DSon} * I_D) * I_{G_{OFF}} * C_{GD1} \quad (5.29)$$

$$t_{OFF2} = (U_{DS} - R_{DSon} * I_D) * I_{G_{OFF}} * C_{GD2} \quad (5.30)$$

mit:

$$C_{GD1} = C_{rrs}@U_{DS} = U_{SM}$$

$$C_{GD2} = C_{rrs}@U_{DS} = U_{SM}/2$$

Aus diesen Formeln ist ersichtlich, dass die konkreten Schaltzeiten neben den MOSFET-Parametern stark vom momentanen Systemzustand und der Treiberschaltung abhängen. Zudem haben parasitäre Induktivitäten im SM und die Art der Last einen hohen Einfluss auf die Stromanstiegszeiten. Hieraus folgt eine hohe Streuung der Schaltzeiten, insbesondere bei EMMC-Systemen mit ihrem inhomogenen Aufbau der verschiedenen SMs.

Bei Hardware-Implementierungen ist dabei noch zu beachten, dass es vor allem beim Ausschalten zu erheblichen Überspannungen, dem sogenannten Ringing, kommen kann. In Abhängigkeit von dem zu diesem Zeitpunkt noch fließenden Drain-Strom kann dies zusätzliche Verluste im Transistor hervorrufen. Bei zu hohem Ringing wird zumeist die Ein- und Ausschaltzeit verringert und/oder eine zusätzliche Snubber-Schaltung<sup>1</sup> verbaut [96], [97].

Um einen einfach nachvollziehbaren, von Last und Layout unabhängigen Vergleich zwischen den Umrichtertopologien zu ermöglichen, wird nachfolgend eine Schaltzeit von 50 ns für die Ein- und Ausschaltzeiten aller MOSFETs verwendet.

**Body-Dioden-Verluste** Die Berechnung der Dioden-Leitverluste erfolgt mittels der Dioden-Vorwärtsspannung ( $U_{SD}$ ) und des momentan Stroms ( $I_{out}$ ) wie folgt:

$$P_D = t_{tot} * U_{SD} * I_{out} * F_{sw} \quad (5.31)$$

Die Dioden-Vorwärtsspannung von MOSFETs hängt wiederum von der Temperatur und der Stromstärke ab. Die Totzeit hängt stark von der gewählten Implementierung und den Schaltzeiten der eingesetzten Transistoren ab. Um eine einfache Vergleichbarkeit zwischen den unterschiedlichen Technologien zu ermöglichen, wird im Folgenden bei allen Implementierungen eine Totzeit von 100 ns gewählt. Bei den gewählten MOSFETs rei-

<sup>1</sup>Als Snubber-Schaltungen werden Schaltungen bezeichnet, welche die Überspannungsspitzen beim Ausschalten von Transistoren dämpfen oder ganz unterdrücken sollen. Zumeist geschieht dies durch einen Kondensator zwischen dem Drain- und dem Source-Anschluss des Transistors. Zur besseren Dämpfung kann hier noch ein Widerstand zwischen Kondensator und einem der Transistoranschlüsse dienen. Entscheidend bei Snubber-Schaltungen ist eine möglichst niederinduktive Anbindung an die Transistoren, da ansonsten die Anstiegsgeschwindigkeit der Snubber-Schaltung zu langsam ist, um ein Ringing zu verhindern. [96], [97]

chen die Dioden-Vorwärtsspannungen von ca.  $1,0\text{ V}$  bei PI5101-01-LGIZ (5 V MOSFET [98]) bis ca.  $1,8\text{ V}^2$  im Falle des CAS325M12HM2 (1,2 kV SiC-MOSFET [99]).

**Verlustenergie während der Totzeit durch  
Dioden-Vorwärtsspannung**

(IPT004N03L von Infineon)  
 $E_D = 100\text{ ns} * 1,2\text{ V} * 100\text{ A}$   
 $E_D = 12,00\mu\text{W}$

Die Verluste durch den Reverse-Recovery-Effekt lassen sich mittels der im Datenblatt der MOSFETs angegebenen Reverse-Recovery-Ladung ( $Q_{rr}$ ), der Modulspannung ( $V_{SM}$ ) und der Schaltfrequenz ( $F_{sw}$ ) wie folgt berechnen:

$$P_{Q_{rr}} = Q_{rr} * V_{SM} * F_{sw} \quad (5.32)$$

Die Reverse-Recovery-Ladung hängt von (1) der Zeitdauer, während der die Diode leitet, also in der Regel der Totzeit, (2) der Höhe des Diodenstroms zu dieser Zeit und (3) der Stromanstiegsgeschwindigkeit ab. Eine Minimierung des Reverse-Recovery-Effektes ist in Anbetracht der dadurch hervorgerufenen Überspannungsspitzen von hoher Bedeutung. In den meisten Fällen kann die Reverse-Recovery-Ladung allerdings lediglich durch die Länge der Totzeit beeinflusst werden. Die Stromstärke ist zumeist system- und anwendungsspezifisch. Die Anstiegszeit hängt wiederum von den Induktivitäten im Umrichter ab. Um ein schnelles und damit effizientes Schalten der Halbbrücke zu erreichen, ist jedoch ein niederinduktiver Aufbau entscheidend, woraus eine hohe Stromanstiegsgeschwindigkeit folgt. [94], [95]

### 5.1.2 Speicherverluste

Neben transistorbedingten Verlusten und dem Verbrauch der Steuer- und Regelungshardware treten in den betrachteten Systemen Verluste in den Energiespeicherelementen – Kondensatoren oder Sekundärzellen – der SMs auf. Die Verlustmechanismen haben dabei abhängig von der Speichertechnologie unterschiedliche physikalische Ursachen.

Bei Kondensatoren können die Speicherverluste ( $P_{sp}$ ) anhand des SM-Kondensator-Ersatzwiderstandes ( $R_{ESR}$ ) mit folgender Formel berechnet werden **Chatzinikolaou2017**, [100], [101]:

$$P_{sp} = R_{ESR} * I_{sp}^2 \quad (5.33)$$

Sekundärzellen weisen im Gegensatz zu Kondensatoren noch weitere Verlustmechanismen auf. Durch ihren elektrochemischen Aufbau zeigen diese neben einem ohmschen Widerstand noch einen elektrochemischen Polarisationswiderstand und einen Konzentrationswiderstand. Der daraus zusammengesetzte Gesamtwiderstand von Sekundärzellen ( $R_{Bat}$ ) ist zudem nicht konstant. Einerseits erhöht er sich durch die Alterung der Zellen. Andererseits ist er abhängig von dem SOC, der Stromstärke und der Temperatur.

<sup>2</sup>Hierbei handelt es sich jeweils um die maximalen Werte bei  $25^\circ\text{C}$ .

Des Weiteren unterscheiden sich die Widerstände beim Laden und Entladen der Zellen. [102], [103]

Abbildung 5.3 zeigt den Verlauf des Widerstandes einer  $LiFePO_4$ -Sekundärzelle (40 Ah, bei 30°C) in Abhängigkeit von deren SOC [103]. Besonders bei geringerem SOC steigt hierbei der Widerstand stark an.

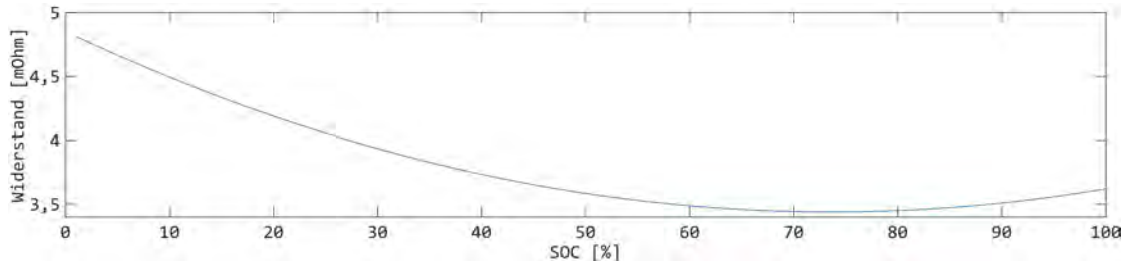


Abbildung 5.3: Verlauf des ohmschen Widerstands einer Sekundärzelle in Abhängigkeit von deren SOC [103]

Neben der Abhängigkeit der Speicherverluste von der Lade- und Entladestromstärke haben auch die Form und die Frequenz des Lade- und Entladestroms einen Einfluss auf die Gesamtverluste im Speicher. In dieser Arbeit werden Systeme mit verteilten Sekundärzellen mit Systemen mit zentralen Sekundärzellen-basierten Energiespeichern verglichen. Hinsichtlich der reinen ohmschen Verluste haben klassische dreiphasige Systeme mit zentralen Energiespeichern den Vorteil, dass die Sekundärzellen einen konstanten Stromfluss erfahren. Je nach Umrichtertechnologie weist der Strom durch den zentralen Energiespeicher einen hochfrequenten Oberwellenanteil auf, welcher die Speicherverluste erhöht. Mittels eines DC-Filters kann dieser Oberwellenanteil jedoch verringert oder gar komplett eliminiert werden. Neben den Verlusten in den Sekundärzellen treten bei Multilevel-Systemen mit zentralem Energiespeicher zusätzlich zu den DC-Filterverlusten auch in den dezentralen Pufferspeichern Verluste auf.

Bei Direktumrichtern mit verteilten Sekundärzellen sind zwar keine dezentralen Pufferspeicher nötig, je nach Implementierung und Anwendung können allerdings Filter an den verteilten Sekundärzellen zur Filterung hochfrequenter Stromrippel sinnvoll oder gar notwendig sein. Die einzelnen Sekundärzellen werden mit einem alternierenden Pulsstrom ge- und entladen. Durch den quadratischen Einfluss des Stroms auf die Verluste ergeben sich hierbei prinzipiell höhere Verluste als beim Konstantstromladen.

Der Widerstand einer fabrikneuen Lithium-Eisenphosphat-Sekundärzelle bei etwa 25°C liegt mit einem Wert von  $R_{Zelle} = 1,5 \text{ m}\Omega$  (vergleiche InnoPOWER-LFMP20AH, InnoPOWER Europe) im Bereich des  $R_{DSon}$  der verfügbaren MOSFETs. Die Widerstandswerte von Sekundärzellen sind jedoch stark von Bauform, Fertigungsverfahren und Material abhängig. Der Bereich der Widerstandswerte von Sekundärzellen schwankt hierbei von Werten unterhalb 1  $\text{m}\Omega$  bis zu mehreren 10  $\text{m}\Omega$ . [103], [104]

Bei den nachfolgenden Verlustbetrachtungen wird ein statischer Ersatzwiderstand pro Sekundärzelle von  $R_{Zelle} = 4 \text{ m}\Omega$  angenommen, um den Einfluss der Umrichtertopologie auf die Speicherverluste, unabhängig von Variablen wie Temperatur und SOC, erfassen zu können. Dieser Wert liegt im mittleren Bereich heutzutage verwendeter Lithium-

Ionen-Sekundärzellen und hat den Vorteil, dass der Einfluss der einzelnen hier betrachteten Technologien auf die Verluste im Energiespeicher klarer sichtbar wird als mit kleinen Werten.

Bei Verwendung einer SM-Spannung von  $U_{SM} = 48 \text{ V}$  sind 12 Sekundärzellen mit einer Nennspannung von  $4 \text{ V}$ <sup>3</sup> statisch seriell verschaltet. Dies resultiert in einem Ersatzwiderstand der SM-Energiespeicher von  $ESR_{SM} = 12 * 4 \text{ m}\Omega = 48 \text{ m}\Omega$ .

Der Einfluss von gepulsten Lade- und Entladeströmen wird hier ebenfalls vernachlässigt, da die Auswirkungen derartiger Rippelströme auf die Verluste und die Alterung von Sekundärzellen noch nicht vollständig geklärt sind. Neuere Veröffentlichungen deuten jedoch darauf hin, dass Pulsströme mit Frequenzen von etwa  $100 \text{ Hz}$  bis hin zu wenigen  $\text{kHz}$  eher einen positiven Einfluss auf die Zellalterung und die Verluste in den Sekundärzellen haben. Dieser Effekt scheint auf der geringeren Impedanz von Sekundärzellen in diesem Frequenzband zu beruhen. Generell scheint der Einfluss allerdings gering zu sein, weshalb dies bei den weiteren Verlustabschätzungen nicht beachtet wird. [105]–[109]

### 5.1.3 Grundlast

Die Verluste in der Kontrolleinheit und der zugehörigen Mess- und Steuersysteme stellen eine Art Grundlast dar, welche größtenteils unabhängig von der Systemleistung ist. Insbesondere sind dies:

- Zentraler Mikrokontroller ( $\mu C$ )
- Kommunikation
- Dezentrale  $\mu C$ s inkl. Messsysteme (Strom, Spannung, Temperatur etc.)

#### Zentraler $\mu C$

Die Verlustbetrachtungen des zentralen  $\mu C$  basieren im Folgenden auf einem STM32F469Ax (STMicroelectronics N.V., Amsterdam, Niederlande). Mit einer maximalen Taktrate von  $150 \text{ MHz}$  hat dessen 32-bit Cortex-M4 ARM CPU genügend Rechenleistung, um die Berechnung der Schaltzustände von Multilevel-Umrichtern in Abhängigkeit von der zu generierenden Systemspannung, dem Systemstrom und dem Ladezustand der einzelnen Sekundärzellen durchzuführen. Der Gesamtverbrauch liegt hierbei bei  $0,385 \text{ W}$ .

---

<sup>3</sup>In den Simulationen wurde die Sekundärzellen-Spannung von  $4 \text{ V}$  angenommen, um eine einfachere Skalierung auf  $12 \text{ V}$ - und  $48 \text{ V}$ -Systeme zu erhalten.

## Kommunikation

Für die Kommunikation wird die Verwendung eines Serial Peripheral Interface (SPI) mit einem Verbrauch von etwa  $5\text{ mW}$  pro SM angenommen [110]. Eine Potentialtrennung kann hierbei entweder am Kommunikationsbus oder zwischen den Ein- und Ausgängen der Transistortreiber auf IC-Ebene stattfinden. Bei Systemen mit hoher elektromagnetische Verträglichkeit (EMV)-Störaussendung, wie dies insbesondere bei den in dieser Arbeit ebenfalls betrachteten Pulsquellen der Fall ist, ist eine optische Signalübertragung mittels LWL sinnvoll. Einkopplungen in den Signalbus können hiermit vermieden und eine Potentialtrennung mit hohen Isolationsspannungen kann sichergestellt werden. Die Leistungsaufnahme einer Signalübertragung mittels LWL ist jedoch um einiges höher als bei einer reinen elektrischen Signalübertragung. Mit einem Energieverbrauch von  $40\text{ mW}$  eines TOTX1952 (Toshiba Corporation, Tokio, Japan) LWL-Senders und  $45\text{ mW}$  eines TORX1952 (Toshiba Corporation, Tokio, Japan) LWL-Empfängers ergibt sich ein Mindestverbrauch von  $85\text{ mW}$ . Für einen bidirektionalen Bus werden pro SM mindestens zwei derartige Übertragungsstrecken benötigt, womit sich ein Gesamtverbrauch von  $170\text{ mW}$  pro SM ergibt.

In den nachfolgenden Verlustbetrachtungen wird eine Potentialtrennung am Kommunikationsbus angenommen, da eine derartige Implementierung die geringsten Verluste aufweist und unabhängig von der Anzahl an Transistoren pro SM ist. Für die Verluste der Kommunikation und Signaltrennung werden folglich  $8\text{ mW}$  pro SM angenommen.

## Dezentrale Messwerterfassung

Bei Multilevel-Systemen mit einer hohen Anzahl an SMs kann es sinnvoll sein, eine gewisse Intelligenz auf den einzelnen SMs vorzusehen. Dies kann je nach Implementierung und Anwendung im einfachsten Fall eine analoge Logikschaltung sein, welche einen Kurzschluss der SM-Energiespeichereinheiten durch gleichzeitiges Schalten beider MOSFETs einer Halbbrücke verhindert. Bei Multilevel-Umrichtern mit der Option, SMs-Energiespeichereinheiten parallel zueinander zu verschalten, ist zudem eine Intelligenz sinnvoll, welche einen in Kapitel 3.2.3 beschriebenen Kurzschluss einer Energiespeichereinheit über ein benachbartes SM verhindert.

Neben einfachen Logikschaltungen kann insbesondere auch bei Multilevel-Umrichtern mit verteilten Sekundärzellen der Einsatz von dezentralen  $\mu C$ s sinnvoll sein. Mit einem  $\mu C$  pro SM kann etwa eine sichere Zellüberwachung durch Aufnahme von Sekundärzellen-Spannung, Strom und Temperatur inklusive einer dezentral initiierten Notabschaltung implementiert werden. Auch eine Entlastung des Kommunikationsbusses kann mit einer derartigen Implementierung vollzogen werden, indem die SM-Verschaltungen dezentral anhand einer über den Bus gesendeten Frequenz, Spannungsamplitude und Zeitsynchronisierung berechnet werden. Eine derartige Implementierung wurde auf Basis eines sparsamen 8-bit  $\mu C$  erstellt. Der leistungsfähige  $\mu C$  EFM8UB10F16G-QFN20 (Silicon Laboratories, Inc., Austin, USA) weist einen Verbrauch von maximal  $27\text{ mW}$  bei einer Taktfrequenz von  $48\text{ MHz}$  auf. Zusammen mit 40 Eingangs-/Ausgangs-Pins bietet dieser  $\mu C$  genügend Potential, um sowohl die Ansteuerung der MOSFETs als auch die Datenerfassung über angeschlossene Sensoren neben

der Berechnung der Schaltzustände zu bewältigen. Für detailliertere Informationen sei hier auf die Bachelorarbeit von Herrn Philipp Gapp verwiesen. [111]

In Bezug auf die Messwerterfassung ist zu beachten, dass eine Messung des Stroms nicht auf SM-Ebene stattfinden muss, sondern einmal pro Umrichterarm zentral erfolgen kann. Die Ströme durch die einzelnen SM-Energiespeichereinheiten können anhand der aktuellen Schaltzustände einfach berechnet werden, da jede aktive Zelle mit dem aktuellen Systemstrom bestromt wird. Bei parallel verbundenen Energiespeichereinheiten teilt sich entsprechend der Systemstrom symmetrisch auf diese auf.

Eine Spannungs- und Temperaturmessung ist hingegen bei Sekundärzellen-basierten System zumeist auf SM-Ebene notwendig, um einen sicheren Betrieb gewährleisten zu können. Dieser Aufwand muss jedoch auch bei herkömmlichen Systemen in gleichem Maße betrieben werden. In der Regel ist dabei auch eine potentialgetrennte Kommunikation zu einem Master-Controller vonnöten, womit sich der Zusatzaufwand für die Kommunikation und SM-seitige Intelligenz bei Multilevel-Direktumrichtern relativiert.

Der SM-seitige Verbrauch durch die Messungen kann durch eine getaktete Messwerterfassung stark verringert werden. Dies ist vor allem bei Sekundärzellen-basierten System möglich, da sich die SM-Spannungen im Vergleich zu Kondensator-basierten Systemen nur langsam verändern.

Für die Messwerterfassung inklusive etwaiger Intelligenz wird im Folgenden ein Durchschnittsverbrauch von  $27\text{ mW}$  pro SM angenommen.

### Zusammenfassung

Für die nachfolgenden Berechnungen werden somit allgemein folgende Werte verwendet:

1. Zentraler  $\mu C$ :  $385\text{ mW}$  für einen STM32F469Ax
2. Kommunikation pro SM:  $8\text{ mW}$  für Kommunikation und Potentialtrennung auf SM-Ebene
3. Messungen (Strom, Spannung, Temperatur etc.) pro SM:  $27\text{ mW}$  für EFM8UB10F16G-QFN20
4. DC/DC-Wandler: vernachlässigt

Tabelle 5.3: Vier Implementierungen zur Berechnung der Verluste von seriellen Multilevel-Direktumrichtern

	MOSFET	$U_{GS}$	$R_{DSOn}$	$Q_G$	$C_{Oss}$	Mod.	THD
n=8 @ 48V	IPT012N08N	10V	1,2m $\Omega$	178nC	2,0nF	PWM (20kHz)	8,77%
n=32 @ 12V	IPT004N03L	10V	0,37m $\Omega$	252nC	1,4nF	PWM (20kHz)	2,19%
n=96 @ 4V	IPT004N03L	4V	0,50m $\Omega$	252nC	1,4nF	ZVNLM (16,4kHz)	0,70%
n=96 @ 4V (5p)	5*PI5101	4V	0,36m $\Omega$ /5 = 0,072m $\Omega$	5 * 65nC = 325nC	5 * 5,2nF = 26,0nF	ZVNLM (16,4kHz)	0,70%

## 5.2 Wirkungsgrad von seriellen Multilevel-Umrichtern mit Vollbrücken

Einen entscheidenden Einfluss auf den Wirkungsgrad von Multilevel-Direktumrichtern hat die Anzahl der verwendeten SMs und deren Spannung. Um deren Einfluss zu evaluieren, wurden beispielhaft die in Tabelle 5.3 aufgelisteten vier Implementierungen gewählt:

Für den Aufbau von Multilevel-Umrichtern mit verteilten Sekundärzellen bieten die Spannungen von 48 V und 12 V den Vorteil der weiten Verbreitung dieser Spannungsniveaus im automobilen Bereich. Der Einsatz von Energiespeichereinheiten mit Spannungen oberhalb der Schutzkleinspannung ist wenig sinnvoll, da hierbei unter anderem ein erhöhter Isolationsaufwand betrieben werden muss (vergleiche hierzu die Norm VDA320 [112]). Der Anstieg des THDs bei einer Erhöhung der SM-Spannung (vergleiche Kapitel 3.1.2) und der höhere Aufwand eines Batteriemanagementsystems (BMS) bei steigender Anzahl von Sekundärzellen pro SM-Energiespeicher erhöhen zudem die Anforderungen an die Hardware.

Eine Implementierung mit einer Sekundärzelle pro SM stellt das Optimum hinsichtlich Flexibilität dar und macht ein separates BMS obsolet, da ein Balancieren der Sekundärzellen-SOCs direkt über die Betriebsstrategie des Multilevel-Umrichters vollzogen werden kann. Allerdings sind der Bauteil Aufwand und die Komplexität der Regelung größer als mit höheren SM-Spannungen und damit einer geringeren Gesamtanzahl an SMs.

Für die beiden Implementierungen mit einer SM-Spannung von 48 V und 12 V wird je eine PWM-Frequenz von 20 kHz verwendet. Frequenzen in diesem Bereich werden in klassischen Zwei-Punkt-Umrichtern häufig verwendet, da diese oberhalb des für das menschliche Gehör wahrnehmbaren Frequenzbereichs liegen und bereits zu einer starken Verringerung des Filteraufwands führen [113], [114]. Durch den besseren THDs-Wert bei einer SM-Spannung von 12 V im Vergleich zu 48 V könnte die PWM-Frequenz reduziert werden. Auf Grund der daraus resultierenden Geräuschbelastung und der besseren



Vergleichbarkeit wird jedoch auch bei der Implementierung mit 12 V ein PWM mit 20 kHz verwendet. Für die SM-Spannung von 4 V wird das ZVNLM-Verfahren verwendet, um wie in Kapitel 4.1.2 beschrieben die resultierende Schaltrate zu verringern. Im vorliegenden Fall führt dies zu einer Schaltfrequenz von 16,4 kHz. Zudem werden zwei Implementierungen, einmal mit dem bei den 12 V-SMs verwendeten 30 V-MOSFET und ein anderes Mal mit fünf parallel geschalteten speziellen 5 V-MOSFETs, betrachtet. Die Verwendung von 30 V-MOSFETs für eine SM-Spannung von 4 V wirkt aus technischer und ökonomischer Sicht nicht sinnvoll. Allerdings gibt es aktuell kaum einen Anwendungsfall für 5 V-MOSFETs mit hoher Stromtragfähigkeit, weshalb die Produktion der hier verwendeten MOSFETs vor kurzem wieder eingestellt wurde.

Da der in dieser Arbeit betrachtete Hauptanwendungsfall für serielle Multilevel-Umrichter im Energiespeicherbereich liegt, werden in erster Linie Multilevel-Direktumrichter mit verteilten Sekundärzellen betrachtet. Für eine allgemeine Anpassung der Berechnungen auf Kondensator-basierte Umrichter sind der Aussteuergrad und die Spannungsvarianz der SM-Kondensatoren von entscheidender Bedeutung (siehe dazu etwa [46]).

Bei Sekundärzellen-basierten Multilevel-SMs ändert sich die Spannung der SM-Energiespeicher sehr langsam. Zudem vereinfacht die reduzierte Komplexität der Makrotopologie ohne Energiezwischen-speicherung in Pufferkondensatoren die Verlustbetrachtung. Für die nachfolgenden Betrachtungen werden den Verluste eines einzelnen Umrichterarms berechnet (siehe hierzu etwa Kapitel 3.2.4). Die Verluste eines entsprechenden dreiphasigen Systems entsprechen den dreifachen Verlusten eines einzelnen Umrichterarms – unter der Annahme symmetrischer Belastung der drei Phasen und ohne Energieausgleich zwischen den Umrichterarmen.

### 5.2.1 Schaltfrequenz bei seriellen Multilevel-Umrichtern

Bei jedem Wechsel zwischen zwei Ausgangsstufen wird bei seriellen Multilevel-Umrichtern typischerweise immer nur eine Speichereinheit hinzugeschaltet oder gebypassed. Sowohl bei seriellen Multilevel-Umrichtern mit Vollbrücken-SMs als auch bei Verwendung von SMs mit einer Halbbrücke ist immer nur eine Halbbrücke pro SM und Umrichterarm zu schalten. Bei einer einfachen Diskretisierung des Spannungsverlaufs entspricht  $F_{sw}$  der Diskretisierungsfrequenz ( $F_{dis}$ ), also der Häufigkeit, mit der die Spannungshöhe geändert wird.  $F_{dis}$  kann dabei mittels der maximalen Spannungsamplitude ( $U_{max}$ ), der Nennspannung<sup>4</sup> der SMs ( $U_{SM}$ ) und der Frequenz des Spannungsverlaufs berechnet werden. Für einen sinusförmigen Spannungsverlauf mit der Frequenz  $F_{sin}$  erhält man somit:

$$F_{dis} = F_{sin} * 4 * \left\lceil \frac{U_{max}}{U_{SM}} \right\rceil \quad (5.34)$$

<sup>4</sup>Die Spannung von Sekundärzellen ändert sich in Abhängigkeit vom Ladezustand, von der Stromrichtung und der Stromstärke. Um einen optimalen Betrieb des Umrichters zu gewährleisten, wird dies in die Berechnung der zu generierenden Spannungshöhen miteinbezogen. Die Verwendung der Nennspannung der Speicherelemente zur Berechnung des Wirkungsgrades ist somit eine Vereinfachung, die allerdings nur geringe Auswirkungen auf das Ergebnis hat, da die Nennspannung im Betrieb in etwa den Mittelwert der Speicherspannung darstellt.

Nota bene: Der Quotientenwert von  $U_{max}/U_{SM}$  muss ganzzahlig aufgerundet werden, um  $F_{dis}$  korrekt berechnen zu können ( $\lceil x \rceil := \min\{k \in \mathbb{Z} \mid k \geq x\}$ ).

**Beispiel  $F_{dis}$**

(Netzparallelbetrieb)

$$F_{sin} = 50 \text{ Hz}$$

$$U_{max} = 230 \text{ V} * \sqrt{2}$$

$$U_{SM} = 50 \text{ V}$$

$$F_{dis} = 50 \text{ Hz} * 4 * \left\lceil \frac{230 \text{ V} * \sqrt{2}}{50 \text{ V}} \right\rceil$$

$$F_{dis} = 1,4 \text{ kHz}$$

**Beispiel  $F_{dis}$  vs. Speicherspannung**

(Akkumulator: 16 InnoPOWER-LFMP20AH

@3,2V seriell)

$$F_{sin} = 50 \text{ Hz}$$

$$U_{max} = 230 \text{ V} * \sqrt{2}$$

$$U_{SMNenn} = 51,2 \text{ V}$$

$$U_{SMmax} = 58,4 \text{ V}$$

$$U_{SMmin} = 44,8 \text{ V}$$

$$F_{dis}(U_{SMNenn}) = 1,4 \text{ kHz}$$

$$F_{dis}(U_{SMmax}) = 1,2 \text{ kHz}$$

$$F_{dis}(U_{SMmin}) = 1,6 \text{ kHz}$$

Bei Verwendung einer überlagerten PWM mit vertikal verschobener Dreiecksmodulation (siehe Kapitel 4.1) erhält man  $F_{sw}$  mittels der Trägerfrequenz der PWM multipliziert mit zwei – da immer ein MOSFET einer Halbbrücke ausgeschaltet und der andere eingeschaltet wird – abzüglich der Diskretisierungsfrequenz. Der Abzug von  $F_{dis}$  ist dadurch bedingt, dass beim Übergang zwischen zwei vertikal verschobenen Dreiecksspannungen in der Regel ein Stufenwechsel übersprungen wird.

Unter Einsatz einer NLM entspricht  $F_{Dis}$  dem Vierfachen der NLM-Frequenz, da pro NLM-Intervall zwei Spannungsstufenwechsel vollzogen werden und zudem dabei zwei MOSFETs geschaltet werden. Es kann auch vorkommen, dass zwei oder mehr Module zeitgleich hinzu- oder abgeschaltet werden müssen. Dieser Fall tritt bei Kondensatorbasierten Systemen mit niedriger PWM-Frequenz und der Verwendung von kleinen Kapazitäten häufiger auf, um die Spannungsschwankung der Kondensatoren zu limitieren. Bei Sekundärzellen-basierten Systemen tritt dies hingegen nur bei plötzlichen Defekten oder bei stark inhomogenen Ladezuständen der Speichereinheiten in Kombination mit abrupten Stromrichtungsänderungen – also einem Umschalten zwischen Laden und Entladen – auf und kann somit für eine Wirkungsgradabschätzung vernachlässigt werden.

Bei seriellen Multilevel-Umrichtern kann die Verwendung von unterschiedlichen MOSFETs für High- und Low-Sides vorteilhaft sein, da die Low-Side-MOSFETs öfter leitend sind als die High-Sides. Zum vereinfachten Vergleich der nachfolgenden Technologien, bei denen dies nicht immer der Fall ist, wird jedoch im Weiteren eine homogene Bestückung der High- und Low-Sides angenommen.

## 5.2.2 Leistungselektronikverluste in seriellen Multilevel-Umrichtern mit Vollbrücken

### Treiberverluste

**Umladeverluste der MOSFET-Kapazitäten** Die gesamten Umladeverluste der MOSFET-Kapazitäten eines seriellen Multilevel-Umrichterarms ( $P_{C-fet}$ ) ergeben sich anhand der Formeln 5.4 und 5.5 zu:

$$P_{C-fet} = (Q_G * U_{GS} + C_{Oss} * U_{DS}^2) * F_{sw} \quad (5.35)$$

Der quadratische Einfluss der SM-Spannung auf die Ausschaltverluste bewirkt eine Zunahme der Umladeverluste mit Erhöhung der SM-Spannung und diese sind unabhängig von der Anzahl der SMs pro Umrichterarm. Eine Verringerung der Gate-Source-Spannung auf 4 V verringert weiter die Verluste im Vergleich zu Implementierungen mit  $U_{GS} = 10 V$ .

**Ruhestromverbrauch der Treiber** Der Ruhestromverbrauch aller MOSFET-Treiber eines Umrichterarms ( $P_{Q_{ges}}$ ) kann ebenfalls vereinfacht mit der Grundüberlegung, dass immer die Hälfte aller MOSFETs geschaltet und die andere Hälfte nicht geschaltet ist, als statischer Wert in Abhängigkeit von der Anzahl der im System vorhandenen MOSFETs mittels der Formel 5.7 berechnet werden:

$$P_{Q_{ges}} = 4 * n * (I_{QH} * 0,5 + I_{QL} * 0,5) * V_{GS} \quad (5.36)$$

**Zusammenfassung der Treiberverluste** Durch Verringerung der SM-Spannung verringern sich die Umladeverluste der MOSFET-Kapazitäten. Allerdings erhöhen sich durch den direkt proportionalen Zusammenhang der Ruhestromverluste mit der Anzahl an SMs auch die Treiberruhestromverbräuche. Die gesamten Treiberverluste erhöhen sich in Kombination beider Effekte allerdings nicht direkt proportional zur Spannungsverkleinerung, womit die Treiberverluste bei einer Implementierungen mit 96 4 V-SMs ähnlich denen der Implementierung mit 32 12 V-SMs sind und nicht einmal doppelt so hoch wie in Systemen mit nur 8 48 V-SMs (siehe hierzu Tabelle 5.4).

Tabelle 5.4: Treiberverluste des seriellen Multilevel-Umrichterarms mit Vollbrücken bei einem 230 V-Sinus mit 50 Hz unter Verwendung von 1EDN751x-Treibern

	$P_{C-fet}$	$P_{Q_{ges}}$	$P_{treib}$
n=8@ 48 V	0,264 W	0,118 W	0,382 W
n=32@ 12 V	0,124 W	0,474 W	0,598 W
n=96@ 4 V	0,017 W	0,568 W	0,585 W
n=96@ 4 V (5p)	0,028 W	0,568 W	0,596 W

### Leitverluste

Wie in Kapitel 5.1.1 beschrieben werden die Leitverluste vereinfacht mittels des als konstant angenommenen Ersatzwiderstandes ( $R_{DSon}$ ) und des Systemstroms ( $I_D$ ) berechnet. Bei seriellen Multilevel-Umrichtern mit Vollbrücken liegen immer zwei leitende MOSFETs in Serie zwischen den beiden Anschlüssen der SMs. Die gesamten Leitverluste eines Umrichterarms ergeben sich somit vereinfacht zu:

$$P_{R_{DSon}} = 2 * n * R_{DSon} * I_{DSrms}^2 \quad (5.37)$$

#### Beispiel 1ph. serieller Multilevel-Umrichter

(Infineon IPT012N08N5, 80V, 300A)

$$R_{DSon,max} = 1,2 \text{ m}\Omega$$

$$U_{max} = 230 \text{ V} * \sqrt{2}$$

$$U_{SM} = 50 \text{ V}$$

$$I_{DSrms} = I_{RMS} = 16 \text{ A}$$

$$n = 8$$

$$P_{R_{DSon}} = 2 * 8 * 1,2 \text{ m}\Omega * (16 \text{ A})^2$$

$$P_{R_{DSon}} = 4,92 \text{ W}$$

Tabelle 5.5 zeigt die Leitverluste der vier Implementierungen eines seriellen Multilevel-Umrichterarms für  $I_{RMS} = 1 \text{ A}$ ,  $I_{RMS} = 100 \text{ A}$  und  $I_{RMS} = 200 \text{ A}$ . Die Verluste wurden nicht mit dem RMS-Strom errechnet, sondern mit Momentanwerten des Systemstroms (Samplezeit  $T_s = 10 \text{ ns}$ ). Durch den konstanten Ersatzwiderstand des kompletten Umrichterarms ist der Unterschied zwischen einer Berechnung der Leitverluste mittels des RMS-Wertes des Stroms und derjenigen durch eine Abtastung jedoch minimal.

Die Verluste steigen naturgemäß mit der Anzahl an SMs. Der Unterschied zwischen der Konfiguration mit  $n = 8$  und  $n = 32$  SMs fällt trotzdem sehr gering aus, da bei den 12 V-SMs MOSFETs mit viel geringerem  $R_{DSon}$  eingesetzt werden können. Bei der ersten  $n = 96$  Konfiguration werden die gleichen MOSFETs verwendet wie bei der  $n = 32$  Konfiguration, womit die Verluste durch die dreifache Anzahl an SMs ebenfalls verdreifacht werden. Zusätzlich bewirkt die angenommene Reduktion von  $U_{GS}$  von 10 V auf 4 V eine Erhöhung des  $R_{DSon}$ , womit die Leitverluste weiter steigen. Die Verwendung von 5 parallel geschalteten 5 V-MOSFETs verringert hingegen die Schaltverluste auf Werte unterhalb einer Implementierung mit 8 48 V-SMs.

Tabelle 5.5: Leitverluste eines seriellen Multilevel-Umrichterarms mit Vollbrücken bei einem 230 – V-Sinus mit 50 Hz

	$I_{RMS} = 1 \text{ A}$	$I_{RMS} = 100 \text{ A}$	$I_{RMS} = 200 \text{ A}$
n=8@ 48 V	0,019 W	191,488 W	765,951 W
n=32@ 12 V	0,024 W	236,168 W	944,672 W
n=96@ 4 V	0,096 W	957,438 W	3829,753 W
n=96@ 4 V (5p)	0,014 W	137,871 W	551,484 W

### Schaltverluste beim Schaltvorgang

Die Schaltverluste in SMC-Systemen sind wie aus den Formeln in Kapitel 5.1.1 ersichtlich abhängig von der SM-Spannung und dem momentanen Systemstrom. Durch den Umstand, dass bei jedem Schaltzeitpunkt in der Regel immer nur eine Halbbrücke ihren Schaltzustand ändert, sind die gesamten Schaltverluste unabhängig von einem etwaigen Phasenwinkel zwischen Strom und Spannung. Die Stromstärke an sich hat hingegen einen direkt proportionalen Einfluss auf die Schaltverluste, womit eine Verdoppelung des RMS-Stroms eine Verdoppelung der Schaltverluste verursacht. Tabelle 5.6 zeigt die Schaltverluste eines MMC-Umrichterarms mit den erwähnten Ein- und Ausschaltzeiten von  $t_{ON} = t_{OFF} = 50 \text{ ns}$ .

Es zeigt sich, dass die Schaltverluste insbesondere bei höheren Leistungen um ein Vielfaches kleiner sind als die Leitverluste und prinzipiell um ein vielfaches kleiner als etwa bei 2-Punkt Umrichtern. Der Einsatz von langsamer schaltenden, aber dafür niederohmigeren Bauteilen, welche zumeist deutlich billiger sind als schnell schaltende Bauelemente, kann somit vorteilhaft sein. Die Ergebnisse verdeutlichen auch, dass eine Verringerung der Spannungsstufen eine drastische Reduktion der Schaltverluste nach sich zieht. Im vorliegenden Fall entsprechen etwa die Schaltverluste einer Implementierung mit 96 4 V-SMs etwa dem 2,6-Fachen der Verluste einer Implementierung mit 8 48 V-SMs.

Tabelle 5.6: Schaltverluste eines seriellen Multilevel-Umrichterarms mit Vollbrücken bei einem 230 V-Sinus mit 50 Hz,  $F_{PWM} = 20 \text{ kHz}$  und  $t_{ON} = t_{OFF} = 50 \text{ ns}$

	$I_{RMS} = 1 \text{ A}$	$I_{RMS} = 100 \text{ A}$	$I_{RMS} = 200 \text{ A}$
n=8@ 48 V	0,177 W	17,662 W	35,324 W
n=32@ 12 V	0,026 W	2,583 W	5,167 W
n=96@ 4 V	0,003 W	0,247 W	0,493 W
n=96@ 4 V (5p)	0,005 W	0,456 W	0,913 W

### MOSFET-Body-Diode-Verluste

Anhand der Formel in Kapitel 5.1.1 ergeben sich die in Tabelle 5.7 ersichtlichen Verluste an den Body-Dioden. Zur Berechnung wurde eine Totzeit von 100 ns angenommen. Der große Unterschied zwischen  $n = 8$  und den übrigen Implementierungen ist dem Einfluss von  $Q_{rr}$  geschuldet, welcher wie erwähnt bei dem verwendeten 80 V-MOSFET mit  $Q_{rr} = 318 \text{ nC}$  dreimal so groß ist wie bei dem 30 V-MOSFETs ( $Q_{rr} = 100 \text{ nC}$ ). Zudem bewirkt eine Reduktion der SM-Spannung eine Verringerung der Reverse-Recovery-Verluste, worauf auch die geringeren Diodenverluste bei dem auf dem 5 V-MOSFETs basierten System zurückzuführen sind. Bei Letzterem wirkt sich jedoch die hohe resultierende Reverse-Recovery-Ladung ( $Q_{rr} = 5 * 100 \text{ nC}$ ) negativ auf die Diodenverluste aus. Die leicht geringere Dioden-Vorwärtsspannung von 0,63 V im Vergleich zu 0,88 V beim 80 V-MOSFET bzw. 0,83 V beim 30 V-MOSFET führt gar zu den geringsten Diodenverlusten der Implementierung mit fünf parallel geschalteten MOSFETs, bei höheren Strömen.

Tabelle 5.7: MOSFET-Body-Diode-Verluste eines seriellen Multilevel-Umrichterarms mit Vollbrücken bei einem 230 V-Sinus mit 50 Hz und einer Totzeit von 100 ns

	$I_{RMS} = 1 A$	$I_{RMS} = 100 A$	$I_{RMS} = 200 A$
n=8@ 48 V	0,317 W	0,477 W	0,639 W
n=32@ 12 V	0,029 W	0,193 W	0,358 W
n=96@ 4 V	0,004 W	0,051 W	0,098 W
n=96@ 4 V (5p)	0,017 W	0,052 W	0,088 W

### 5.2.3 Energiespeicherverluste

Bei SMC-Systemen mit Sekundärzellen als Energiespeichereinheiten entsteht ein großer Teil der Gesamtverluste im System in den Sekundärzellen. Abbildung 5.4 (a) zeigt die Ausgangsspannung in Referenz zu einem Ausgangsstrom mit  $I_{out}(RMS) = 200 A$  erzeugt mittels der NLM mit 48 V bzw. der ZVNLM mit 4 V. Wie in Kapitel 4.1.2 erläutert basiert die NLM darauf, dass pro Diskretisierungsintervall der Mittelwert der Spannungsstufen ( $U_a$ ) dem Mittelwert der Referenzspannung entspricht. Somit ist auch der Mittelwert von  $U_a$  bei einem System mit  $n = 8$  SMs identisch zu dem eines Systems mit  $n = 96$  SMs. Die ESR-Werte der SMs sind direkt proportional zu den SM-Spannungen. Damit sind auch die Mittelwerte der SM-Ersatzwiderstände pro Diskretisierungsintervall identisch. Daraus folgt, dass die resultierenden Energiespeicherverluste bei allen drei betrachteten SM-Spannungen identisch sind.

Abbildung 5.4 (b) zeigt die ESR-Werte für 4 V- und 48 V-Systeme in einem kurzen Zeitabschnitt. Die in diesem Zeitabschnitt entstehenden Verluste sind in Abbildung 5.4 (c) aufgezeigt. Hieraus ist ersichtlich, dass eine Verringerung der SM-Spannung einen kontinuierlicheren Anstieg der Verlustenergie bewirkt, aber keine Unterschiede in der resultierenden gesamten Verlustleistung durch die Höhe der SM-Spannung entstehen.

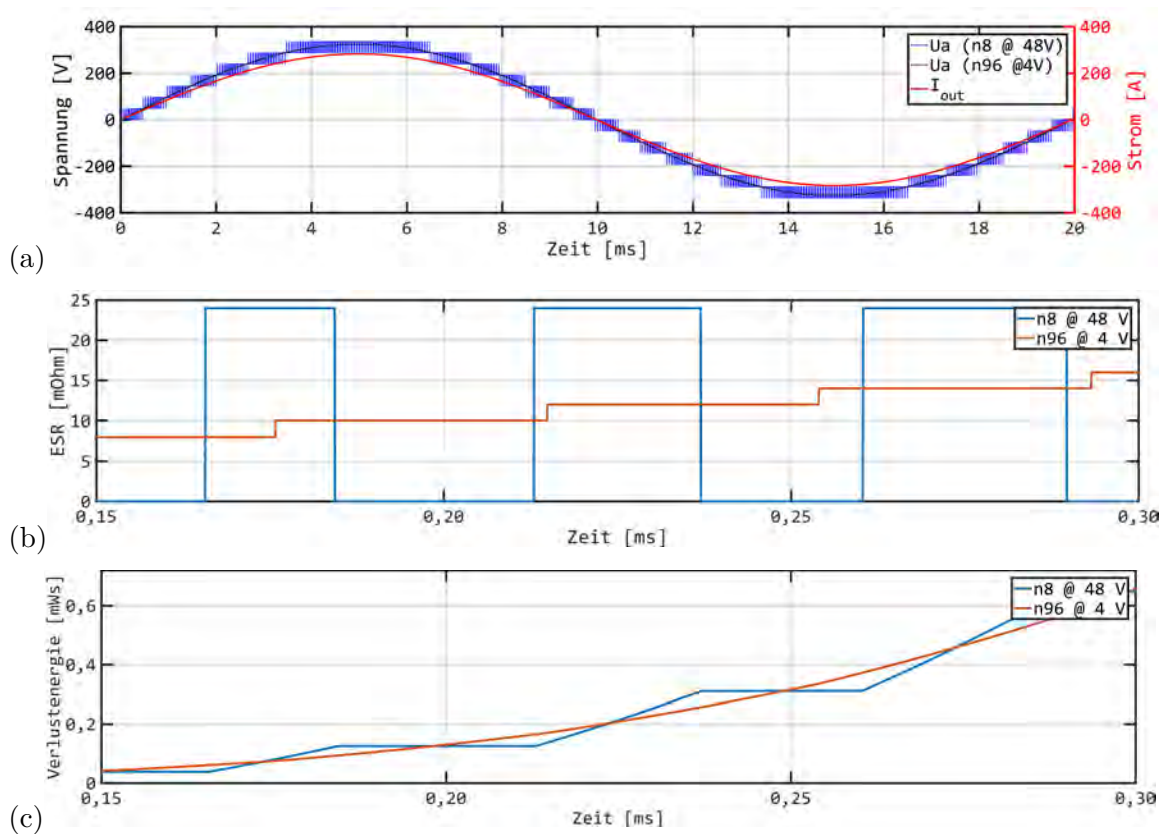


Abbildung 5.4: Einfluss der SM-Spannung auf die Verlustenergie eines seriellen Multilevel-Umrichterarms bei einem Systemstrom von  $I_{out}(RMS) = 200 A$  ohne Phasenversatz ( $50 Hz$ ,  $230 V$ ). (a) Ausgangsspannung und Systemstrom, (b) ESR-Momentanwerte und (c) Verlustenergien

Einen Vergleich der ESR-Werte für die Implementierung mit  $n=8$  SMs mit  $48 V$  in Referenz zu den absoluten Werten des Ausgangsstroms ohne ( $\cos\Phi = 1 rad$ ) und mit einem Phasenversatz ( $\cos\Phi = 0,8 rad$ ) zeigt Abbildung 5.5 (a). Hierbei ist ersichtlich, dass im Falle eines Phasenversatzes zwischen Strom und Spannung höhere Ströme auf geringere ESR-Werte treffen. Dies führt zu einer Reduktion der Energiespeicherverluste von bis zu  $17,43 \%$ , wie in Abbildung 5.5 (b) anhand der aufsummierten Verlustenergie während einer Sinus-Vollwelle ersichtlich ist.

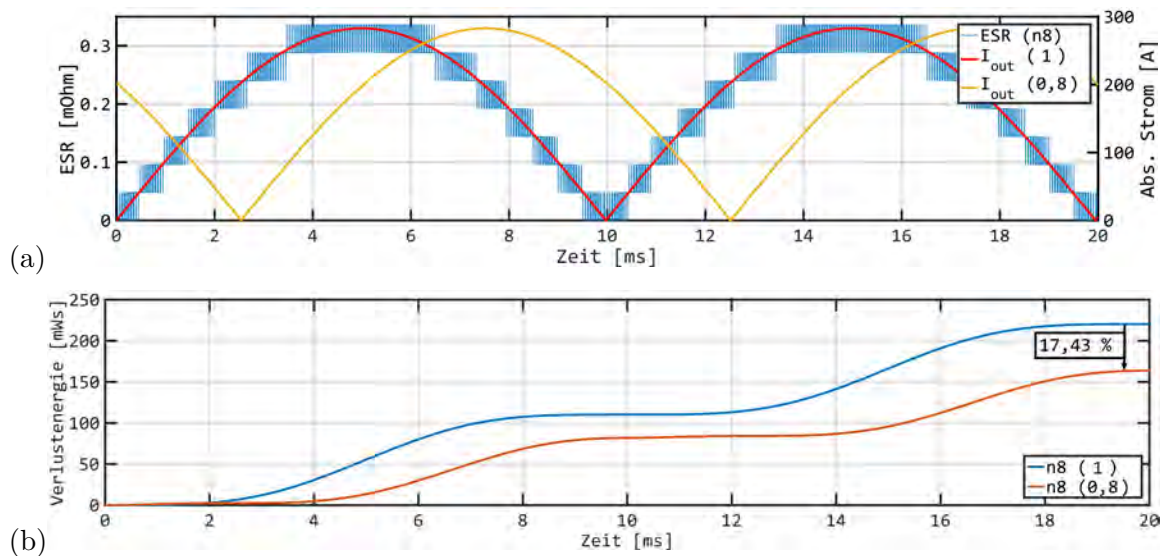


Abbildung 5.5: Einfluss eines Phasenversatzes zwischen Strom und Spannung auf die Energiespeicherverluste eines seriellen Multilevel-Umrichterarms bei einem Systemstrom von  $I_{out}(RMS) = 200 \text{ A}$  ( $50 \text{ Hz}$ ,  $230 \text{ V}$ )

Tabelle 5.8 zeigt die Energiespeicherverluste eines Umrichterarms. Wie erwähnt hat die SM-Spannung keinen Einfluss auf die Gesamtverluste, wohingegen ein Phasenversatz zwischen Strom und Spannung die Verluste stark reduziert.

Tabelle 5.8: Energiespeicherverluste eines seriellen Multilevel-Umrichterarms mit Vollbrücken bei einem  $230 \text{ V}$ -Sinus mit  $50 \text{ Hz}$

	$I_{RMS} = 100 \text{ A} @ 1rad$	$I_{RMS} = 100 \text{ A} @ 0,8rad$
$n=8 @ 48 \text{ V}$	2753,544 W	2045,146 W
$n=32 @ 12 \text{ V}$	2753,544 W	2045,146 W
$n=96 @ 4 \text{ V}$	2753,544 W	2045,146 W

## 5.2.4 Grundlast

Die Werte für die Berechnung der Grundlast sind in Kapitel 5.1.3 detailliert dargestellt. Die Ergebnisse der Berechnungen für die hier betrachteten MMC-Systeme sind in Tabelle 5.9 enthalten. Die Grundlast eines Systems mit 96 SMs ist hierbei um mehr als das Fünffache höher als die eines Umrichterarms mit nur 8 SMs.

Tabelle 5.9: Grundlastverluste eines seriellen Multilevel-Umrichterarms

	Kommunikation und Messwerterfassung	Gesamt
$n=8 @ 48 \text{ V}$	0,280 W	0,665 W
$n=32 @ 12 \text{ V}$	1,120 W	1,505 W
$n=96 @ 4 \text{ V}$	3,360 W	3,745 W
$n=96 @ 4 \text{ V} (5p)$	3,360 W	3,745 W



### 5.2.5 Zusammenfassung

Bei geringer Stromstärke wirkt sich insbesondere der erhöhte Grundlastbedarf bei Implementierungen mit einer höheren Anzahl an SMs negativ auf die Gesamtverluste aus (siehe Abbildung 5.6 und 5.7 links). Auch die etwas höheren Treiberverluste erhöhen hierbei die Verluste merklich. Erst bei höheren Stromstärken überwiegen die beiden quadratisch vom Strom abhängigen Verlustmechanismen – Speicher- und Transistorleitverluste. Bereits bei einem RMS-Strom von 16 A führt dies zu den in diesem Vergleich geringsten Verlusten bei der Implementierung mit fünf parallel verschalteten 5 V MOSFETs (siehe Abbildung 5.7 rechts). Bei noch höheren Stromstärken (siehe Abbildungen 5.8) wird der hohe Einfluss der  $R_{DSon}$ -bedingten Verluste noch deutlicher.

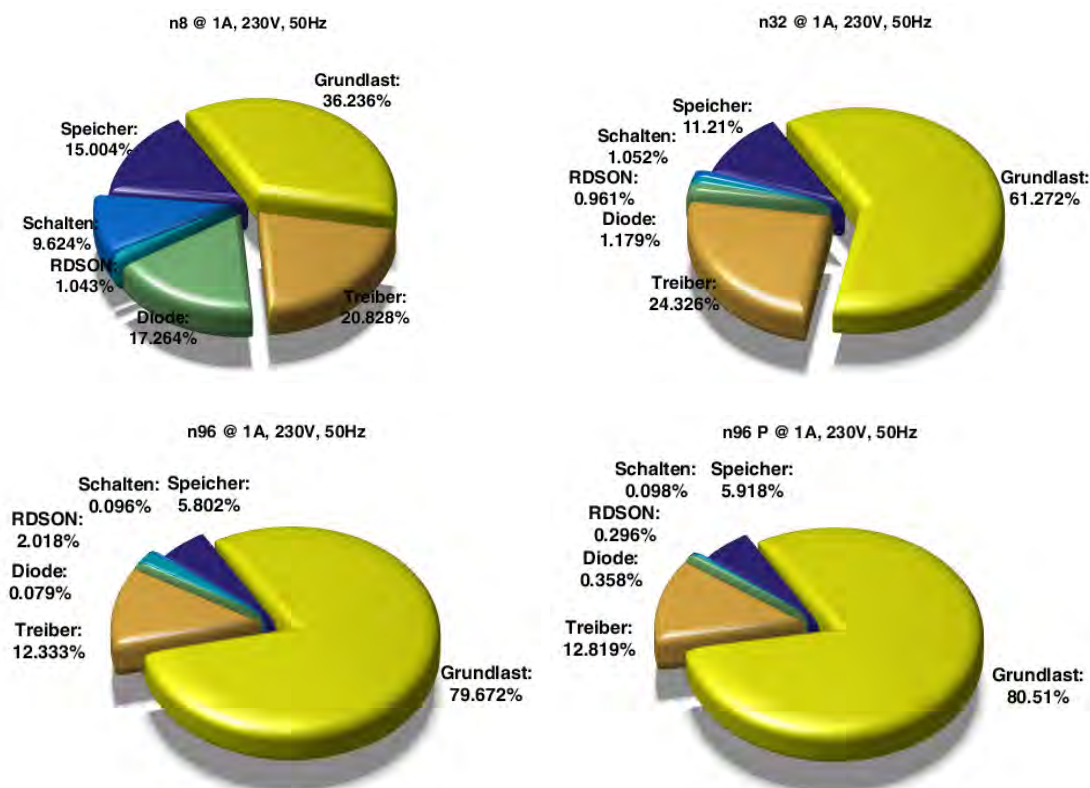


Abbildung 5.6: Prozentuale Verteilung der Verluste eines seriellen Multilevel-Umrichterarms bei 230 V, 50 Hz und einem  $I_{out}(RMS) = 1 A$

Neben dem Einfluss der Stromstärke hat auch die Höhe der Ausgangsspannung in Relation zu der maximalen Spannung eines Umrichterarms einen Einfluss auf den Wirkungsgrad. In der Regel wird in Multilevel-Umrichtern mindestens ein SM pro Umrichterarm mehr verbaut, als für die maximale Spannung notwendig wäre. Diese Redundanz verringert die Ausfallwahrscheinlichkeit des Gesamtsystems stark, da defekte SMs überbrückt werden können. Durch die serielle Verschaltung der SM und der SM-Energiespeicher erhöhen sich allerdings die Grundlast und die  $R_{DSon}$ -Verluste.

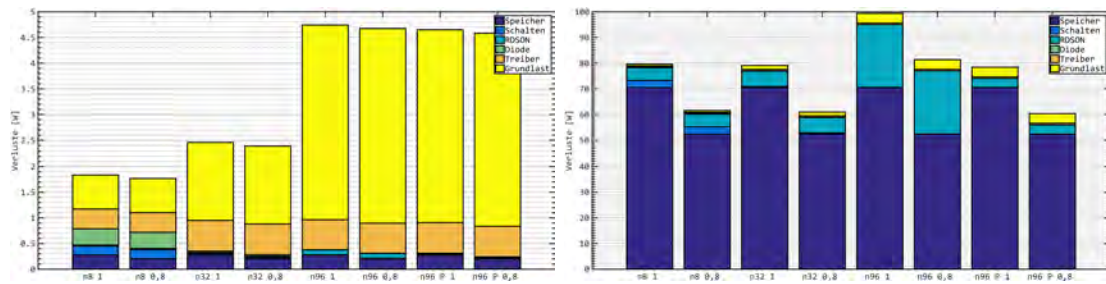


Abbildung 5.7: Reale Verluste eines seriellen Multilevel-Umrichterarms bei  $230\text{ V}$ ,  $50\text{ Hz}$  und einem  $I_{out}(RMS) = 1\text{ A}$  (links) bzw.  $I_{out}(RMS) = 16\text{ A}$  (rechts) in Abhängigkeit von der SM-Implementierung und dem Phasenwinkel

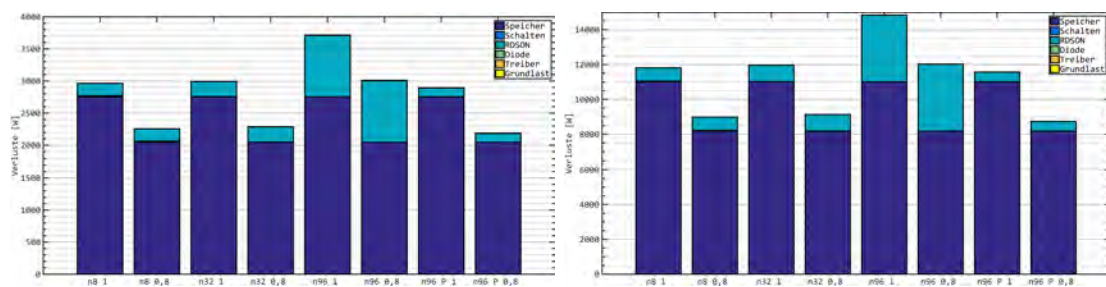


Abbildung 5.8: Reale Verluste eines seriellen Multilevel-Umrichterarms bei  $230\text{ V}$ ,  $50\text{ Hz}$  und einem  $I_{out}(RMS) = 100\text{ A}$  (links) bzw.  $I_{out}(RMS) = 200\text{ A}$  (rechts) in Abhängigkeit von der SM-Implementierung und dem Phasenwinkel

Ein ähnlicher Effekt tritt in Systemen mit variierender RMS-Spannung, wie dies z. B. bei elektrischen Antrieben der Fall ist, auf. Wie in Abbildung 5.9 zu sehen führt eine Verringerung der RMS-Spannung ebenfalls zu einer Verringerung des Wirkungsgrads, da die RD<sub>son</sub>-Verluste unabhängig von der Ausgangsspannung sind und somit bei geringeren Spannungen und infolgedessen geringeren Leistungen prozentual mehr zu den Gesamtverlusten beitragen. Zusätzlich verschlechtern die Grundlastverluste den Wirkungsgrad bei kleinen Strömen und kleinen Spannungen weiter, auf Grund ihres in diesem Bereich hohen prozentualen Anteils an den Gesamtverlusten. Der Vergleich von n8- mit n96p-basierten Systemen zeigt, dass bei kleinen Strömen ein n8-System durch die geringeren Grundlastverluste höhere Wirkungsgrade erreicht als Implementierungen mit einer höheren Anzahl an SMs. Bei höheren Stromstärken sind jedoch wie zuvor Systeme mit kleineren SM-Spannungen auf Grund der geringeren Schaltverluste leicht im Vorteil (siehe Abbildung 5.9 rechts).

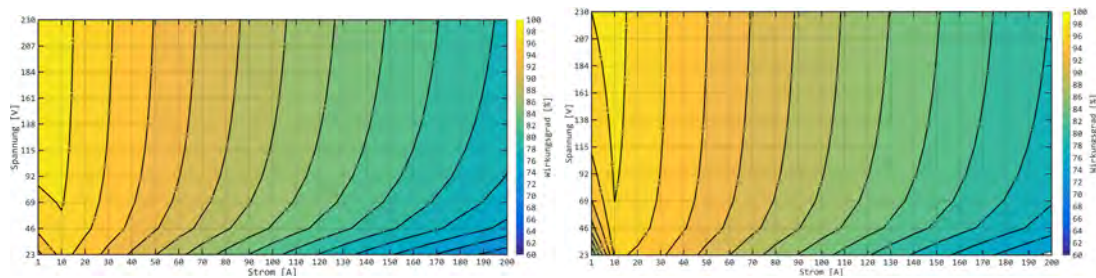


Abbildung 5.9: Wirkungsgrad eines seriellen Multilevel-Umrichterarms (links n8, rechts n96p) in Abhängigkeit von Ausgangsspannung und -strom, bei (50 Hz)

### 5.3 Wirkungsgrad von EMMC-Systemen

Neben den allgemeinen Verlusten, so wie diese im vorhergehenden Kapitel berechnet wurden, ist bei EMMC-basierten Systemen noch ein zusätzlicher Verlustmechanismus zu beachten. Auf Grund der Back-to-Back-Topologie entstehen im Vergleich zu Multilevel-Umrichtern mit verteilten Sekundärzellen zusätzliche Verluste in den Pufferkondensatoren. Von Vorteil ist jedoch bei Energiespeicher-basierten Drei-Phasen-EMMC-Systemen die Belastung der Sekundärzellen im zentralen Energiespeicher mit konstantem DC-Strom. Siehe dazu Kapitel 5.1.2.

Eine Problematik bei den Verlustbetrachtungen in EMMC-basierten Systemen ist der Aussteuergrad des Systems. Wie in Kapitel 4.2.2 beschrieben, ist es durch das EMMC-Prinzip möglich, die Kondensatorkapazität im Vergleich zu MMC-basierten Systemen stark zu reduzieren. Durch eine Reduktion der Kapazität ist jedoch die Schaltfrequenz idealerweise abhängig von der Leistung des Systems – hohe Momentanleistung = hohe Schaltrate und niedrige Momentanleistung = niedrige Schaltrate. Zudem ist die Schaltfrequenz der einzelnen SMs abhängig von der Kapazität der jeweiligen SM-Speicher-kondensatoren. Je geringer die vorhandenen Kapazitäten sind, desto höher muss die Schaltfrequenz gewählt werden, um die Spannungsvarianz der Kondensatoren in einem definierten Bereich zu halten.

Nachfolgend wird insbesondere auf die Auswirkungen einer Reduktion der Kondensatorkapazität – in Relation zu MMC- und M<sup>2</sup>PC-Systemen – auf die Gesamtverluste von EMMC-Systemen eingegangen. Betrachtet wird hierbei ein EMMC-basiertes Energiespeichersystem für einen Netzbetrieb (230 V, 50 Hz), um einen direkten Vergleich mit den Verlustberechnungen zu seriellen Multilevel-Umrichtern und M2B-Systemen zu ermöglichen.

### 5.3.1 Schaltfrequenz bei EMMC-Systemen

Die Schaltfrequenzen der einzelnen SMs eines EMMC-Systems sind im Gegensatz zu MMC-Systemen stark unterschiedlich. Prinzipbedingt ist die Schaltfrequenz der einzelnen SMs auch höher als bei MMC-Systemen, da pro Spannungsstufenänderung im einfachsten Fall nicht nur ein SM seinen Schaltzustand ändern muss, sondern zumeist mehrere SM gleichzeitig.

Die theoretisch minimalen Schaltfrequenzen der einzelnen SMs ergeben sich anhand der PWM-Frequenz. Die Schaltfrequenzen der SMs mit geringeren Spannungen sind dabei nicht abhängig von der Frequenz der SMs mit höheren Spannungen. Allerdings sind die Schaltfrequenzen der SMs mit größeren Spannungen von denen mit kleineren Spannungen abhängig.

Angenommen, die in den einzelnen SMs verbauten Kapazitäten sind groß genug dafür, dass die Spannungen der Kondensatoren, auch bei maximaler Systemleistung, während eines Duty-Cycles ein vordefiniertes Spannungsband nicht verlassen. Mit einer derartigen Auslegung folgt, dass die einzelnen SMs nur am Anfang und Ende eines Duty-Cycles ihren Schaltzustand ändern müssen. Die theoretisch minimale Schaltfrequenz für das SM mit der geringsten Spannung  $F_{SW-min}(SM1)$  ist gleich dem Zweifachen der PWM-Frequenz:

$$F_{SW-min}(SM1) = 2 * F_{PWM} \quad (5.38)$$

Die maximale Kapazität von SM1 ( $C_{max}(SM1)$ ) errechnet sich bei dieser Betrachtung ebenfalls in Abhängigkeit von der PWM-Frequenz, der maximalen Spannungsabweichung von der Nennspannung des Kondensators ( $\Delta U$ ) und dem maximalen Systemstrom ( $I_{eff}$ ) zu:

$$C_{max}(SM1) = \frac{I_{eff}}{F_{PWM} * \delta U} \quad (5.39)$$

Bei einer PWM-Frequenz von 20 kHz, einem maximalen Systemstrom von 100 A und einer Spannungsabweichung von  $\Delta U = 1 V$  ergibt sich folglich die Kapazität von SM1 zu:

$$C_{max}(SM1) = \frac{100 A}{20000 Hz * 1 V} = 5 mF \quad (5.40)$$

Mit geeigneten Regelalgorithmen ist jedoch eine starke Reduktion der Kondensatorkapazitäten möglich. Für die nachfolgenden Berechnungen wurde eine sehr einfache Regelstrategie, basierend auf den Erkenntnissen aus Kapitel 4.2.2, verwendet. Das Grundprinzip der Regelung folgt diesen Regeln:

Tabelle 5.10: Benötigte SM-Kondensatorkapazitäten eines EMMC-Systems in Abhängigkeit von  $dU$  mit einer Schaltfrequenz von etwa 40 kHz pro SM (230 V Sinus mit 50 Hz bei  $I_{RMS} = 100 A$  und 20 kHz PWM)

	SM1 (48 V)	SM2 (96 V)	SM3 (192 V)	SM4 (384 V)	THD
$F_{SW}$ pro SM	41,85 kHz	40,15 kHz	40,50 kHz	20,25 kHz	
$\Delta U = 0V@100A$	–	–	–	3P96S	8,77 %
$\Delta U = 1V@100A$	2,75 mF	1,3 mF	1,6 mF	3P96S	8,77 %
$\Delta U = 5V@100A$	0,55 mF	0,26 mF	0,32 mF	3P96S	8,88 %
$\Delta U = 10V@100A$	0,28 mF	0,13 mF	0,16 mF	3P96S	9,29 %
$\Delta U = 15V@100A$	0,185 mF	0,087 mF	0,098 mF	3P96S	9,79 %
$\Delta U = 20V@100A$	0,14 mF	0,065 mF	0,077 mF	3P96S	10,65 %
$\Delta U = 30V@100A$	0,093 mF	0,044 mF	0,051 mF	3P96S	12,58 %

- Änderung der SM-Verschaltung bei Erreichen der definierten Spannungsgrenzen.
- Bei Änderung der Umrichterarm-Ausgangsspannung: SM Kondensator laden, wenn  $U_{SM} < U_0$ , ansonsten entladen.
- SM mit kleineren Spannungen diktieren die Schaltzustände der SM mit höheren Spannungsleveln.

Bei der verwendeten Regelung werden wie erläutert die SMs mit höherer Spannung in Abhängigkeit von den SM mit kleineren Spannungen geschaltet. Die Schaltraten dieser SMs hängen folglich ebenfalls von den Schaltraten der kleineren Module ab. Theoretisch muss ein  $SM(n)$  ungefähr halb so oft schalten wie das SM mit der halben Spannung ( $SM(n-1)$ ), unter Annahme eines sinusförmigen Verlaufs, bei rein resistiver Last und ausreichend großer Kapazität in allen SMs.

$$F_{SW-min}(SM(n)) = \frac{F_{SW-min}(SM(n-1))}{2} \quad (5.41)$$

Zur Verbesserung der Regelung können etwa prädiktive Verfahren verwendet werden, welche die Spannung der SM-Kondensatoren gezielt maximal bis an die definierten Spannungsgrenzen ent- oder beladen, wenn ein Lade- oder Entladezyklus mit hohen Systemströmen bevorsteht. Eine weitere Verbesserung würden eine generellere Betrachtung der Momentanspannungen aller SMs und eine daraus abgeleitete optimierte Verschaltung bewirken. Derartige Regelungsalgorithmen benötigen einen erheblichen Mehraufwand an Rechenleistung und sind für die in dieser Arbeit betrachteten Grundsatzüberlegungen von geringem Mehrwert.

Abbildung 5.10 zeigt die Auswirkung der Spannungsabweichung von der Nennspannung der SM-Kondensatoren ( $\Delta U$ ) auf die benötigten Kapazitäten bei einer Implementierung mit vier SMs, ersichtlich aus Tabelle 5.10. Ebenfalls erkennbar in Tabelle 5.10 und Abbildung 5.10 ist die Abhängigkeit des THD von der Spannungsabweichung. Die THD-Werte wurden hierfür mittels einer Spektrumanalyse in Matlab errechnet, wie dies beispielhaft für  $\Delta U = \pm 5 V$  in Abbildung 5.11 dargestellt ist.

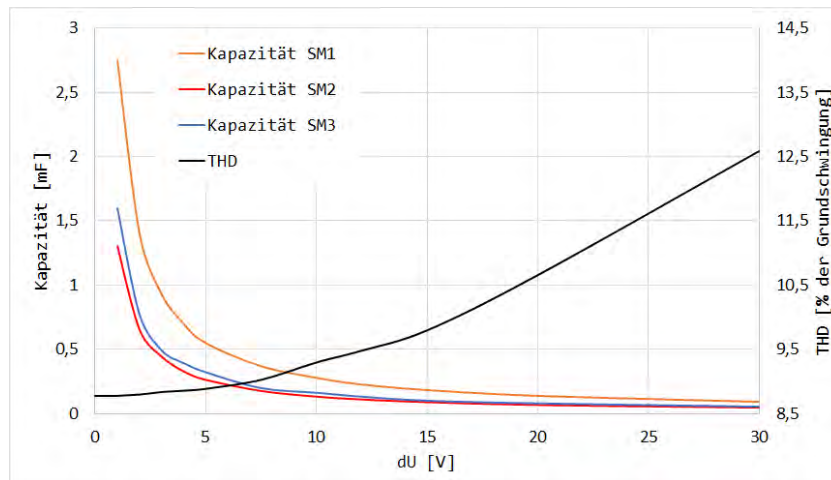


Abbildung 5.10: Abhängigkeit der Modulkapazitäten und des THD von der zulässigen Spannungsabweichung bei einer Schaltrate von etwa 40 kHz pro SM (50 Hz, 230 V,  $PWM = 20kHz$ )

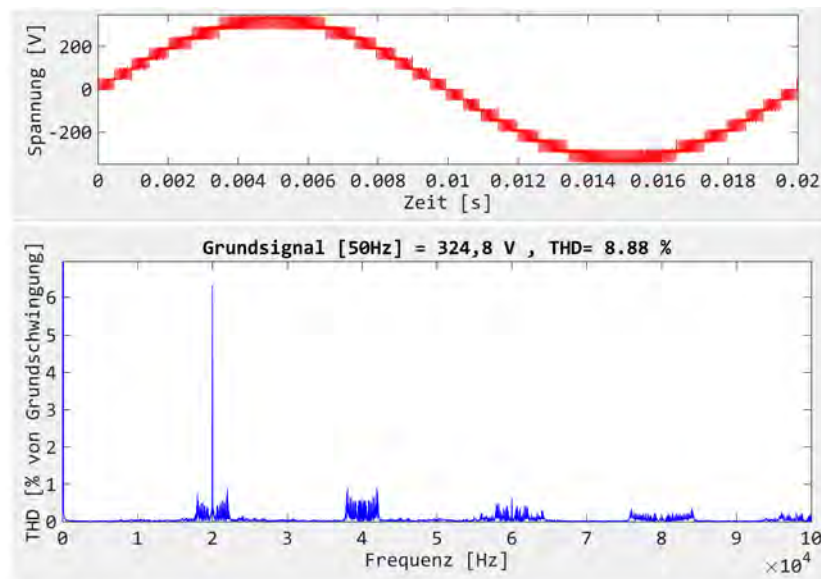


Abbildung 5.11: FFT-Analyse der Spannung eines EMMC mit einer Spannungsabweichung von  $\pm 5$  V und einer Schaltrate von ca. 40 kHz pro SM (50 Hz, 230 V,  $PWM = 20kHz$ )

Abbildung 5.12 zeigt die benötigte Schaltfrequenz von SM1 mit einem  $\Delta U = 1 V$  bei einer Sollspannung von  $U_{soll}(SM1) = 48 V$  bei verschiedenen Stromstärken (RMS-Werte) und Modulkapazitäten. Wie aus der Grafik ersichtlich ist der Einfluss der Modulkapazität auf die Schaltrate gerade bei hohen Strömen sehr stark. Aber auch bei kleinen Strömen ergeben sich schnell benötigte Schaltraten oberhalb  $250 kHz$ . Um auch bei einem Maximalstrom von  $100 A$  etwa  $250 kHz$  Schaltrate zu erhalten, sind bereits mindestens  $100 \mu F$  für SM1 vonnöten.  $250 kHz$  ist dabei eine Schaltfrequenz, welche mit aktueller MOSFET-Technologie in den hier betrachteten Spannungsebenen noch erreichbar ist. Die minimale Schaltfrequenz bei  $100 \mu F$  und einem Ampere ergibt sich hier zu  $41,1 kHz$ .

Im linken Teil der Abbildung ist zu sehen, dass ab ca.  $2,75 \mu F$  eine weitere Erhöhung der Kapazität kaum mehr eine Verringerung der Schaltfrequenz zur Folge hat. Ab den bereits erwähnten  $5 \mu F$  ist die minimal mögliche Schaltfrequenz erreicht. Diese minimale Frequenz liegt leicht über den zuvor erwähnten theoretisch errechneten  $40 kHz$ , wofür die simple Steuerung verantwortlich ist, welche in den vorliegenden Simulationen verwendet wurde.

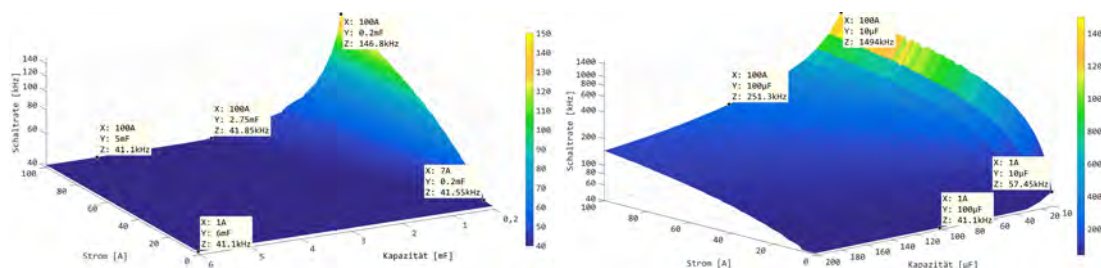


Abbildung 5.12: Schaltrate von SM1 ( $48 V$ ) in Abhängigkeit von der SM-Kapazität und dem Systemstrom. Links von  $6 mF$  bis  $200 \mu F$  und rechts von  $200 \mu F$  bis  $10 \mu F$  (Frequenz logarithmisch aufgetragen) ( $50 Hz$ ,  $230 V$ ,  $PWM = 20 kHz$ ,  $\delta U = \pm 1 V$ )

Der Hauptvorteil stark reduzierter Kapazitäten bei EMMC-Systemen in Back-to-Back-Konfiguration ist somit nur durch eine hohe Schaltfrequenz möglich. Dabei ist zu beachten, dass die hier betrachteten Schaltfrequenzen die Häufigkeit angeben, mit der ein SM pro Sinus-Vollwelle geschaltet wird. Zusätzlich dazu ist noch zu beachten, dass die Zeit zwischen zwei aufeinanderfolgenden Schaltzuständen nicht beliebig klein sein kann. Sowohl die Treiber als auch die MOSFETs an sich benötigen eine gewisse Ruhezeit, bevor diese von einem Zustand in den anderen wechseln können. Durch die Totzeit beim Schalten einer Halbbrücke ergeben sich einige hundert Nanosekunden bis hin zu wenigen Mikrosekunden als minimale Zeit zwischen zwei aufeinanderfolgenden Schaltzuständen.

Für eine optimale Auslegung der SM-Kondensatoren ist das Einsatzgebiet des Umrichters entscheidend. In Fällen wie der später in dieser Arbeit betrachteten Pulsquelle wird eine hohe Stromtragfähigkeit der Kondensatoren benötigt. Durch die Limitierung der Stromtragfähigkeit aktueller Kondensatorstechnologien ist eine parallele Verschaltung von mehr Kondensatoren notwendig, als zur Erreichung der minimalen Kondensatorkapazität notwendig wäre, womit bei einer derartigen Implementierung Schaltraten im Bereich des theoretischen Minimums realisierbar sind.

Tabelle 5.11: Implementierung eines EMMC für Verlustbetrachtungen (230 V-Sinus mit 50 Hz und 20 kHz PWM)

	SM1 (48 V)	SM2 (96 V)	SM3 (192 V)	SM4 (384 V)
MOSFETs	IPT012N08N5	IXFN210N30P3	IXFN210N30P3	IXFN150N65X2
Max. Strom	300 A	192 A	192 A	145 A
$F_{SW}$ pro SM	41, 30 kHz	20, 20 kHz	10, 40 kHz	4, 80 kHz

Auch der Einsatz eines EMMC für den Hauptantrieb eines Elektrofahrzeugs erscheint sinnvoll, da dieser großteils im Teillastbereich mit geringer Leistung und Drehzahl betrieben wird. Ein für die Spitzenlast und Höchstgeschwindigkeit ausgelegter EMMC kann im Teillastbereich ebenfalls mit Schalttraten im Bereich des theoretischen Minimums mit hoher Effizienz betreiben werden. Zusätzlich kann ein derartiger Umrichter als bidirektionales Ladegerät des Fahrzeugs dienen.

Die nachfolgenden Verlustbetrachtungen beruhen auf der zuvor erwähnten rudimentären Regelstrategie. Um den Einfluss der Regelstrategie auf die Verlustbetrachtungen zu minimieren, wird im Folgenden eine Implementierung mit ausreichend hoher Kapazität angenommen, um die zuvor erwähnten minimalen Schaltfrequenzen zu erreichen. Insbesondere bei den SMs mit höheren Nennspannungen führt dies zu stark verringerten Schaltverlusten. Als zulässige Spannungsabweichung wurde  $dU = 10V$  gewählt. Die verwendeten MOSFETs und Schaltfrequenzen der einzelnen SMs können der Tabelle 5.11 entnommen werden. Um den nachfolgend betrachteten maximalen RMS-Strom von 200 A theoretisch tragen zu können, ist für die SM2, SM3 und SM4 jeweils eine Parallelschaltung von mindestens zwei MOSFETs notwendig. Je nach Anwendungsfall und Kühlsystem kann in Hardwareimplementierungen eine höhere Anzahl an parallel geschalteten MOSFETs benötigt werden.

### 5.3.2 Leistungselektronikverluste in EMMC-Systemen

Die Berechnung der Schaltverluste bei EMMC-Systemen erfolgt prinzipiell genauso wie bei MMC-Systemen. Ein Unterschied besteht darin, dass durch den inhomogenen Aufbau des Systems in den SMs unterschiedlich hohe Verluste pro Schaltvorgang entstehen. Zudem ist ein Umschalten zwischen seriellem Modus und antiseriellem Modus gängiger als in MMC-Systemen. Dabei wird pro Schaltvorgang nicht eine einzelne Halbbrücke eines SMs betätigt, sondern beide Halbbrücken. Da ein derartiges direktes Umschalten von Lade- zu Entlademodus trotzdem selten vorkommt, wird dies in den nachfolgenden Verlustbetrachtungen vernachlässigt.

#### Treiberverluste

**Umladeverluste der MOSFET-Kapazitäten** Wie aus der Formel 5.4 bekannt sind die Umladeverluste der Gate-Kapazitäten einer Halbbrücke ( $P_{CG}(HB)$ ) von der Gate-Ladung der verwendeten MOSFETs, der Gate-Source-Spannung und der Schaltfrequenz abhängig. Durch den inhomogenen Aufbau der EMMC-Systeme müssen alle SM einzeln



betrachtet werden, da vor allem  $F_{sw}$  stark variieren und  $Q_G$  und  $V_{GS}$  von den verwendeten MOSFETs abhängen und somit ebenfalls unterschiedlich sein können.

Die Umladeverluste der Ausgangskapazitäten einer Halbbrücke sind laut Formel 5.5 abhängig vom Quadrat der Drain-Source-Spannung. Somit sind bei EMMC-Systemen diese Verluste wegen der stark unterschiedlichen Spannungen der SMs von hoher Bedeutung.

Die gesamten Umladeverluste ergeben sich pro SM zu:

$$P_{C-fet}(SMn) = (Q_G(SMn) * V_{GS}(SMn) + C_{Oss}(SMn) * V_{DS}(SMn)^2) * F_{sw}(SMn) \quad (5.42)$$

**Ruhestromverbrauch der Treiber** Der Ruhestromverbrauch der Treiber ist prinzipiell ebenfalls abhängig von den verwendeten MOSFETs und kann somit von SM zu SM variieren. Bei der Implementierung, die den Verlustbetrachtungen in diesem Kapitel zu Grunde liegt, können für alle SMs dieselben Treiber und Gate-Source-Spannungen verwendet werden. Damit errechnet sich der Ruhestromverbrauch eines EMMC-Umrichterarms identisch zu einem MMC-System mit der Formel 5.7.

**Zusammenfassung der Treiberverluste** Tabelle 5.12 zeigt die Umladeverluste und den Ruhestromverbrauch der Treiber der einzelnen SMs und die Gesamtverluste zum Schalten der MOSFETs. Die höheren Umladeverluste von SM2 und SM3 sind in erster Linie durch die höheren Gate-Ladungen der hierbei verwendeten MOSFETs bedingt. Für die vergleichsweise geringen Verluste im SM4 sind neben der geringeren Schaltrate die kleineren Ausgangskapazitäten ( $C_{Oss}$ ) der verwendeten MOSFETs ursächlich.

Tabelle 5.12: Treiberverluste eines EMMC bei einem 230 V-Sinus mit 50 Hz mit 20 kHz PWM unter Verwendung von 1EDN751x-Treibern

	$P_{C-fet}$	$P_{Q_{ges}}$	$P_{treib}$
SM1 (48 V)	0,264 W	0,015 W	0,279 W
SM2 (96 V)	1,058 W	0,015 W	1,073 W
SM3 (192 V)	2,011 W	0,015 W	2,026 W
SM4 (384 V)	0,742 W	0,015 W	0,757 W
Gesamt	4,074 W	0,060 W	4,134 W

### Leitverluste bei EMMC-Systemen

Auch die Berechnung der Leitverluste in EMMC-Systemen ist identisch zu denen in MMC-basierten Systemen mit Vollbrücken. Bei Verwendung unterschiedlicher MOSFETs unterscheiden sich die Leitverluste jedoch von SM zu SM. Tabelle 5.13 zeigt die Leitverluste der einzelnen SM in Abhängigkeit vom Systemstrom (RMS)<sup>5</sup> und die daraus resultierenden Gesamtverluste eines EMMC-Umrichterarms.

<sup>5</sup>Die Berechnung erfolgte wie immer mit Momentanwerten und nicht den RMS-Werten des Stroms.

Tabelle 5.13: Leitverluste eines EMMCs bei einem 230 V-Sinus mit 50 Hz

	$I_{RMS} = 1 A$	$I_{RMS} = 100 A$	$I_{RMS} = 200 A$
SM1 (48 V)	0,002 W	23,936 W	95,744 W
SM2 (96 V)	0,015 W	144,613 W	578,452 W
SM3 (192 V)	0,015 W	144,613 W	578,452 W
SM4 (384 V)	0,017 W	169,546 W	678,185 W
Gesamt	0,048 W	482,708 W	1930,833 W

### Schaltverluste beim Schaltvorgang

Die Schaltverluste in EMMC-basierten Umrichterarmen ergeben sich ebenfalls ähnlich wie bei MMC-Systemen mittels der Formeln aus Kapitel 5.1.1. Jedoch müssen diese wie zuvor einzeln pro SM betrachtet werden. Die Rise- und Fall-Zeiten sind hier in der Realität von noch größerer Bedeutung, da diese in Abhängigkeit von den inhomogenen SM-Spannungen stärker variieren können als in homogen aufgebauten MMC-Systemen. Nichtsdestoweniger wird wie eingangs erläutert eine statische Ein- und Ausschaltzeit von  $t_{ON} = t_{OFF} = 50 ns$  angenommen.

Tabelle 5.14 zeigt die Verluste der einzelnen SMs und die Gesamtverluste in Abhängigkeit von verschiedenen Stromstärken. Bei der gewählten Implementierung wird die Spannung von einem zum anderen SM verdoppelt, womit sich eine Verdoppelung der Verlustenergie pro Schaltvorgang ergibt. Durch die Halbierung der Schaltfrequenz von SM zu SM sind wiederum die Schaltverluste aller SMs identisch. Da in EMMC-Systemen mitunter mehrere SM pro Schaltvorgang schalten, ergeben sich insgesamt  $n$ -mal so hohe Schaltverluste wie bei MMC-Systemen mit gleicher Spannungshöhe. Bei der hier betrachteten Implementierung mit  $n = 4$  SMs sind dies somit viermal höhere Verluste als bei der MMC-Implementierung aus dem vorherigen Kapitel mit  $n = 8$  SMs mit je 48 V SM-Spannung.

Tabelle 5.14: Schaltverluste eines EMMC bei einem 230 V-Sinus mit 50 Hz,  $F_{PWM} = 20kHz$  und  $t_{ON} = t_{OFF} = 50 ns$ 

	$I_{RMS} = 1 A$	$I_{RMS} = 100 A$	$I_{RMS} = 200 A$
SM1 (48 V)	0,177 W	17,662 W	35,324 W
SM2 (96 V)	0,175 W	17,536 W	35,073 W
SM3 (192 V)	0,177 W	17,670 W	35,340 W
SM4 (384 V)	0,174 W	17,368 W	34,735 W
Gesamt	0,702 W	70,236 W	140,472 W

### MOSFET-Body-Dioden-Verluste

Die Verluste durch die Body-Dioden hängen wie in Kapitel 5.1.1 beschrieben teilweise von der SM-Spannung ab. Bei den Verlustbetrachtungen zu MMC-Systemen wurde die Spannung der SMs als konstant angenommen, da als Energiespeicher Sekundärzellen in den SMs verwendet wurden, deren Spannungen sich nur langsam ändern. Bei Kondensator-gepufferten Systemen, bei denen noch dazu die Kapazität möglichst stark

reduziert werden soll, hat die Spannungsschwankung der SM-Kondensatoren jedoch einen hohen Einfluss auf die Body-Dioden-Verluste. Durch die hier verwendete geringe maximale Spannungsabweichung von  $dU = 10V$  ist der Einfluss auf die gesamten Diodenverluste jedoch klein und kann somit hier ebenfalls vernachlässigt werden.

Wie bei den zuvor betrachteten Schaltverlusten kompensiert die Reduktion der Schaltfrequenz bei SMs mit höheren Nennspannungen die Erhöhung der Reverse-Recovery-Verluste durch diese Spannungserhöhung. Die gesamten Reverse-Recovery-Verluste von SM2, SM3 und SM4 (siehe Tabelle 5.15) weichen daher und ob der ähnlichen Reverse-Recovery-Ladungen der beiden verwendeten MOSFETs nur leicht voneinander ab. Die Reverse-Recovery-Ladung des für SM1 verwendeten SMs ist hingegen viel kleiner, womit die Diodenverluste von SM1 stark von den übrigen abweichen. Die stark erhöhten Reverse-Recovery-Ladungen bei MOSFETs mit höheren Spannungen stellen somit insbesondere bei kleinen Stromstärken einen hohen Anteil der Gesamtverluste. Zusätzlich zur bereits erwähnten Problematik der Begünstigung von Schaltüberspannungen ist der Einsatz von MOSFETs für die betreffenden SMs mit Spannungen über 100 V kritisch zu betrachten. Die Diodenleitverluste sind hingegen bei den hier angenommenen 100 ns generell viel geringer als die Reverse-Recovery-Verluste. Die tendenziell höheren Diodenspannungen von Hochspannungs-MOSFETs sind somit unkritisch.

Tabelle 5.15: MOSFET-Body-Diode-Verluste eines EMMC-Umrichterarms bei einem 230 V-Sinus mit 50 Hz und einer Totzeit von 100 ns

	$I_{RMS} = 1 A$	$I_{RMS} = 100 A$	$I_{RMS} = 200 A$
SM1 (48 V)	0,318 W	0,639 W	0,963 W
SM2 (96 V)	3,978 W	4,249 W	4,523 W
SM3 (192 V)	4,095 W	4,232 W	4,370 W
SM4 (384 V)	4,240 W	4,303 W	4,366 W
Gesamt	12,631 W	13,423 W	14,222 W

### 5.3.3 Energiespeicherverluste

Die Energiespeicherverluste in EMMC-Systemen teilen sich in Verluste im Hochspannungs-Zwischenkreisspeicher und in den verteilten, im vorliegenden Fall Kondensator-basierten SM-Energiespeichern auf.

#### Zwischenkreisspeicher

Je nach Topologie und Anwendung reicht der Energiespeicher am Hochspannungs-Zwischenkreis von einem Filterkondensator bis hin zu einem Sekundärzellen-basierten Energiespeicher, wie dies in der hier betrachteten Implementierung der Fall ist.

In dieser Arbeit werden immer nur die Verluste für eine Phase berechnet. Für die Verluste des zentralen Sekundärzellen-basierten Energiespeichers bei einem EMMC-System und bei Zwei-Punkt-Umrichtern wird hingegen ein dreiphasiges System zu Grunde ge-

legt, da nur hierbei von einem DC-Strom ausgegangen werden kann<sup>6</sup>. Am Ende werden die Verluste wieder auf einen Umrichterarm normiert, um die Vergleichbarkeit mit den anderen Topologien herzustellen.

Der Speicher ist dabei als 3P96S<sup>7</sup>-System konzipiert und beinhaltet somit ebenso viele Sekundärzellen wie das serielle Multilevel-Umrichtersystem aus dem vorherigen Kapitel mit verteilten Zellen. Wie ebenfalls bereits erwähnt kann bei EMMC-basierten Systemen die Zwischenkreisspannung bzw. im hier betrachteten Fall die Spannung des zentralen Energiespeichers im Vergleich zu Zwei-Punkt-Umrichtern halbiert werden. Dies ist durch die Vier-Quadranten-Befähigung von EMMC-Systemen möglich, da damit die volle Spannung des Zwischenkreises positiv und negativ auf die AC-Seite gelegt werden kann.

### Kondensatoren

Die Verluste in den SM-Kondensatoren werden ähnlich wie die Speicherverluste in MMC-Systemen berechnet, mit dem Unterschied der viel geringeren Widerstände und der EMMC-typischen Belastung. Als Grundlage für die Widerstände der Kondensatoren der EMMC-Technologie werden die Werte des speziell für die später beschriebene Pulsquelle angefertigten Kondensators MKP-FC157K450V (Datenblatt im Anhang) der Firma SHENZHEN CRC NEW ENERGY CO. (Shenzhen, China) verwendet. Mit einem maximalen RMS-Strom von 22 A wird eine Parallelschaltung von zehn Kondensatoren dieses Typs angenommen, um die maximale RMS-Stromstärke von 200 A tragen zu können. Mit einem Ersatzwiderstand von maximal 3 mΩ ergibt sich ein Ersatzwiderstand pro SM von 0,3 mΩ.

### Zusammenfassung

Tabelle 5.16 zeigt die Speicherverluste der einzelnen SMs und des zentralen Sekundärzellen-basierten Zwischenkreisspeichers. Durch den hohen Ersatzwiderstand sind die Verluste des Zwischenkreisspeichers weit höher als die der SMs-Kondensatoren. Generell sind die Kondensatorverluste der verschiedenen SM ähnlich hoch, da zwar die SMs mit höheren Spannungen weniger oft schalten, aber dafür entsprechend länger angeschaltet sind. Die etwas höheren Verluste in SM2 ergeben sich hierbei daraus, dass dieses Modul durch seine Spannungshöhe zwischen SM1 und SM3 minimal länger bestromt wird. Dies ist allerdings lediglich für den hier verwendeten Regelalgorithmus charakteristisch.

<sup>6</sup>Sowohl bei EMMC als auch bei Zwei-Punkt-Umrichtern ist der DC-Strom am Zwischenkreis mit hochfrequenten Stromrippeln überlagert. Die Höhe und Frequenz hängen jeweils stark vom verwendeten Regelalgorithmus und den verbauten Filtern ab. Die zusätzlichen Verluste durch diese hochfrequenten Anteile werden ebenso wie der Einfluss hochfrequenter Pulsströme bei MMC und M2B vernachlässigt.

<sup>7</sup>Die Schreibweise xPyS beschreibt, dass ein Energiespeicher aus x parallelen Zweigen mit jeweils y seriell verbundenen Sekundärzellen aufgebaut ist.

Tabelle 5.16: Energiespeicherverluste eines EMMC-Umrichterarms bei einem 230 V-Sinus mit 50 Hz und einer Totzeit von 100 ns

	$I_{RMS} = 1 A$	$I_{RMS} = 100 A$	$I_{RMS} = 200 A$
SM1 (48 V)	0,0002 W	1,522 W	6,087 W
SM2 (96 V)	0,0002 W	1,981 W	7,924 W
SM3 (192 V)	0,0002 W	1,539 W	6,157 W
Zwischenkreis (384 V)	0,138 W	1377,604 W	5510,417 W
Gesamt	0,139 W	1382,646 W	5530,585 W

### 5.3.4 Grundlast

Die Grundlast in EMMC-basierten Systemen entspricht der eines sMC-Systems. Jedoch kann es durch den erhöhten Rechenaufwand zur Berechnung der Schaltzustände ähnlich wie bei M2B-Systemen zu erhöhten Verlusten in der zentralen Recheneinheit kommen. Bei Implementierungen mit möglichst geringer Kapazität erhöht sich zudem die Schalttrate, was zu einer höheren Taktfrequenz des Kommunikationssystems und wiederum der zentralen Steuereinheit führen kann. Durch die stark verringerte Anzahl an SMs ist jedoch die Grundlast in EMMC-Systemen prinzipiell geringer als in MMC-Systemen.

### 5.3.5 Zusammenfassung

Ein Hauptmanko von EMMC-Systemen sind deren große Leistungselektronikverluste, bedingt durch die hohen Schaltraten von allen SM mit großteils viel höheren Schaltspannungen als in vergleichbaren MMC-Systemen. Dies wird insbesondere bei kleinen Leistungen, wie in Abbildung 5.13 links dargestellt, wo die hohen Diodenverluste überwiegen, sichtbar. Bei höheren Leistungen überwiegen hingegen wie auch bei MMC-Systemen die Speicherverluste. Durch die angenommene Konstantstrombelastung des Sekundärzellen-basierten Hochspannungsspeichers fallen die Speicherverluste somit geringer aus als bei MMC-Systemen. Folglich ergibt sich, wie in Abbildung 5.14 dargestellt, insbesondere in Arbeitspunkten mit höheren Stromstärken ein besserer Wirkungsgrad für EMMC-Systeme als für MMC-Systeme. Bei geringeren Ausgangsspannungen sind hingegen MMC-Systeme zumeist leicht im Vorteil, da hierbei ebenfalls die Schaltverluste einen hohen Anteil an den Gesamtverlusten aufweisen.

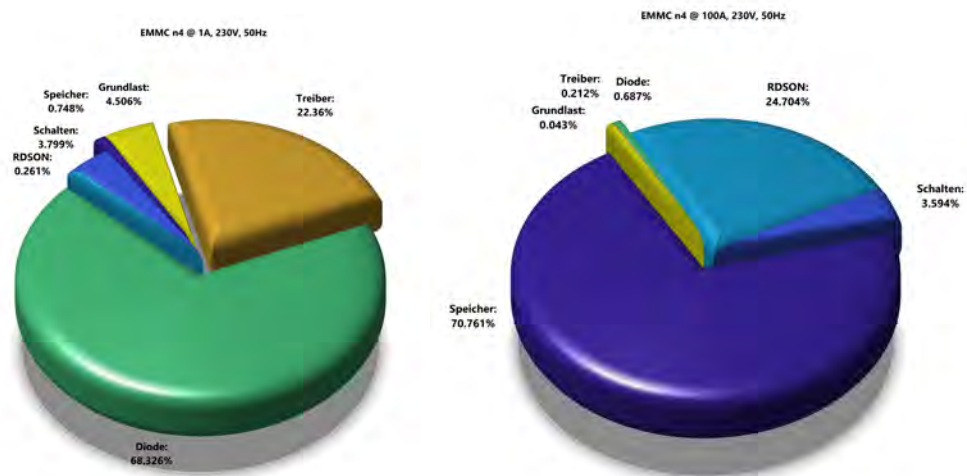


Abbildung 5.13: Prozentuale Verteilung der Verluste eines EMMC-Umrichterarms bei 230 V 50 Hz und verschiedenen Stromstärken

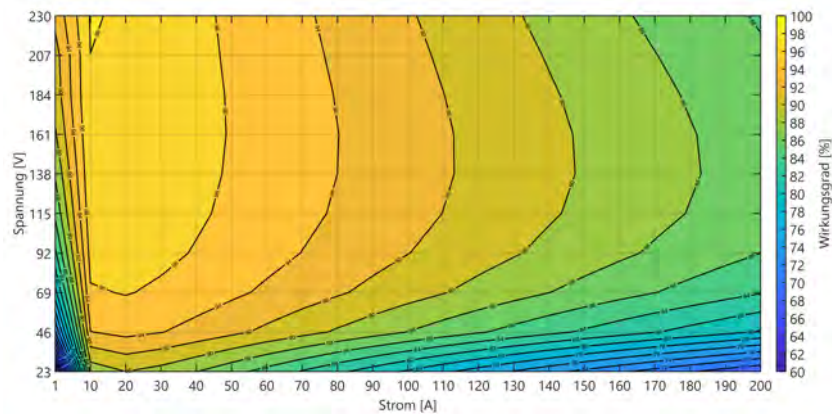


Abbildung 5.14: Wirkungsgrad eines EMMC in Abhängigkeit von Ausgangsspannung und -strom, bei (50 Hz)

Generell sei hier nochmals erwähnt, dass die gewählte Implementierung auf den minimal möglichen Schaltfrequenzen beruht. Bei Implementierungen mit geringeren SM-Kondensatoren steigen die Schaltfrequenzen und damit die Schaltverluste stark an. Andererseits sind hiermit Umrichter mit geringem Volumenbedarf und hoher Leistungsdichte realisierbar.

## 5.4 Wirkungsgradberechnung von M2B-Systemen

Die Verlustbetrachtungen für M2B-Systeme basieren auf denselben Grundannahmen wie die Berechnungen in den vorherigen Kapiteln. Es werden die Implementierungen und Bauteile aus Tabelle 5.3 verwendet und die Verluste eines Umrichterarms betrachtet.

Wie bei seriellen Multilevel-Umrichtern wird in erster Linie ein Sekundärzellen-basiertes System betrachtet. Ein Rückschluss auf Kondensator-basierte Systeme ist möglich, allerdings ist der Aussteuergrad hierbei noch entscheidender als bei seriellen Multilevel-Umrichtern. Wie bereits im Kapitel 3.2.3 erörtert, ist bei M2B-Systemen eine exakte Balancierung der Spannungen der SM-Energiespeichereinheiten entscheidend für einen sicheren Betrieb des Gesamtsystems.

Neben M2B-Vollbrücken wird auch die M2B-Halbbrücken-Technologie mit einem Umpoler pro Umrichterarm betrachtet. Die Grundlage für die Verlustbetrachtungen sind bei beiden Topologien identisch mit denen in Kapitel 5.2. Als MOSFETs kommen dieselben wie bei den Betrachtungen zu seriellen Multilevel-Umrichtern zum Einsatz. Bei M2B-Halbbrücken werden für den Umpoler 1200 V-SiC-MOSFETs verwendet (siehe Kapitel 5.1).<sup>8</sup>

Ein weiterer Einsatzbereich für die Kombination von M2B-HB mit SiC-Umpolern ist eine in [66] angedeutete Puls-Amplituden-Umrichter-Topologie, wobei hier der DC/DC-Wandler durch die Verwendung eines oder mehrerer M2B-Umrichterarme obsolet wird. Eine derartige Implementierung ist, wie in Kapitel 2.2.3 beschrieben, insbesondere für hochfrequente Anwendungen interessant, womit die Vorteile der geringen Schaltfrequenzen und Reverse-Recovery-Verluste von SiC-MOSFETs besonders ausgenutzt werden.

#### 5.4.1 Schaltfrequenz bei M<sup>2</sup>PC-Systemen

Die Berechnung der Schaltverluste bei M2B-Systemen ist bedingt durch die in Kapitel 4.2.3 erläuterte hohe Anzahl an Schaltzuständen und die inkonsistente Zahl an zu betätigenden MOSFETs beim Umschalten von einer zur anderen Spannungsstufe etwas komplexer als in seriellen Multilevel-Umrichtersystemen. Die Problematik der erläuterten inhomogenen Stromaufteilung bei der Parallelschaltung von mehr als zwei SM-Energiespeichereinheiten erübrigt sich jedoch bei der Berechnung der Schaltverluste. Erst bei den  $R_{DSon}$ -bedingten Leitverlusten kommt dies wieder zum Tragen. Wie ebenfalls erwähnt erfordert ein jeder Wechsel der Ausgangsspannungshöhe eine Änderung der Verschaltung der SMs. Im fehlerfreien Betrieb wird dies durch das Umschalten von Seriell- zu Parallelmodus oder umgekehrt erreicht.

Bei Verwendung der Vollbrücken-Topologie werden bei jedem dieser Wechsel der Verbindung zwischen benachbarten SM-Energiespeichereinheiten zwei MOSFETs ein- und zwei ausgeschaltet. Die inhomogene Aufteilung des Systemstroms hat jedoch hier keinen Einfluss auf die gesamten Schaltverluste. Die Position, an welcher etwa eine parallel verschaltete Gruppe aufgetrennt oder verbunden wird, ist somit vernachlässigbar. Dies ist damit zu erklären, dass die Summe des Stromflusses in den beiden parallelen Verbindungen zweier benachbarter SM-Energiespeichereinheiten immer eins ergibt.

---

<sup>8</sup>Die Verwendung von SiC-MOSFETs für die Umpoler ist aktuell ob deren hohen Kosten in erster Linie in Anwendungsfällen interessant, in denen eine Effizienzmaximierung und Volumenminimierung oberste Bedeutung haben. In den meisten Fällen ist jedoch eine ähnliche Effizienz mittels Parallelschaltung von mehreren Si-MOSFETs zu günstigeren Preisen möglich. Die hohen Reverse-Recovery-Verluste von Si-MOSFETs sind hierbei ob der geringen Schaltrate gering. Auch der Einsatz von Si-IGBTs ist wegen der geringen Schaltrate denkbar.

Unter Verwendung von HB-SMs werden die beiden MOSFETs zur parallelen Verbindung ebenso durchflossen und geschaltet wie bei VB-SMs. Der eine MOSFET zur seriellen Verbindung muss jedoch den vollen Systemstrom schalten. In Summe ergeben sich aber somit ähnliche Schaltverluste wie bei der VB-Topologie, da nur ein MOSFET anstelle von zwei synchron zu schaltenden mit halbem Systemstrom betätigt wird.

## 5.4.2 Leistungselektronik

### Treiberverluste

**Umladeverluste der MOSFET-Kapazitäten** Die zur Berechnung der Umladeverluste benötigte Schaltfrequenz der MOSFETs ( $F_{sw}$ ) errechnet sich bei M2B-Systemen aus der PWM-Frequenz bzw. der NLM-Frequenz, der Zahl an zu schaltenden MOSFETs pro Schaltvorgang und der Scheitelspannung ( $\hat{U}$ ) des Spannungsverlaufs, wie in Kapitel 5.2 für MMC-Systeme beschrieben.

Unter Verwendung einer ZVNLM wird das Spannungssignal so diskretisiert, dass keine Spannungsstufe übersprungen wird und auch nicht innerhalb eines Integrationsintervalls die Stufe gewechselt wird. Die Schaltrate ergibt sich somit direkt aus folgendem Produkt, ohne Zusatz einer PWM-Frequenz:

$$F_{sw}(ZVNLM) = 4 * f * \sum_{i=0}^{L_{max}} S(i) \quad (5.43)$$

mit  $L_{max} = \lceil \hat{U}/U_{SM} \rceil$

Unter Verwendung von M2B-Vollbrücken ergibt sich  $P_{C-fet}(VB)$  somit zu:

$$P_{C-fet}(VB) = F_{sw} * (Q_G * V_{GS} + C_{Oss} * V_{DS}^2) \quad (5.44)$$

wobei  $V_{DS}$  vereinfacht als die Spannung der SM-Energiespeichereinheiten angenommen werden kann.

Bei Verwendung von M2B-Vollbrücken wird jeweils eine Halbbrücke geschaltet. Bei Halbbrücken-Topologie werden hingegen bei jedem Wechsel von Parallel- zu Seriellmodus die beiden Parallel-MOSFETs und der Seriell-MOSFET betätigt. Somit werden pro  $2 * F_{sw}$  drei MOSFETs betätigt. Bei der Berechnung der Umladeverluste ist somit entscheidend, ob von Parallel- zu Seriellmodus oder umgekehrt geschaltet wird. Bei einem symmetrischen Spannungsverlauf kann jedoch angenommen werden, dass von einem Spannungsnulldurchgang zum nächsten bei einer ZVNLM genauso oft von Parallel- zu Seriellmodus gewechselt wird wie von Seriell- zu Parallelmodus. Diese Vereinfachung ist zulässig, da die Umladeverluste unabhängig von Systemstrom und Systemspannung sind. Entscheidend sind nur die SM-Spannungen, die wie erwähnt als konstant und homogen für alle SMs angenommen werden.



Somit ergibt sich beim Umschalten von Parallel- zu Seriellmodus:

$$P_{C-fet} = 1 * Q_G * V_{GS} + 2 * C_{Oss} * V_{DS}^2 \quad (5.45)$$

Und beim Umschalten von Seriell zu Parallel Modus:

$$P_{C-fet} = 2 * Q_G * V_{GS} + 1 * C_{Oss} * V_{DS}^2 \quad (5.46)$$

Für den ganzen Umrichterarm:

$$P_{C-fet}(HB) = \frac{3}{4} * F_{sw} * (Q_G * V_{GS} + C_{Oss} * V_{DS}^2) \quad (5.47)$$

Bei Verwendung einer PWM oder NLM ist es, wie in Kapitel 4.2.3 erörtert, unerheblich für die Anzahl an Schaltvorgängen, ob eine Spannungsstufe übersprungen wird oder nicht. Trotzdem ist die Berechnung von  $F_{sw}$  schwierig. Die Hauptproblematik stellt die Berechnung der Anzahl an PWM-bedingten Spannungslevel-Änderungen pro Haupttreppe dar.

Bei Verwendung von Zwei-Quadranten-SMs sind zusätzlich die Umladeverluste durch das Schalten des Umpolers um den Nulldurchgang der Systemspannung herum zu beachten. Bei Verwendung einer ZVNLM wird der Umpoler mit der doppelten Systemfrequenz geschaltet – bei einem 50 Hz-Sinus somit mit 100 Hz. Bei der vorgestellten M2B-HB-Topologie besteht nicht die Möglichkeit eines Bypasses des kompletten Umrichterarms durch die MOSFETs der SM, womit der Spannungsnulldurchgang mittels des Umpolers erzeugt werden muss. Die zu schaltende Spannung am Umpoler entspricht hierbei der nominellen SM-Spannung abzüglich der Diodenspannungen. Bei Verwendung einer überlagerten PWM, wie dies insbesondere bei höheren SM-Spannungen notwendig ist, wird der PWM um den Spannungsnulldurchgang folglich ebenfalls mittels des Umpolers generiert.

**Ruhestromverbrauch der Treiber** Der Ruhestromverbrauch der MOSFET-Treiber bei M2B-Systemen ( $P_Q$ ) kann laut Kapitel 5.1.1 wie folgt berechnet werden:

$$P_Q = n * m * (0,5 * (I_{QH} + I_{QL}) * V_{DD} + I_{Log} * V_{Log}) \quad (5.48)$$

mit  $m = 8$  für die VB-Topologie  
und  $m = 3$  für die HB-Topologie (siehe 5.10).

Der Ruhestromverbrauch  $P_Q(UM)$  für die vier MOSFETs des Umpolers kann mit selbiger Formel berechnet werden:

$$P_Q(UM) = 4 * (0,5 * (I_{QH} + I_{QL}) * V_{DD} + I_{Log} * V_{Log}) \quad (5.49)$$

**Zusammenfassung der Treiberverluste** Tabelle 5.17 zeigt die berechneten Treiberverluste. Die Treiberverluste von HB-Implementierungen sind bedingt durch die geringere Anzahl an zu schaltenden MOSFETs kleiner als bei VB-SMs. Eine Erhöhung der Anzahl an SMs erhöht ebenfalls die Treiberverluste. Diese Erhöhung wird jedoch

durch die Verringerung der SM-Spannungen teilweise kompensiert. Der Einfluss der MOSFETs-Kapazitäten auf die Treiberverluste ist anhand der beiden Implementierungen mit  $n = 96$  SMs ersichtlich. Hierbei weist die Implementierung mit fünf parallel verschalteten MOSFETs höhere  $P_{C-fet}$ -Werte auf als bei Verwendung eines einzelnen MOSFETs. Der Ruhestromverbrauch ist jedoch identisch, da die fünf parallel geschalteten MOSFETs mit einem Treiber geschaltet werden können. Die Verringerung der Umladeverluste von  $n = 32$  auf  $n = 96$ , welche mit MOSFETs vom selben Typ aufgebaut sind, wird neben der verringerten SM-Spannung von der reduzierten Gate-Source-Spannung von  $10\text{ V}$  auf  $4\text{ V}$  begünstigt.

Tabelle 5.17: Treiberverluste eines M2B-Umrichterarms mit VB- und HB-SMs bei einem  $230\text{ V}$ -Sinus mit  $50\text{ Hz}$  und  $F_{PWM} = 20\text{ kHz}$  unter Verwendung von 1EDN751x-Treibern

	$P_{C-fet}$	$P_{Q_{ges}}$	$P_{treib(ges)}$
VB n=8@ 48 V	0,755 W	0,237 W	0,992 W
HB n=8@ 48 V	0,567 W	0,103 W	0,670 W
VB n=32@ 12 V	0,533 W	0,947 W	1,480 W
HB n=32@ 12 V	0,400 W	0,369 W	0,769 W
VB n=96@ 4 V	0,135 W	1,137 W	1,271 W
HB n=96@ 4 V	0,102 W	0,431 W	0,533 W
VB n=96@ 4 V (5p)	0,224 W	1,137 W	1,361 W
HB n=96@ 4 V (5p)	0,169 W	0,431 W	0,600 W

### Leitverluste

Wie in 4.2.3 erläutert, teilt sich der Systemstrom ( $I_{tot}$ ) bei M2B-basierten Systemen symmetrisch auf parallel verschaltete Energiespeicherelemente, aber unsymmetrisch auf die Schalter, welche die parallelen Verbindungen herstellen, auf. Die Leitverluste ( $P_{R_{DSon}}$ ) durch die Schaltelemente lassen sich mittels der Anzahl an parallel verschalteten SM ( $p$ ) und der Anzahl der für eine Parallelschaltung benötigten Schalter ( $A$ ) wie folgt errechnen.

$$P_{R_{DSon}} = A * R_{DSon} * \left( \underbrace{\sum_{i=0}^{p-1} \left( \frac{i}{p} * I_{tot} \right)^2}_{\text{Parallel}} + \underbrace{\left( \frac{1}{2} * I_{tot} \right)^2}_{\text{Seriel}} \right) \quad (5.50)$$

mit  $A = 4$  bei Verwendung einer M2B-SM-Topologie mit acht Schaltern bzw.  $A = 2$  bei Verwendung einer M2B-SM-Topologie mit drei Schaltern.

Bei einer rein seriellen Verschaltung ( $p = 1$ ) fällt der Parallelterm der Gleichung weg, womit die Formel auch hierfür allgemein gültig ist. Die gesamten Leitverluste pro Ausgangsspannungsstufe ( $L =$ ) eines Umrichterarms ( $P_{fet}(L)$ ) ergeben sich schließlich als Summe der Verluste der einzelnen parallel verschalteten Gruppen, wobei hier wie er-

wahnt eine parallele Gruppe von einem Modul eine serielle Verschaltung dieser SM-Energiespeichereinheiten darstellt.

$$P_{fet,ges} = X * P_{fet,X} + Y * P_{fet,Y} \quad (5.51)$$

mit X und Y als Anzahl der pro Umrichterarm gebildeten SM-Gruppen, womit die Anzahl der pro Umrichterarm vorhandenen SM  $n = X + Y$  ist (Berechnung siehe 4.2.3). Die Berechnung der parallel verschalteten SM-Energiespeicher  $p(X) = MAX_P$  und  $p(Y) = MIN_P$  ist ebenfalls in 4.2.3 beschrieben.

Tabelle 5.18 zeigt die Leitverluste bei einem Systemstrom von  $I_{RMS} = 100 A$  mit einem Phasenwinkel von  $cosPhi = 1 rad$  und  $cosPhi = 0,8 rad$ . Ein Phasenversatz zwischen Strom und Spannung erhohlt hierbei die Leitverluste, da bei kleineren Spannungen mehr SM-Energiespeichereinheiten parallel geschaltet werden. Die unsymmetrische Aufteilung des Systemstroms auf die leitenden MOSFETs bei einer Parallelschaltung von mehr als zwei SM-Energiespeichern erhohlt hierbei die gesamten Schaltverluste durch den quadratischen Einfluss der Stromstarke.

Die Verluste der HB-Topologie sind wiederum geringer als bei Vollbrucken, da bei der Parallelschaltung nur ein MOSFET zwischen den jeweils zu verbindenden Polen der Energiespeicher liegt. Dies fuhrt auch dazu, dass die Phasenwinkel-abhangige Erhohung der Leitverluste bei der HB-Topologie geringer ist als bei VB. Die Leitverluste bei rein serieller Verschaltung der M2B-SMs sind hingegen bei HB- und VB-SMs identisch. Dies ist dadurch bedingt, dass bei seriell verschalteten VB immer zwei MOSFETs parallel geschaltet werden, womit der Ersatzwiderstand einer Interlink-Sektion effektiv dem RDSon eines MOSFETs entspricht. Bei der HB-Topologie bewirken jedoch die beiden leitenden MOSFET des Umpolers eine Erhohung der Leitverluste, womit bei einem rein seriellen Betrieb hohere Leitverluste bei HB-Konfigurationen als bei VB auftreten.

Tabelle 5.18: Leitverluste eines M2B-Umrichterarms mit VB und HB bei einem 230 V-Sinus mit 50 Hz

	$I_{RMS} = 100 A @ 1 rad$	$I_{RMS} = 100 A @ 0,8 rad$
VB n=8@ 48 V	270,667 W	476,515 W
HB n=8@ 48 V	268,976 W	372,262 W
VB n=32@ 12 V	336,923 W	610,546 W
HB n=32@ 12 V	260,715 W	397,776 W
VB n=96@ 4 V	1370,944 W	2500,863 W
HB n=96@ 4 V	784,208 W	1349,435 W
VB n=96@ 4 V (5p)	197,416 W	360,124 W
HB n=96@ 4 V (5p)	176,101 W	257,665 W

### Schaltverluste beim Schaltvorgang

Die Schaltverluste bei M2B-Systemen sind ebenfalls direkt proportional abhangig vom Systemstrom ( $I_{tot}$ ), von der SM-Spannung und der Anzahl an zu betatigenden MOSFETs. Wie in 4.2.3 erlauert werden fur einen Spannungswechsel bis zu einer Ausgangsspannung in Hohle der Halfte der Maximalspannung eines Umrichterarms meist die

Verschaltungen von mehr als einer Interlink-Sektion geändert. Durch die höhere Anzahl an zu betätigenden Transistoren ergeben sich mittels dieser Regelung höhere Schaltverluste als bei MMC-Systemen. Zudem bewirkt dieses Schaltprinzip, dass ein Phasenversatz zwischen Strom und Spannung die Schaltverluste weiter erhöht, da ein erhöhter Systemstrom in Arbeitspunkten mit erhöhter Anzahl an zu betätigenden Interlink-Sektionen fließt.

Dieser Effekt verstärkt sich grundsätzlich mit erhöhter Anzahl an SMs, da hierbei mehr Interlink-Sektionen geschaltet werden müssen. Bei gleichzeitiger Verringerung der SM-Spannung wird dies durch die Verringerung der Schaltverluste durch deren direkte Spannungsabhängigkeit jedoch mehr als kompensiert. Tabelle 5.19 zeigt die Schaltverluste bei einem Systemstrom von  $I_{RMS} = 100 A$  mit einem Phasenwinkel von  $\cos\Phi = 1 rad$  bzw.  $\cos\Phi = 0,8 rad$ . Die Implementierungen mit Halbbrücken weisen auch hier geringere Verluste auf, da wiederum weniger MOSFETs betätigt werden müssen.

Bei Implementierungen, in denen kein überlagerter PWM angewendet werden muss und etwa die ZVNLN zum Einsatz kommt, können die Schaltverluste durch eine angepasste Regelung kaum verringert werden. Bei Verwendung einer überlagerten PWM, wie dies hier etwa bei der Implementierung mit 48 V- und 12 V-SMs angenommen wird, können hingegen die Schaltverluste fast auf das Niveau der Schaltverluste in vergleichbaren MMC-Systemen reduziert werden. Hierfür wird zur Erzeugung des überlagerten PWM nicht jeweils die Verschaltung des kompletten Umrichterarms verändert, sondern jeweils nur ein SM zwischen seriellem Modus und Parallel- oder Bypassmodus hin und her geschaltet. Siehe hierzu auch Kapitel 7.4.

Der Vergleich zwischen Voll- und Halbbrücken 5.19 zeigt, dass die Halbbrücken-Topologie grundsätzlich geringere Schaltverluste aufweist, da pro Interlink-Sektion nur drei anstatt vier MOSFETs betätigt werden müssen.

Tabelle 5.19: Schaltverluste eines M2B-Umrichterarms mit VB und HB bei einem 230 V-Sinus mit 50 Hz,  $t_{ON} = t_{OFF} = 50 ns$  und  $F_{PWM} = 20 kHz$

	$I_{RMS} = 100 A @ 1 rad$	$I_{RMS} = 100 A @ 0,8 rad$
VB n=8@ 48 V	46,134 W	51,049 W
HB n=8@ 48 V	34,600 W	38,335 W
VB n=32@ 12 V	14,976 W	21,869 W
HB n=32@ 12 V	11,232 W	16,414 W
VB n=96@ 4 V	2,161 W	5,021 W
HB n=96@ 4 V	1,621 W	3,770 W
VB n=96@ 4 V (5p)	2,161 W	5,021 W
HB n=96@ 4 V (5p)	1,621 W	3,770 W

### MOSFET-Body-Dioden-Verluste

Die Berechnung der Body-Dioden-Verluste von M2B-Systemen folgt denselben Regeln wie bei vorhergehenden Berechnungen für die Schaltverluste. Ähnlich wie bei den Schaltverlusten sind auch die Body-Dioden-Verluste bedingt durch die verwendete Regelung und die damit verbundene höhere Anzahl an zu betätigenden Transistoren höher als bei

MMC-Systemen. Auch eine Erhöhung der Verluste bei größerem Phasenversatz ist hierbei aus Tabelle 5.20 ersichtlich. Der Unterschied zwischen den Body-Dioden-Verlusten bei Voll- und Halbbrücken ist hierbei noch höher als bei den Schaltverlusten. Dies ist dadurch bedingt, dass der Reverse-Recovery-Effekt Vollbrücken-Topologie durch die zwei zu schaltenden Halbbrücken doppelt so oft zum Tragen kommt wie bei Halbbrücken-Topologien.

Tabelle 5.20: MOSFET-Body-Diode-Verluste eines M2B-Umrichterarms mit VB und HB bei einem 230 V-Sinus mit 50 Hz und einer Totzeit von 100 ns

	$I_{RMS} = 100 \text{ A @ } 1 \text{ rad}$	$I_{RMS} = 100 \text{ A @ } 0,8 \text{ rad}$
VB n=8@ 48 V	1,325 W	1,370 W
HB n=8@ 48 V	0,662 W	0,685 W
VB n=32@ 12 V	0,635 W	0,874 W
HB n=32@ 12 V	0,318 W	0,437 W
VB n=96@ 4 V	0,250 W	0,547 W
HB n=96@ 4 V	0,125 W	0,274 W
VB n=96@ 4 V (5p)	0,301 W	0,526 W
HB n=96@ 4 V (5p)	0,151 W	0,263 W

### 5.4.3 Energiespeicherverluste

Die Aufteilung des Laststroms auf die SM-Energiespeichereinheiten ist, wie in Kapitel 4.2.3 beschrieben, in den parallel verschalteten Gruppen symmetrisch, unter der Vereinfachung, dass die ohmschen Widerstände und die Verbindungswiderstände der einzelnen Energiespeichereinheiten identisch sind.

Die ohmschen Verluste in den Energiespeichereinheiten ( $P_{Bat}$ ) ergeben sich somit zu:

$$P_{Bat,ges} = \left( \frac{X}{MAX_P} + \frac{Y}{MIN_P} \right) * ESR_{Bat} * I_{Tot}^2 \quad (5.52)$$

mit  $ESR_{Bat}$  als Ersatz-Serienwiderstand der einzelnen SM Energiespeichereinheiten<sup>9</sup>.

Wie in MMC-Systemen hat der Phasenwinkel zwischen Strom und Spannung einen großen und die Implementierung der SMs prinzipiell keinen Einfluss auf die Energiespeicherverluste. Die geringen Abweichungen der Verluste in Tabelle 5.21 sind dadurch bedingt, dass die maximal mögliche Umrichterarmspannung bei den gewählten Implementierungen höher liegt als die benötigte maximale Systemspannung ( $48 \text{ V} * 8 = 96 \text{ V} * 4 = 384 \text{ V}$  zu  $325 \text{ V}$ ). Je kleiner die SM-Spannung, desto mehr SMs können bei benötigter maximaler Systemspannung weiterhin parallel geschaltet werden. Je höher der Unterschied zwischen maximaler Systemspannung und maximal möglicher Umrichterarmspannung ist, desto kleiner wird folglich der Unterschied zwischen den verschiedenen SM-Implementierungen. So ist der Unterschied zwischen den Verlusten einer n=8 @ 48 V und einer n=96 @ 4 V SM-Implementierung viel höher als zwischen n=2\*8 @ 48 V und n=2\*96 @ 4 V SM-Implementierungen.

<sup>9</sup> $ESR_{Bat}$  der einzelnen SMs wird hier wie bei den Betrachtungen zu MMC-Systemen berechnet.

Die starke Reduktion der Energiespeicherverluste bei Erhöhung der Anzahl an SMs eines M2B-Umrichterarms zeigt, dass eine redundante Auslegung mit mehr SMs als zur Erreichung der maximalen Systemspannung benötigt eine starke Reduktion der Speicherverluste mit sich bringt. Diese starke Reduktion kompensiert hierbei die zusätzlichen Transistor-Leitverluste. In MMC-Systemen hingegen erhöhen sich nur die Leitverluste ohne eine Veränderung der Speicherverluste. Dieser Effekt wirkt sich auch positiv auf den Betrieb eines M2B für Motoranwendungen aus, da hierbei im Teillastbereich mit verringerten Motorspannungen geringere Verluste als bei MMC-Systemen auftreten.

Tabelle 5.21: Energiespeicherverluste eines M2B bei einem 230 V-Sinus mit 50 Hz

	$I_{RMS} = 100 A @ 1 rad$	$I_{RMS} = 100 A @ 0,8 rad$
n=8@ 48 V	2248,699 W	1475,025 W
n=2*8@ 48 V	1068,215 W	700,729 W
n=32@ 12 V	2248,247 W	1471,992 W
n=96@ 4 V	2248,216 W	1471,794 W
n=2*96@ 4 V	1065,092 W	696,797 W

#### 5.4.4 Grundlast

Die Grundlast in M2B-Systemen ist im Prinzip identisch zu der Grundlast in MMC-basierten Systemen. Allerdings kann es durch die erhöhte Anzahl an Verschaltungsoptionen zu einem leicht erhöhten Rechenaufwand kommen, welcher sich in einer geringfügig höheren Leistungsaufnahme des zentralen  $\mu C$  niederschlagen kann. Auch die bereits erwähnte benötigte höhere Spannungsaufösung, vor allem in Kondensator-basierten M<sup>2</sup>PC-Systemen, kann zu einer erhöhten Abtastrate der Spannungsmessungen führen.

Die Verluste durch die Kommunikation zwischen den SMs und der zentralen Recheneinheit sind bei einer Systemkonfiguration mit dezentraler Intelligenz auf SM-Ebene identisch zu MMC-Systemen. Bei einer direkten Ansteuerung der einzelnen Halbbrücken oder gar MOSFETs ist jedoch insbesondere bei M2B-Systemen in Vollbrückentopologie eine höhere Anzahl an Kommunikationskanälen notwendig.

#### 5.4.5 Zusammenfassung

Die Verluste von M2B- und MMC-Systemen sind grundsätzlich ähnlich oder gar identisch. Kleine Unterschiede sind in erster Linie bei den Schalt- und Leitverlusten zu beobachten, wobei erstere durch eine Anpassung der Regelstrategie auf gleiche Werte wie bei einem MMC-System gesenkt werden können. Die Leitverluste sind wiederum stark von der SM-Topologie abhängig. Grundsätzlich weisen M2B-Systeme mit Halbbrücken geringere Verluste auf, unter der Voraussetzung einer Optimierung der Umpoler auf geringe Durchlassverluste.

In Bezug auf den Einfluss der SM-Spannungstufenhöhe ist festzuhalten, dass die Schaltverluste mit einer Verringerung der SM-Spannungen ebenfalls sinken. Die höchste Effizienz kann somit mit einer Implementierung mit SMs mit einer Spannung in Höhe der Se-

kundärzellenspannung erreicht werden. Hierbei ist allerdings zu beachten, dass die Leitverluste bei derartigen Implementierungen wegen der hohen Anzahl an Transistoren von entscheidender Bedeutung für die Gesamtverluste sind. Theoretisch ist hier der Vorteil von stark verringerten  $R_{DSon}$ -Werten bei sinkenden MOSFET-Durchbruchspannungen nutzbar. Allerdings werden die minimal erreichbaren  $R_{DSon}$ -Werte in der Praxis von den Widerständen der MOSFET-Gehäuse limitiert. So weisen etwa heutige MOSFET in einem TO-Leadless-Gehäuse, wie sie auch in dieser Arbeit verwendet werden, bereits einen höheren Widerstand des Gehäuses ( $0,25\text{ m}\Omega$ ) als des Silizium-Halbleiters ( $0,15\text{ m}\Omega$ ) an sich auf. [115]

Neben einer Parallelschaltung von mehreren MOSFETs, wie in der betrachteten Implementierung mit fünf MOSFETs, ist das Einbetten von MOSFETs in die PCB eine sehr vielversprechende Möglichkeit. Dabei wird der MOSFET direkt in die PCB integriert und mit den Kupferlagen verbunden. Hiermit können der Widerstand und die Induktivität stark verringert und zudem kann die thermische Leitfähigkeit erhöht werden. Mit der Erhöhung der thermischen Leitfähigkeit wird ein Flaschenhals beseitigt oder zumindest erweitert, der in realen Implementierungen oft dafür verantwortlich ist, dass die maximale Stromtragfähigkeit eines Halbleiters nicht voll ausgenutzt werden kann. Neben einer höheren Gesamteffizienz kann damit auch die Leistungsdichte stark erhöht und Kosten können gespart werden. [116]

Abbildung 5.15 zeigt die Wirkungsgradkennlinien eines M2B mit Vollbrücken (links) und Halbbrücken, basierend auf der Implementierung mit fünf parallel geschalteten  $5\text{ V}$ -MOSFETs, in Abhängigkeit von Systemstrom und -spannung. Im Vergleich zu MMC-Systemen zeigt sich hier insbesondere bei höheren Strömen ein starker Effizienzanstieg, bedingt durch die geringeren Energiespeicherverluste. Die Energiespeicherverluste sind aber dennoch höher als bei System mit zentralen Energiespeichern, wie etwa bei der vorherigen EMMC Implementierung ersichtlich. Bei kleinen Strömen wirken sich die höheren Schaltverluste etwas negativ auf die Effizienz von M2B-Systemen aus.

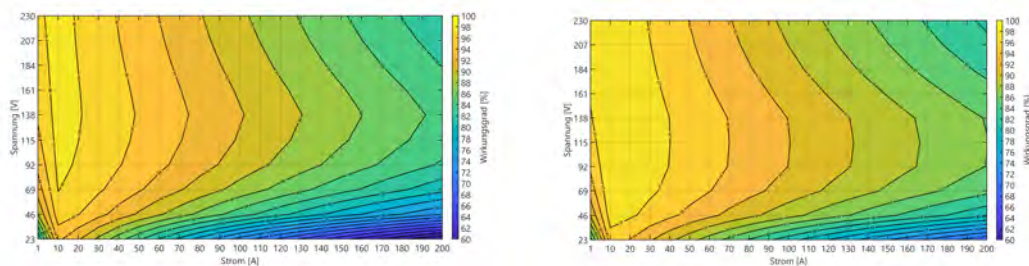


Abbildung 5.15: Wirkungsgrad eines M2B (links VB, rechts HB jeweils mit n96p) in Abhängigkeit von Ausgangsspannung und -strom, bei ( $50\text{ Hz}$ )





## 6 Magnetstimulator

### 6.1 Einführung in die Magnetstimulation

Bei der Magnetstimulation handelt es sich um ein Verfahren zur Reizung von Nervenfasern. Die Stimulation der Nervenfasern erfolgt durch kurze magnetische Feldpulse. Diese Pulse werden durch Spulen erzeugt und stimulieren vorwiegend die dicken, motorischen Nervenfasern, wohingegen die dünnen Fasern für Sensorik und Schmerzempfinden nur geringfügig stimuliert werden. [117]

Die im Gewebe durch die Magnetspulen mittels des Induktionsprinzips erzeugten elektrischen Felder führen zu elektrischen Strömen, welche zu einer Verschiebung des Potentials der Zellmembran in Richtung von  $0\text{ mV}$  führen. Ab einer Potentialverschiebung auf  $-50\text{ mV}$  (Depolarisation der Membran) wird schließlich ein Aktionspotential Auslösung bewirken. Dies führt etwa bei motorischen Nervenfasern zu einer Kontraktion der zugehörigen Muskelfasern. Die Stärke der Stimulation kann somit nicht die Reizung der einzelnen Nerven- oder Muskelzellen verstärken, vielmehr bewirkt ein stärkeres elektrisches Feld ein Aktionspotential an mehr Zellen. Auf ein Aktionspotential folgt die Refraktärzeit in der sich das Ruhepotential der Zellen wieder aufbaut. Innerhalb der ersten paar Mikrosekunden bis hin zu etwa einer Millisekunden ist ein stärkerer Reiz nötig um eine Aktionspotential auslösen zu können. (Abbildung 6.1 zeigt einen typischen Aufbau zur peripheren Muskelreizung am Oberarm.) Die zur Erzeugung des Magnetfelds in der Spule applizierten Strompulse weisen üblicherweise eine Pulsdauer von 50 bis 400 Mikrosekunden auf und besitzen keinen Gleichanteil, da nur elektrische Wechselfelder Aktionspotentiale auslösen können. Neben Einzelpulsen werden, insbesondere peripher, oft schnelle Pulsfolgen mit Pulsfrequenzen von  $10\text{ Hz}$  bis zu  $50\text{ Hz}$  appliziert, um eine kontinuierliche Muskelkontraktion zu erreichen. **Emrich2009**, [118], [119]

Neben der Möglichkeit, motorische Nerven zu stimulieren, wird die Magnetstimulation auch zur nichtinvasiven Reizung bestimmter Gehirnareale eingesetzt. In beiden Bereichen wird die induktive Magnetstimulation, oft in Kombination mit der Magnetresonanztomographie, zur Grundlagenforschung, aber auch zur Diagnostik neuronaler Erkrankungen oder zum kortikalen Mapping<sup>1</sup> genutzt. **Emrich2009**, [118]

#### Stand der Technik

Um ein Aktionspotential auslösen zu können, muss durch die Stimulationsspule ein magnetisches Feld mit ca. einem Tesla erzeugt werden. Hierfür sind Ströme durch die Spule

---

<sup>1</sup>z. B. exakte Lokalisierung des motorischen Kortexes

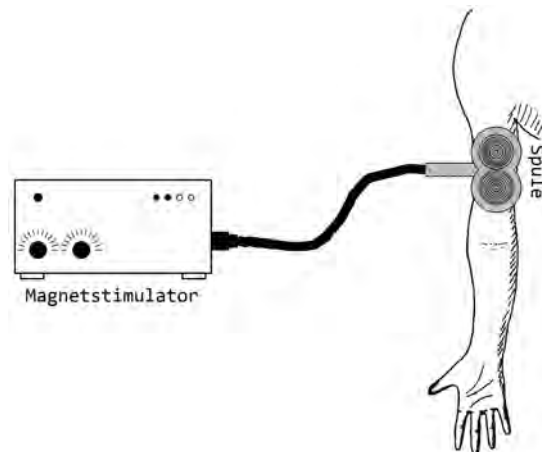


Abbildung 6.1: Anordnung für eine periphere Magnetstimulation [118]

von mehreren Kiloampere und Spannungen im Bereich einiger weniger Kilovolt nötig. Um derartig hohe Leistungen mit mobilen und bezahlbaren Geräten erzeugen zu können, wird in den aktuell verfügbaren Geräten ein resonanter Schwingkreis verwendet, wobei die benötigte Pulsenergie in einem Kondensator gespeichert und in die Stimulations-spule entladen wird. Das Aufladen des Kondensators kann hierbei mit geringer Leistung erfolgen. [118]

Abbildung 6.2 zeigt ein derartiges System mit einem Thyristor zum Entladen des Kondensators über die Spule, einem Dämpfungswiderstand mit einer Diode und einer Ladeschaltung. Die aus dieser Schaltung resultierende Pulsform wird als monophasischer Puls bezeichnet (siehe Abbildung 6.3).[118]

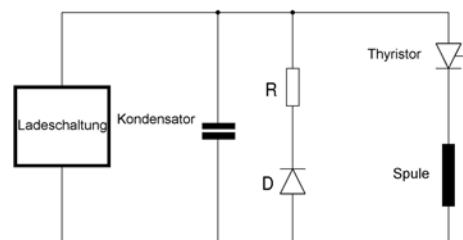


Abbildung 6.2: Aufbau eines einfachen Magnetstimulators [118]

Mit der in diesen Systemen verwendeten Dämpfungsschaltung wird ein Strom durch die Spule erzeugt, welcher seine Richtung nicht ändert. Dies hat zur Folge, dass die Energie zur Pulserzeugung nicht in den Kondensator zurückgespeist werden kann, sondern in der Dämpfungsschaltung in Wärme umgesetzt wird. Dies führt zu einem hohen Energieverbrauch dieser Geräte. Die Erzeugung von repetitiven Stimulationspulsen mit Frequenzen zwischen  $10\text{ Hz}$  und  $50\text{ Hz}$  ist mit einem derartigen Gerät nicht möglich.[118]

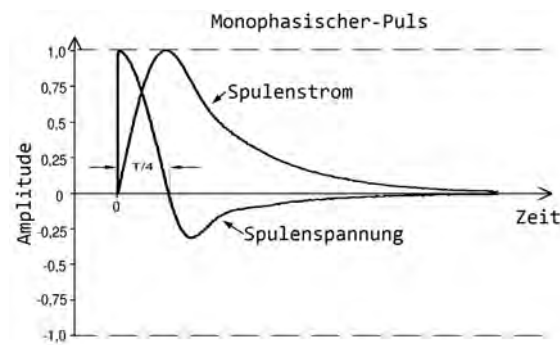


Abbildung 6.3: Zeitlicher Verlauf von Strom und Spannung in der Spule bei Verwendung einer Pulsquelle nach dem Prinzip aus 6.2 [118]

Um die Größe und die Kosten von Magnetstimulatoren zu verringern, ist die Reduktion der Verluste ein entscheidender Faktor für Neuentwicklungen. Eine Möglichkeit zur Reduktion der Verluste stellt die Verwendung von sinusförmigen Spulenströmen dar, mit denen ein Teil der Energie in den Kondensator zurückgeführt werden kann. Experimentelle Untersuchungen haben ergeben, dass ein sinusförmiger Spulenstrom eine ähnliche Nervenreizung hervorruft wie ein monophasischer Puls bei gleicher Amplitude. [118], [120]

Abbildung 6.4 zeigt eine derartige Vollwelle. Die zumeist verwendete elektrische Schaltung (siehe Abbildung 6.5) zur Erzeugung eines solchen biphasischen Pulses besteht aus einem Thyristor, welcher wie bei monophasischen Stimulatoren zur Aktivierung des Entladezyklus des Kondensators über die Spule dient. Ohne den zuvor verwendeten Dämpfungskreis schwingt die Spulenspannung auch nach dem Spannungsnulldurchgang weiter. Bei Nulldurchgang des Spulenstroms ( $T/2$  in Abbildung 6.4) kommutiert dieser vom Thyristor auf die antiparallel verschaltete Diode, womit eine Sinusvollwelle des Spulenstroms ermöglicht wird. Ein Weiterschwingen zum Zeitpunkt  $T$  wird durch den dabei nicht mehr leitenden Thyristor unterbunden. Durch die Rückspeisung des Spulenstroms in den Kondensator in der zweiten Pulshälfte treten bei dieser Schaltung fast nur ohmsche Verluste auf und es können etwa 80 % der Pulsenergie in den Kondensator zurückgeführt werden. [118]

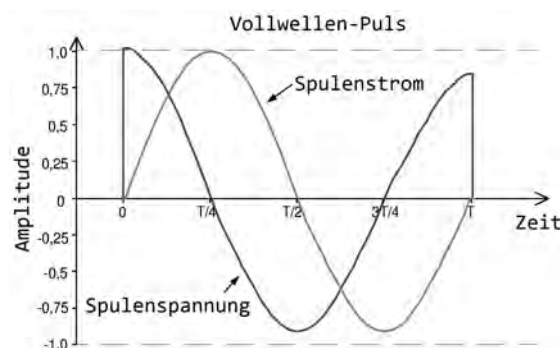


Abbildung 6.4: Zeitlicher Verlauf von Strom und Spannung in der Spule bei Verwendung einer Pulsquelle nach dem Prinzip aus Abbildung 6.5[118]

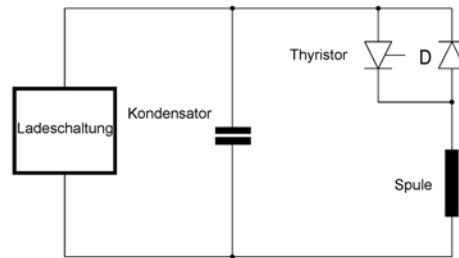


Abbildung 6.5: Prinzipieller Aufbau eines herkömmlichen Magnetstimulators der zweiten Generation [118]

Eine Weiterentwicklung dieses Stimulators stellt die in Abbildung 6.6 gezeigte Schaltung dar. Hierbei wurde die Diode durch einen weiteren Thyristor ersetzt. Dieser Thyristor kann bei Erreichen des Stromnulldurchgangs gezündet werden, um die zuvor gezeigte Sinusvollwelle zu erhalten. Der zweite Thyristor kann aber auch mit einer zeitlichen Verzögerung gezündet werden, um eine Pulsform wie in Abbildung 6.7 gezeigt zu erreichen. Die Pausierzeit zwischen den beiden Pulsen kann durch die Verwendung von zwei Thyristoren beliebig kurz oder lange sein. [118]

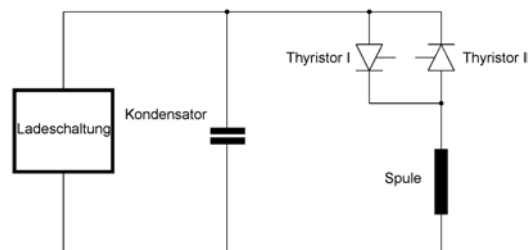


Abbildung 6.6: Abgewandelte Version des Aufbaus eines herkömmlichen Magnetstimulators aus Abbildung 6.5 [118]

Durch die Reduktion der Verlustenergie der beiden zuletzt genannten Stimulatoren ist eine repetitive Nervenreizung mit Frequenzen bis zu  $100\text{ Hz}$  möglich. Allerdings muss die Pulsenergie für repetitive Stimulation zumeist stark reduziert werden, um ein Nachladen der Kondensatoren zu ermöglichen. Zudem hängt die Pulsdauer von der Spuleninduktivität ab. Um dies teilweise auszugleichen, wird in der Literatur etwa eine Stimulation mit Rechteckimpulsen mit zeitlich veränderbarer Pulsdauer besprochen. Die Generierung derartiger Pulse ist jedoch technisch aufwendig und zumeist mit hohen Verlusten verbunden. [118], [121]

Neben diesen Limitierungen stellt auch die zeitlich nicht veränderbare Pulsdauer eine Einschränkung vorhandener Geräte dar. Eine zeitlich veränderliche Pulsdauer würde jedoch eine selektive Reizung bestimmter Zelltypen ermöglichen und somit den Einsatz von Magnetstimulatoren für diagnostische Zwecke erlauben. [118], [120]–[122]

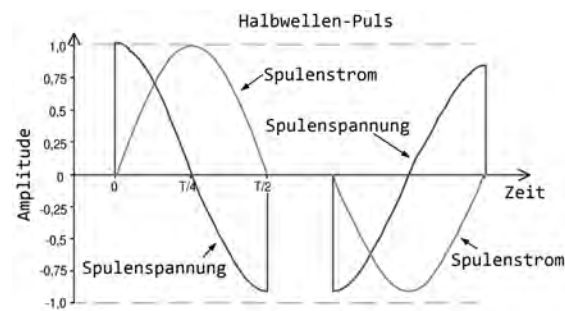


Abbildung 6.7: Zeitlicher Verlauf von Strom und Spannung in der Spule bei Verwendung einer Pulsquelle nach dem Prinzip aus Abbildung 6.6 [118]

## 6.2 Anforderungen an das neue System

Anhand der erläuterten Limitierungen aktueller Systeme lassen sich einige Anforderungen an zukünftige Magnetstimulatoren ableiten:

- Anpassbarkeit der Stimulationspulse
- Möglichst glatter Spannungsverlauf
- Höhere Repetitionsraten
- Geringes Bauvolumen

Aus diesen Anforderungen ergeben sich zwei grundlegende Merkmale. Zum einen wird eine Pulsquelle benötigt, welche die Erzeugung beliebiger Pulsformen ermöglicht. Mit einer derartigen Pulsquelle wäre eine Optimierung der Pulsform hinsichtlich (1) elektrischer Effizienz, zur Reduktion der Verluste in Spule und Leistungselektrik, (2) physiologischer Effizienz, zur Verringerung der benötigten Stimulationsenergie, und (3) Akustik, zur Verringerung von akustisch hervorgerufenen Reaktionen beim Probanden, möglich. Punkt 3 ist nicht nur bei Tierversuchen von hoher Bedeutung, sondern auch bei Placebo-Tests.

Für die Auslösung eines Aktionspotentials mittels eines biphasischen Pulses und einer klassischen Behandlungsspule mit einer Induktivität von  $L = 17 \mu H$  ist ein minimaler Scheitelstrom ( $\hat{I}_{min}$ ) von 4000 A notwendig. Dieser hohe Strom ist erforderlich, da zur Auslösung eines Aktionspotentials, also einer Nervenreizung im Gewebe, elektrische Feldstärken um 300 V/m benötigt werden und das Übertragungsverhältnis zwischen Spule und Gewebe durch die geringe induktive Kopplung klein ist<sup>2</sup> [123], [124]. Der notwendige Scheitelstrom zur Auslösung eines Aktionspotentials ist auch von der Pulsform abhängig. Durch neuartige Pulsformen ist der notwendige Scheitelstrom sehr wahrscheinlich kleiner als bei Sinuswellen-Stimulatoren, womit eine Senkung der Peakspannung mög-

<sup>2</sup>Die schlechte induktive Kopplung zwischen Spule und Gewebe ist durch die prinzipielle Anordnung bedingt. Hierbei stellt die Spule die Primärseite und der Nerv die Sekundärseite eines Transformators mit Luftkern da. Durch die platzbedingt geringe Anzahl an Wicklungen in der Spule und den Umstand, dass ein Nerv im besten Fall gerade einmal eine Viertelwicklung darstellt, ist der kleine Koppelfaktor kaum zu erhöhen.

lich wäre. Unter Verwendung einer für diese Systeme typischen Kondensatorkapazität von  $C = 100 \mu F$  ergibt sich eine minimal notwendige Kondensatorspannung ( $U_{min}$ ) von [124], [125]:

$$E_C = E_L \quad (6.1)$$

$$\frac{1}{2} * C * \hat{U}^2 = \frac{1}{2} * L * \hat{I}^2 \quad (6.2)$$

$$U_{min} = \sqrt{\frac{L * \hat{I}_{min}^2}{C}} = \hat{I}_{min} * \sqrt{\frac{L}{C}} \quad (6.3)$$

$$U_{min} = 4000 \text{ A} * \sqrt{\frac{17 \mu H}{100 \mu F}} \approx 1649 \text{ V} \quad (6.4)$$

wobei  $E_C$  und  $E_L$  der Energie im Kondensator bzw. in der Spule entspricht.

Mit der gespeicherten Energie in aktuellen Magnetstimulatoren von z. B. 300 J (vergleiche etwa: Stimulatoren der Firma Dantec Dynamics Ltd, Bristol, UK) [121] und derselben Spuleninduktivität ergibt sich folgender typischer Scheitelstrom ( $\hat{I}_{typ}$ ):

$$\hat{I}_{typ} = \sqrt{\frac{300 \text{ J} * 2}{17 \mu H}} = 5941 \text{ A} \quad (6.5)$$

Die typische Spannung ( $U_{typ}$ ) eines derartigen Aufbaus unter Verwendung einer typischen Kapazität mit  $C_{typ} = 100 \mu F$  ergibt sich wie folgt:

$$E_C = \frac{1}{2} * C * U_{typ}^2 \quad (6.6)$$

$$U_{typ} = \sqrt{\frac{300 \text{ J} * 2}{100 \mu F}} = 2449 \text{ V} \quad (6.7)$$

Die typische Ladung ( $Q_{typ}$ ) im Kondensator ergibt sich somit zu:

$$Q_{typ} = C_{typ} * U_{typ} = 0,2449 \text{ As} \quad (6.8)$$

Die Pulsdauer ( $t_{bi}$ ) eines biphasischen Pulses eines derartigen Systems ergibt sich zu:

$$f = \frac{1}{2 * \pi * \sqrt{L * C}} = 3860 \text{ Hz} \quad (6.9)$$

$$t_{bi} = 259 \mu s \quad (6.10)$$

Typischerweise sind aktuelle Systeme wie etwa der „*Super Rapid<sup>2</sup> Plus*“ der Firma Magstim (Magstim, Inc. Morrisville, NC 27560) in der Lage, Pulse bei voller Leistung mit einer maximalen Frequenz von ca. 50 Hz zu generieren. Bei Reduktion der Leistung

auf etwa die Hälfte sind bis zu 100 Hz Repetierfrequenz möglich. Mittels der Pulsdauer ( $t_{bi}$ ), der aus den 50 Hz resultierenden Intervallzeit ( $T_i$ ) und des typischen Scheitelstroms ( $\hat{I}_{typ}$ ) ergibt sich der resultierende Effektivstrom ( $I_{eff}$ ) zu:

$$I_{eff} = \hat{I}_{typ} * \sqrt{\frac{t_{bi}}{T_i}} \quad (6.11)$$

$$I_{eff} = 5941 \text{ A} * \sqrt{\frac{0,259 \text{ ms}}{20 \text{ ms}}} = 676 \text{ A} \quad (6.12)$$

Neben der Stromstärke ist die Spannungsqualität des Stimulationspulses von hoher Bedeutung, da der Nerv bei der magnetischen Stimulation nicht etwa mit dem durch die Spuleninduktivität geglätteten Strom, sondern der Spannung bzw. den Spannungsstufen ( $\Delta U$ ) über die Spule angeregt wird [122]. Je kleiner  $\Delta U$ , desto besser bzw. physiologischer. Allerdings steigt damit auch der technische Aufwand extrem. Bei einem  $\Delta U$  von 10 V wären für einen 2500 V-Puls bereits 250 MMC-SMs notwendig. Einen guten Kompromiss aus technischem Aufwand und Spannungsqualität stellt in dieser Hinsicht ein  $\Delta U$  von 50 V dar.

Ein weiteres Kriterium für einen Magnetstimulator besteht in seiner Portabilität und der Betriebsfähigkeit an einer haushaltsüblichen einphasigen Steckdose. Das System kann somit mit maximal 3,6 kW versorgt werden. Folglich muss die komplette Energie zur Stimulation in den Energiespeichereinheiten des Stimulators zwischengespeichert werden. Mit der Nebenbedingung, dass das System portabel sein muss, ergibt sich eine hohe Belastung der Bauelemente, um die kurzfristigen Spitzenleistungen von bis zu 20 MVA bereitstellen zu können.

Zusammengefasst ergibt sich folgende zum Teil gerundete Systemspezifikation für das zu entwickelnde System:

$$\text{Pulsdauer (Biphasisch)} = ca. 300 \mu S$$

$$\text{Spannungsspeak (min)} = \pm 1649 \text{ V}$$

$$\text{Spannungsspeak (typ)} = \pm 2500 \text{ V}$$

$$\text{Strompeak (min)} = 4000 \text{ A}$$

$$\text{Strompeak (typ)} = 6000 \text{ A}$$

$$\text{Effektivstrom} = 676 \text{ A}$$

$$\Delta U = 50 \text{ V}$$

$$Q_{typ} = 0,2449 \text{ As}$$

### 6.3 Technologieauswahl

Anhand dieser Spezifikation wird nachfolgend eine Einschätzung der Verwendbarkeit der zuvor betrachteten Topologien vorgenommen. Durch die Einschränkung, dass die Spannungsqualität hoch sein muss, scheiden wie erwähnt 2- oder 3-Level-Systeme bereits aus. Auch eine Überlagerung von Multilevel-Spannungsstufen mit einer PWM ist hierfür nicht zielführend.

Im Weiteren werden die drei aus vorherigen Kapiteln bekannten Topologien – (1) MMC, (2) M<sup>2</sup>PC und (3) EMMC – hinsichtlich ihrer Eignung für Magnetstimulationen evaluiert. Neben der prinzipiellen Machbarkeit ist insbesondere der Bauteilaufwand ein gutes Indiz für die Verwendbarkeit einer Technologie für einen Magnetstimulator, da aktuelle Systeme tragbare Einheiten darstellen und das Volumen und Gewicht eines neuartigen Magnetstimulators daher begrenzt sind.

Bezüglich des Bauteilaufwands besteht zwischen MMC- und M<sup>2</sup>PC-Systemen kaum ein Unterschied, wohingegen die Anzahl an benötigten Bauelementen bei EMMC-Systemen theoretisch stark verringert werden kann. Andererseits bewirkt die quadratische Abstufung der SM-Spannungen bei EMMC-Systemen einen gewissen Mehraufwand bei der Implementierung, da jedes einzelne SM individuell konzipiert werden muss.

Neben dem Bauteilaufwand für die Schalter ist der Aufwand für die benötigten Kondensatoren von hoher Bedeutung. Laut nachfolgender Formel ist die Kapazität eines Plattenkondensators direkt proportional zu dessen Fläche ( $A$ ). Unter der Annahme, dass der Abstand der Elektroden ( $d$ ) und die relative Dielektrizitätskonstante ( $\epsilon_r$ ) beibehalten werden und die elektrische Feldkonstante ( $\epsilon_0$ ) ohnehin unveränderlich ist<sup>3</sup>, gilt:

$$C = \epsilon_0 * \epsilon_r * \frac{A}{d} \quad (6.13)$$

#### 6.3.1 MMC-basierter Magnetstimulator

Aus den geforderten Systemanforderungen mit  $\pm 2500\text{ V}$  maximaler Spannung und einem  $\Delta U = U_{SM} = 50\text{ V}$  ergibt sich bei der Verwendung eines MMC eine Mindestzahl an  $n = 50$  MMC-SMs.

Ein weiterer entscheidender Faktor ist die notwendige Kapazität zur Pulserzeugung. Mit Gleichung 6.8 ergibt sich folgende minimale Kapazität pro SM:

$$Q_{typ} = C_{SMVBmin} * U_{SM} \quad (6.14)$$

$$C_{SMVBmin} = \frac{0,250\text{ As}}{50\text{ V}} = 5\text{ mF} \quad (6.15)$$

<sup>3</sup>Hierbei wird vernachlässigt, dass das Dielektrikum und der Abstand zwischen den Elektroden an die verschiedenen Spannungsfestigkeiten angepasst werden, womit mit der Spannung das Volumen doch nichtlinear steigt und sich die Kosten ebenfalls nicht linear verhalten.



Tabelle 6.1: Bauteile für einen Magnetstimulator mit MMC-Vollbrücken für 2500 V und 6000 A

Bauteil	Bezeichnung	Kenndaten	pro SM	Gesamt	Einzelpreis	Gesamt Kosten
MOSFETs (SM)	IPT012N08N5	$I_{peak} = 1.000 \text{ A}$	24	1200	3,72 €	4.464,00 €
Kondensatoren	EEUFR1J181	$C = 180 \mu F$	112	5600	0,29 €	1.624,00 €
Treiber	Si8233			100	1,77 €	177,00 €
Gesamt				6.900		6.265,00 €

Um zu verhindern, dass das System instabil wird, ist darauf zu achten, dass der Spannungseinbruch an den SMs nicht zu groß ausfällt. Um dies zu gewährleisten, sollte ein maximaler Spannungseinbruch von 25 % eingehalten werden, womit sich die notwendige Kapazität noch einmal vervierfacht:

$$C_{SMVB} = 4 * C_{SMVBmin} = 20 \text{ mF} \quad (6.16)$$

Tabelle 6.1 listet die wichtigsten Bauteile für eine derartige Implementierung auf. Als MOSFET kann der bereits erwähnte 80 V IPT012N08N5 von Infineon verwendet werden. Mit einer maximalen Pulsstrom-Belastbarkeit von etwa 1.000 A ist eine Parallelschaltung von mindestens sechs dieser MOSFETs notwendig, um die geforderten 6.000 A tragen zu können<sup>4</sup>. Als Kondensatoren wird eine Parallelschaltung von 112 Aluminium-Elektrolyt-Kondensatoren EEUFR1J181 (Panasonic Corporation, Kadoma, Japan) mit je 180  $\mu F$  angenommen. Als Treiber kommen die bereits erwähnten Si8233-Halbbrücken-Treiber mit Potentialtrennung zum Einsatz. Dabei wird pro Halbbrücke ein Treiber verwendet. Für ein schnelles Schalten der parallel geschalteten MOSFETs sind in realen Implementierungen eventuell noch zusätzliche Endstufentreiber sinnvoll.

Zusammen ergeben sich für einen Magnetstimulator mit MMC-Vollbrückentechnologie eine Gesamtanzahl der erwähnten drei Hauptkomponenten von mindestens 6900 Bauteilen und ein geschätzter Preis von etwa 6.265,00 €. Grundlage für die Kostenkalkulation sind Preise von Vertriebsgesellschaften für Endverbraucher mit einer Stückzahl von Tausend. Die Preisschätzung kann somit hier nur als grober Anhaltspunkt zum Vergleich der drei Topologien verstanden werden.

### 6.3.2 M<sup>2</sup>PC mit Vollbrücke

Der Vorteil bei Verwendung eines M<sup>2</sup>PC-basierten Systems liegt in einer zusätzlichen Option für die Balancierung der SM-Ladungen durch die Parallelschaltoption. Dies kann in einem konventionellen Back-to-Back-Umrichtersystem zur Verringerung der SM-Kapazität verwendet werden. Für den hier stattfindenden Systemvergleich wird vereinfacht das Einsparpotential gemäß den Erfahrungen von Kalle Ilvis [81] von 18%iger Kapazität pro SM im Vergleich zu einer MMC-Implementierung gewählt.

<sup>4</sup>Hier sei noch einmal angemerkt, dass es sich hier lediglich um eine grobe Abschätzung des Aufwandes handelt, um eine erste Einschätzung der Machbarkeit der einzelnen Technologien zu erhalten. Insbesondere die Pulsstrom-Belastbarkeit ist hierbei kritisch zu sehen und sollte in einer realen Implementierung noch einmal gesondert evaluiert werden, insbesondere auf eine etwaige Reduzierung der Lebensdauer der Transistoren hin. Auch der Aufwand für die Kühlung wurde hier vernachlässigt.

Tabelle 6.2: Bauteile für einen Magnetstimulator mit MMC Halbbrücken und Umpoler für 2500 V und 6000 A

Bauteil	Bezeichnung	Kenndaten	pro SM	Gesamt	Einzelpreis	Gesamt Kosten
MOSFETs (SM)	IPT012N08N5	$I_{peak} = 1.000 \text{ A}$	24	1200	3,72 €	4.464,00 €
Kondensatoren	EEUFR1J181	$C = 180 \mu\text{F}$	92	4600	0,29 €	1334,00 €
Treiber	Si8233			200	1,77 €	354,00 €
Gesamtkosten				5.850		6.152,00 €

Wie bereits in den Grundlagen zu M<sup>2</sup>PC erwähnt, müssen die Schalter eines M<sup>2</sup>PC-Systems nur die Hälfte der Stromtragfähigkeit eines vergleichbaren MMC-Systems aufweisen. Dies ist allerdings nur mit einer peniblen Regelung, welche eine massive Parallelschaltung bei hohen Strömen verhindert, möglich. Dieses Problem tritt in erster Linie bei induktiven Lasten auf, also wenn Strom und Spannung phasenverschoben sind. Im Fall der TMS mit seiner beinahe reinen induktiven Last ist somit davon auszugehen, dass eine massive Parallelschaltung von Kondensatoren eher die Ausnahme als die Regel sein wird. Im Umkehrschluss können somit die zuvor erwähnte Kapazitätseinsparung von 18% und die halbe Stromtragfähigkeit pro Schalter angenommen werden.

Zusammengefasst sind somit der Aufwand und die Kosten einer M<sup>2</sup>PC-Implementierung ähnlich zu einer MMC-Implementierung. Allerdings stellt die Parallelschaltung eine hohe Herausforderung für die Regelung und die Messwerterfassung dar. Schon kleine Unterschiede in den Spannungen von benachbarten parallel zu schaltenden SM Kondensatoren können durch die geringen Widerstände und Induktivitäten in den Interlink-Sektionen zu hohen Ausgleichsströmen führen. Diese Ausgleichsströme sind zudem den bereits vorhandenen Systemströmen überlagert.

### 6.3.3 MMC-Binärsystem

Der Bauteilaufwand für EMMC-basierte Systeme ist grundsätzlich viel kleiner als bei MMC- und M<sup>2</sup>PC-Systemen, da weniger SM für ähnliche Spannungsqualitäten benötigt werden. Allerdings bedingt die inhomogene Spannungsaufteilung einen höheren Entwicklungsaufwand, da idealerweise jedes SM individuell an sein Spannungslevel angepasst werden sollte. Neben der Auswahl der Transistoren und deren Treiberimplementierung betrifft dies auch die Kondensatoren.

Im einfachsten Fall wird die Pulsform wie mit den vorherigen Technologien durch eine variable Serienschaltung der Modulkapazitäten erzeugt. In dieser Konfiguration muss der Puls im ungünstigsten Fall durch eine reine Serienschaltung aller Kondensatoren generiert werden können. Somit muss jedes SM die zuvor erwähnte Ladung  $Q_{typ} = 0,250 \text{ As}$  und damit unter Zuhilfenahme der Gleichung 6.16 folgende Kapazitätswerte aufweisen:

Tabelle 6.3: Kapazitäten der SMs eines n=6 Binärsystems

SM n	SM1	SM2	SM3	SM4	SM5	SM6	Gesamt
Spannung	40 V	80 V	160 V	320 V	640 V	1280 V	2520 V
Kapazität	25,0 mF	12,5 mF	6,3 mF	3,1 mF	1,6 mF	0,8 mF	–

Tabelle 6.4: Bauteile für einen EMMC-Magnetstimulator für 2500 V und 6000 A

Bauteil	Bezeichnung	Daten	Anzahl	Preis	Gesamtpreis
FETs(SM6.1/6.2/5)	IXFN150N65X2	300 A	240	15 €	3.600,00 €
FETs(SM4/3)	IXFN210N30P3	800 A	64	15 €	960,00 €
FETs(SM2/1)	IPT012N08N5	1.000 A	48	3,72 €	178,56 €
Kond.(SM6.1/6.2)	MKP-FC107K700V	100 $\mu F$	16	5,00 €	80,00 €
Kond.(SM5)	MKP-FC107K700V	100 $\mu F$	16	5,00 €	80,00 €
Kond.n(SM4)	MKP-FC157K450V	150 $\mu F$	21	5,00 €	105,00 €
Kond.(SM3)	MKP-FC157K450V	150 $\mu F$	42	5,00 €	210,00 €
Kond.(SM2)	EEUFR1J181	180 $\mu F$	70	0,29 €	20,30 €
Kond.(SM1)	EEUFR1J181	180 $\mu F$	139	0,29 €	40,31 €
Treiber	Si8233		14	1,77 €	24,78 €
Summe			670		5.298,95 €

Tabelle 6.4 zeigt die gewählten Bauteile für eine Implementierung basierend auf den Werten in Tabelle 6.3. Die Spannungsabstufungen insbesondere der höheren Spannungslevel stellen eine hohe Herausforderung bezüglich der Auswahl von Transistoren dar. Für SM6 mit einer Spannung von 1.280 V wären 1.700 V SiC-MOSFETs notwendig. Wegen deren bereits erwähnter geringer Verbreitung ist eine Kostenabschätzung damit aktuell nicht sinnvoll. Aus diesem Grund wird im Folgenden angenommen, dass SM6 aus zwei in Reihe geschalteten 640 V SMs aufgebaut wird. Des Weiteren werden für die Kostenabschätzung MOSFETs verwendet, deren Durchbruchspannungen teilweise zu knapp für die betrachteten Spannungen sind. Andererseits wäre eine Kostenabschätzung mit stark überdimensionierten Bauteilen ebenfalls wenig sinnvoll.

Insgesamt zeigt sich, dass eine EMMC-Implementierung trotz der zum Teil weit höheren Spannungslevel die Kosten von MMC- und M<sup>2</sup>PC-Systemen deutlich unterbieten kann. Zudem ist die starke Reduktion an Bauteilen auf etwa ein Zehntel im Vergleich zu den anderen beiden Implementierungen ein großer Fertigungsvorteil.

### 6.3.4 Zusammenfassung

Für die Implementierung eines Magnetstimulators auf Basis der MMC- oder der M<sup>2</sup>PC-Technologie ist eine enorme Anzahl an Bauelementen notwendig. Neben dem hohen Bauteil Aufwand stellen die Regelung und Kommunikation mit den 50 SMs einen großen Entwicklungsaufwand dar. Insbesondere die Regelung eines M<sup>2</sup>PC-Systems bedarf einer Echtzeitmessung und -regelung oder alternativ einer hochgenauen prädiktiven Regelung. Eine Echtzeitmessung und -regelung sind ob der kurzen Pulsdauer und der hohen Anzahl an SMs komplex. Eine prädiktive Regelung hingegen bedarf eines hohen Rechenaufwands und einer Anpassung an unterschiedliche Spulen; dies erfordert zusätzliche Regel- und Messschritte.

Für die Regelung eines EMMC-Systems bedarf es prinzipiell ebenfalls einer Echtzeit-Spannungsmessung oder prädiktiven Regelung. Der Vorteil hierbei liegt in der geringeren Gefahr eines hohen Ausgleichstroms zwischen den SMs, da ein Stromfluss immer über die angeschlossene Spule erfolgt und somit eine viel geringere Stromanstiegszeit als bei einem Ausgleich zwischen benachbarten SMs eines M<sup>2</sup>PC-Systems auftritt. In

Verbindung mit einer viel geringeren Anzahl an Komponenten scheint die EMMC eine vielversprechende Topologie für einen Magnetstimulator darzustellen.

In den nachfolgenden Kapiteln werden die erarbeiteten theoretischen Einschätzungen anhand eines ersten Laborprototyps eines EMMC-Systems überprüft.

## 6.4 Implementierung eines EMMC-basierten Magnetstimulators

### 6.4.1 Konzeption eines EMMC-basierten Magnetstimulators

Bei EMMC-basierten Systemen kann die hohe notwendige Spannung durch mehrere kleinere Spannungsstufen abgebildet werden, womit der Einsatz von schnell schaltenden MOSFETs ermöglicht wird. Um das Spannungslevel insbesondere des Moduls mit der höchsten Spannung weiter verringern zu können, kann zusätzlich ein hybrider Ansatz auf MMC-Basis verwendet werden. Hierbei wird das SM mit der höchsten Spannung durch mindestens zwei SMs mit geringerer Spannung abgebildet. Abbildung 6.8 zeigt das ESB eines derartigen Aufbaus mit vier SMs, bei dem das vierte SM durch zwei SMs mit halber Spannung abgebildet wird. Die Versorgungen der beiden SMs des vierten SM sind hierbei potentialgetrennt auszuführen und zudem modulseitig jeweils mit Kondensatoren gepuffert, um die benötigte Peakleistung der potentialgetrennten AC/DC-Wandler verringern zu können. Neben der hohen Schalttrate von MOSFETs ermöglicht deren vereinfachte Parallelschaltbarkeit eine einfachere Skalierbarkeit der Stromtragfähigkeit des Aufbaus.

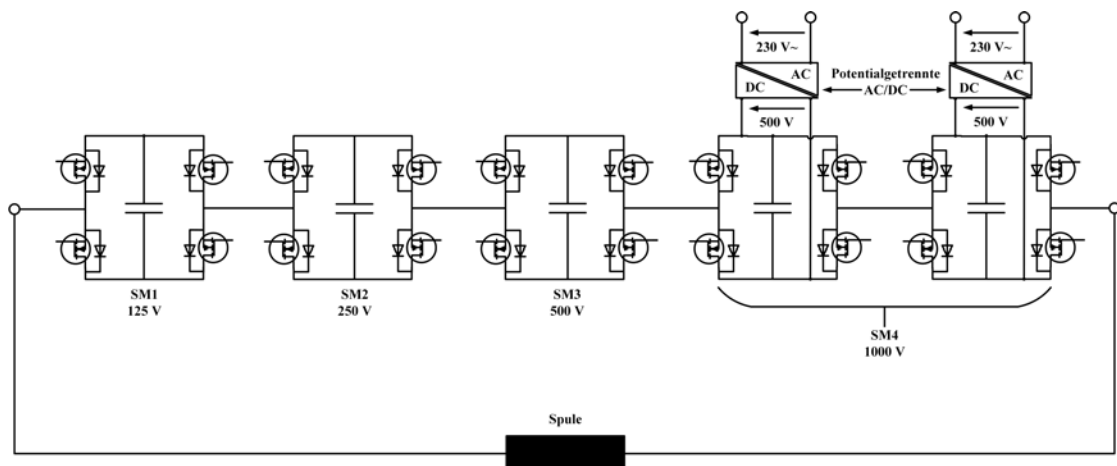


Abbildung 6.8: Ersatzschaltbild des Konzeptes für einen EMMC-basierten Magnetstimulator-Prototyp

In der Theorie sind MOSFETs wie bereits erwähnt durch ihren negativen Temperaturkoeffizienten einfacher parallel zu schalten als etwa Thyristoren. Die Problematik bei der Parallelschaltung in allen MMC-basierten Technologien für Magnetstimulatoren liegt je-

doch in den hohen Peakströmen, welche bereits bei geringen Schaltverzögerungen zu einer Überlastung der früher oder schneller schaltenden MOSFETs führen können.

Neben den MOSFETs bilden die Kondensatoren hinsichtlich ihrer Peakstrombelastbarkeit einen weiteren Flaschenhals. Grundsätzlich besteht der Hauptvorteil von EMMC-Systemen in der theoretisch stark verringerbaren Kapazität im Vergleich zu MMC-Systemen. Bei den aktuell verfügbaren Kondensatorstechnologien ist die Peakstrombelastbarkeit jedoch zumeist so klein, dass mehr Kondensatoren parallel geschaltet werden müssen, als dies zur Erreichung der minimalen Kapazitätswerte notwendig wäre. Folien- und Keramik-Kondensatoren weisen grundsätzlich eine höhere Strombelastbarkeit als Elektrolyt-Kondensatoren auf. Elektrolyt-Kondensatoren sind hinsichtlich Kosten und Kapazitätswerte bzw. Energiedichten im Vorteil. Tendenziell weisen Elektrolyt-Kondensatoren selbst bei einer Überdimensionierung der Kapazität, zur Sicherstellung der benötigten Strombelastbarkeit, ein kleineres Volumen auf, als Folien- oder Keramik-Kondensatoren. [126]

Diese sind jedoch um ein vielfaches teurer als Film- oder Elektrolytkondensatoren, dass ihr Einsatz für das betrachtete System keinen Sinn ergibt.

[126]

Ein weiterer limitierender Faktor ist die Schaltrate. Wie in Kapitel 5.3 erläutert führt eine Verringerung der Modulkapazitäten zu einer Erhöhung der Schaltraten. Bei Magnetstimulatoren mit mehreren tausend Ampere ist eine Minimierung der Schaltrate allerdings von hoher Bedeutung.

Die maximale Ausgangsspannung von EMMCs-basierten Systemen entspricht der Summe aller SM-Spannungen. Bei einem System wie in Abbildung 6.8 dargestellt ist somit die maximale Spannung gleich  $125\text{ V} + 250\text{ V} + 500\text{ V} + 1000\text{ V} = 1875\text{ V}$ . Bei einer derartigen Übermodulation kann in Bereichen oberhalb der Spannung des SMs mit der höchsten Spannung keine Energie mehr von diesem in die SMs mit geringeren Spannungen transferiert werden. In Systemen mit kontinuierlichem Leistungsfluss führt dies zu einer starken Erhöhung der Kapazitäten der SMs mit geringeren Spannungen. Beim Einsatz als Pulsquelle relativiert sich die Erhöhung der benötigten Kapazität durch die bereits höhere notwendige Kapazität bedingt durch die zu erreichende Peakstromfähigkeit der Modulkondensatoren und die Möglichkeit, die SMs zwischen zwei Stimulationspulsen nachzuladen. Ein Nachladen der kleineren SMs zwischen den Stimulationspulsen kann etwa mit einer DC-Spannung über die Spule erfolgen, womit keine Nervenreizung auftritt.<sup>5</sup>

## 6.4.2 Bauteilwahl

Um insbesondere die Portabilität des Magnetstimulators gewährleisten zu können, ist es notwendig, die Leistungsgrenzen der einzelnen Bauelemente zu einem hohen Maße aus-

<sup>5</sup>Bei diesem Verfahren wird eine DC-Spannung an der Spule angelegt. Da für das Aufladen der nicht extern versorgten SMs zwischen verschiedenen Schaltzuständen hin und her geschaltet werden muss, ist die DC-Spannung mit hochfrequenten Oberwellen belegt. Damit diese überlagerten Wechselströme keinen Einfluss auf die Nervenfasern haben, sollte die applizierte DC-Spannung möglichst klein sein.

zureizen. Die Angaben in den Datenblättern der Bauelemente können hierbei allerdings nur als vager Anhaltspunkt dienen, da die Hersteller in der Regel hohe Sicherheitsmargen mit einbeziehen. Zudem tritt ein Belastungsprofil, wie es eine EMMC-basierte Pulsquelle für die Bauelemente voraussetzt, kaum woanders auf. Typischerweise arbeiten Umrichter kontinuierlich und mit hohen Schaltfrequenzen, was zu hohen Betriebszeiten und hoher Last führt. Ein Magnetstimulator hingegen wird nur im Pulsbetrieb und dies auch nicht kontinuierlich verwendet, womit sich über dessen Lebensdauer viel geringere Betriebszeiten ergeben.

### MOSFET-Vollbrücke

Durch die in EMMC-Systemen auftretenden hohen Schaltfrequenzen und die hohen Spannungen einiger SM sind wie erwähnt SiC- und GaN-MOSFETs am geeignetsten für deren Aufbau. Die in den Datenblättern angegebenen Werte für Pulsstromfähigkeit  $I_{D,pulse}$  sind bei SiC-MOSFETs meist drei- bis viermal so hoch wie die Dauerstromtragfähigkeiten  $I_{D,kont}$ . Ein 1,2 kV-SiC-MOSFET von Cree Inc. (Durham, USA) (CAS300M12BM2) weist laut Datenblatt eine Peakstromfähigkeit von 1500 A bei einem  $R_{DSOn} = 5,0 \text{ m}\Omega$  auf. Die Schaltgeschwindigkeiten von GaN-MOSFETs sind noch etwas besser als bei SiCs, jedoch ist die Peakstromfähigkeit bei GaNs nur minimal höher als deren Dauerstromfähigkeit. Die maximale Dauerstromfähigkeit etwa eines 650 V-E-mode-GaN-Transistors von GaN Systems Inc (Ottawa, Canada) (GS66516T) beträgt 60 A bei einem  $R_{DSOn} = 25 \text{ m}\Omega$ .

Bei Silizium-MOSFETs sind die maximalen Pulsströme meist wie bei SiCs drei- bis viermal so hoch wie die Dauerstromtragfähigkeit, bei einer Pulsdauer von unter 10  $\mu\text{s}$ . Bei zunehmender Pulsdauer sinkt die Pulsstromstärke, bei gleichem  $V_{DS}$ , stark ab. Die Schaltgeschwindigkeiten und  $R_{DSOn}$ -Werte sind im Vergleich zu SiCs bei ähnlichen Schaltleistungen etwas schlechter. IGBTs scheiden auf Grund ihrer langsamen Schaltraten und der nur minimal reduzierbaren Durchlassverluste aus.

Neben der Stromfestigkeit der MOSFETs hat auch deren Gehäuseform einen entscheidenden Einfluss auf die Verwendbarkeit. Prinzipiell weisen oberflächenmontiertes Bauelement – engl. surface-mount device (SMD)-Gehäuse, bedingt durch ihre kompakte Bauform mit kurzen Leiterkontakten, geringere parasitäre Induktivitäten und damit prinzipiell geringere Neigung zu Überschwängern auf. Die Nachteile sind eine erhöhte Instabilität durch die verringerten Gate- und Miller-Kapazitäten. Um ein dadurch bedingtes ungewolltes Ab- oder Durchschalten zu vermeiden, ist eine aufwendigere Treiberschaltung notwendig. Auch die sehr kleinen parasitären Induktivitäten und Widerstände am Gate der MOSFETs erfordern ein äußerst niederinduktives Layout der Treiberschaltung. Dies ist etwa notwendig, um ein Entladen der Gate-Kapazität beim Erreichen des Miller-Plateaus und ein daraus resultierendes kurzzeitiges Abschalten des MOSFET zu vermeiden.

Durch die kleinen Abstände der Anschlüsse vom SMD-Gehäuse ist die maximal verwendbare Kupferdicke der PCBs stark limitiert, da der minimale Isolationsabstand zwischen zwei Leiterbahnen abhängig von der Kupferdicke ist. Ein 650 V-CoolMOS von Infineon Technologies AG (Neubiberg, Deutschland) in einem HSOFF-8-Gehäuse (IPT65R033G7)

benötigt einen Isolationsabstand von  $300 \mu m$ . Damit ist die Kupferdicke der Außenlagen mit Standardtechnik auf  $140 \mu m$  limitiert <sup>6</sup>.

Die Stromstärke ( $I$ ), um eine gewisse maximale Temperaturerhöhung ( $\Delta T$ ) nicht zu überschreiten, errechnet sich in Abhängigkeit von der Kupferdicke ( $h$ ) und der Leiterbahnbreite ( $b$ ) und einem von der Lagenzahl abhängigen Faktor ( $K$ ) wie folgt<sup>7</sup>:

$$I = K * h^{0,5} * b^{0,64} * \Delta T^{0,5} \quad (6.17)$$

mit  $K = 3,3$  bei zwei Lagen und  $K = 3,6$  bei vier Lagen.

Bei einer maximalen Temperaturerhöhung um  $20^\circ C$  und einer Leiterbahnbreite von  $b = 6,7 \text{ mm}$ <sup>8</sup> mit einer Kupferdicke von  $h = 0,140 \text{ mm}$  bei vierlagigem Aufbau erhält man:

$$I = 3,6 * 0,140^{0,5} * 6,7^{0,64} * 20^{0,5} = 20,35 \text{ A} \quad (6.18)$$

Bei einem Effektivstrom von  $676 \text{ A}$  aus den Grundannahmen für Magnetstimulatoren (vgl. Kapitel 6.2) müssten somit ca. 34 MOSFETs im HSOF-8 parallel geschaltet werden, um die Leiterbahnen nicht zu überhitzen. Bei einer theoretischen Peakstromfähigkeit von  $245 \text{ A}$  pro IPT65R033G7-MOSFET wären hiermit theoretisch ca.  $8.000 \text{ A}$  realisierbar.

Dickschicht-Leiterplatten sind allerdings teuer und durch die minimalen Isolationsabstände auf den Außenbahnen sind meist nur Bauteile mit breiterem Pin-Abstand verwendbar. Für Anwendungen mit hohen Strömen werden daher in der Industrie meist Transistoren in Gehäusen mit Schraubanschlüssen eingesetzt. Neben den erwähnten Problemen ermöglichen diese Gehäuse eine vereinfachte Montage mit Kupferschienen anstelle von Platinen mit Dickschichtkupfer. Die komplette Elektronik kann in Standard-Leiterplattentechnologie mit  $35 \mu m$  Kupferdicke ausgeführt werden. Ein dem IPT65R033G7 ähnlicher MOSFET in einem ISOTOP-Gehäuse ist der X2-Class HiPerFET Power MOSFET von der Firma IXYS Corporation (Silicon Valley, USA) (IXFN150N65X2). Diese  $650 \text{ V}$ -MOSFETs weisen eine etwas höhere Peakstromfähigkeit von bis zu  $300 \text{ A}$  und einen etwa halb so großen  $R_{DSOn} = 17 \text{ m}\Omega$  auf. Zudem haben diese MOSFETs nur etwa die Hälfte der Reverse-Recovery-Ladung und etwa ein Drittel der Reverse-Recovery-Zeit eines IPT65R033G7 im HSOF-8-Gehäuse. Kleine Reverse-Recovery-Ladungen und -Zeiten sind wie erwähnt wichtig für geringe Reverse-Recovery-Verluste und Überspannungen. Für ein Seriensystem wären somit pro SM etwa 20 parallel geschaltete MOSFETs nötig.

Die X2-Class HiPerFET MOSFETs (IXFN150N65X2) werden für SM2, SM3 und die beiden Module des SM4 verwendet. Für SM1 mit einer maximalen Nennspannung von  $125 \text{ V}$  wird der Polar3 HiPerFET Power MOSFET (IXFN210N30P3 [127]) von IXYS Corporation genutzt. Bei einer Maximalspannung von  $300 \text{ V}$  weist dieser einen etwas geringeren  $R_{DSOn}$  von  $14,5 \text{ m}\Omega$  und eine höhere Peakstromfähigkeit von bis zu  $550 \text{ A}$

<sup>6</sup>Siehe dazu z. B. <https://www.multi-circuit-boards.eu/leiterplatten-design-hilfe/oberflaeche/leiterbahn-kupferdicke.html>

<sup>7</sup><https://www.multi-circuit-boards.eu/leiterplatten-design-hilfe/oberflaeche/leiterbahn-strombelastbarkeit.html>

<sup>8</sup>Dies entspricht der Breite des Source-Anschlusses von HSOF-8-Gehäusen.

auf. Zudem führen die etwas geringeren Gate- und Drain-Source-Kapazitäten zu minimal kleineren Schaltverlusten.

### Treiberschaltung

Hauptanforderungen an die Treiberschaltung sind:

- Robustheit gegenüber elektromagnetischer Störung
- Parallelschaltbarkeit mit geringem zeitlichem Versatz von mehreren MOSFETs

**Robustheit** Durch die hochfrequenten Ströme mit Amplituden bis zu 6.000 A und die angestrebten Schaltzeiten der MOSFETs von unter 100 ns entstehen innerhalb des Systems hohe elektromagnetische Wechselfelder. Die Störanfälligkeit von elektronischen Schaltungen auf derartige EMFs ist insbesondere in Bereichen mit hoher Induktivität und im Kleinsignalebereich am größten.

Beim Aufbau der Treiberplatine wurde daher insbesondere auf Leitungsführungen mit geringen parasitären Induktivitäten geachtet – ohne kreisförmigen Verlauf, möglichst mit Anordnung von Hinleiter über Rückleiter und ohne spitze oder 90 °-Winkel. Der Bottom Layer – also der Layer, welcher direkt den MOSFETs zugewandt ist – wurde als Schirmung ohne jegliche Bauteile und mit möglichst wenigen Durchkontaktierungen ausgeführt. Die beiden Innenlagen der vierlagigen Platine wurden ebenfalls flächig ausgeführt und sind mit der negativen und positiven Versorgungsspannung verbunden, was einen zusätzlichen schirmenden Effekt erzeugt. Auf dem obersten Layer (TOP Layer) befinden sich alle Bauteile und die Signalleitungen.

Als MOSFET-Treiber wird der IXDN609SIA von der Firma IXYS Corporation (Silicon Valley, USA) verwendet. Dieser Treiber ist einer der wenigen am Markt verfügbaren Treiber, die sowohl einen hohen Strom von bis zu 9 A treiben als auch ziehen können. Damit ist es möglich, die MOSFETs mit einer ähnlichen Geschwindigkeit ein- und auszuschalten, ohne unterschiedliche Gate-Vorwiderstände verbauen zu müssen. Des Weiteren ermöglicht es dieser Treiber, eine bipolare Ansteuerung zu implementieren. Eine bipolare Ansteuerung hat den Vorteil, dass eine negative Spannung zwischen Gate und Source des MOSFET angelegt werden kann. Dadurch kann das Risiko eines ungewollten Einschaltens eines MOSFETs etwa durch parasitäre Effekte oder EMF minimiert werden. Der Treiber enthält zudem keinerlei Logikbausteine, Signalverarbeitung oder Potentialtrennung. Insbesondere eine Potentialtrennung ist anfällig für Störungen durch EMF, weshalb eine optische Potentialtrennung in dieser Anwendung zu bevorzugen ist.

Wie in allen modularen Multilevel-Systemen ist eine Potentialtrennung zwischen den einzelnen SM mit mindestens der maximalen Ausgangsspannung des Systems zwingend notwendig. Im Falle eines Magnetstimulators muss die Isolationsspannung somit mindestens 2500 V betragen. Eine Trennung zwischen High-Side- und Low-Side-MOSFET ist ebenfalls notwendig, allerdings nur in Höhe der SM-Spannung. Die Potentialtrennung zwischen den SMs und der zentralen Steuerung des Systems wird mittels Lichtwellenleiter (LWL) realisiert. Dabei wird jeder MOSFET-Treiber mittels einer separaten LWL



angesteuert. Durch die nicht elektrisch leitfähige Verbindung zwischen Leistungselektronik und Steuereinheit kann das System so aufgebaut werden, dass die Steuereinheit keinen von der Leistungselektronik ausgesendeten EMFs ausgesetzt ist. Für den folgenden Aufbau wurden LWL-Module der Firma Toshiba Corporation (Tokio, Japan) (TOTX1952 und TORX1952) verwendet.

**Parallelschaltung von MOSFETs** Eine synchrone Ansteuerung parallel geschalteter MOSFETs ist entscheidend, um eine symmetrische Aufteilung des Systemstroms beim Ein- und Ausschalten zu erreichen. Eine Abweichung der Schaltzeitpunkte von parallel verschalteten MOSFETs von mehr als einigen Nanosekunden kann bereits zu einer Zerstörung der früher einschaltenden bzw. später ausschaltenden MOSFETs führen. Der Einsatz der bereits erwähnten Lichtwellenleiter (TOTX1952 und TORX1952) für parallel verschaltete MOSFETs ist damit wegen einer laut Datenblatt aufgeführten Pulsweitenverzerrung von  $\pm 30 \text{ ns}$  ausgeschlossen <sup>9</sup>.

Eine synchrone Ansteuerung wird im Folgenden durch eine Master-Slave-Konfiguration erreicht. Dabei erhalten die Masterplatinen über bereits erwähnte Lichtwellenleiter die Steuersignale. Diese Signale werden auf der Masterplatine durch drei Leistungstreiber (SN74LVC1G125, Texas Instruments Inc., Dallas, USA) verstärkt. Ein Leitungstreiber versorgt dabei direkt den auf der Masterplatine befindlichen MOSFET-Treiber. Die beiden anderen versorgen die beiden auf per Steckverbinder verbundenen Slaveplatinen befindlichen MOSFETs-Treiber. Der modulare Aufbau ermöglicht somit einen Betrieb von einem bis drei parallel verschalteten MOSFETs. Die Master- und Slaveplatinen sind identisch und können als Master- oder Slaveplatinen bestückt werden.

## Kondensatoren

Dem Belastungsprofil eines EMMC-basierten Magnetstimulators kommen am ehesten die Belastungen für Impulskondensatoren nahe. Die dabei verwendeten metallisierten Folienkondensatoren mit Polypropylenen als Dielektrikum (MKP-Kondensatoren) weisen laut Datenblättern Peakstromfestigkeiten von mehreren tausend Ampere auf. Für einen Aufbau mit Kupferschienen ist eine Schraubmontage vorgesehen. Da hierfür keine entsprechenden MKP-Kondensatoren verfügbar sind, wurden von der Firma Shenzhen CRC New Energy Co. (Shenzhen, China) spezielle angefertigt. Dabei handelt es sich einerseits um 700 V-Kondensatoren mit  $100 \mu\text{F}$  und einer Peakstromfähigkeit von bis zu 1200 A bei einem Serienwiderstand von  $R_S = 3,5 \text{ m}\Omega$ . Andererseits wurden für die SMs mit geringerer Spannung Kondensatoren gleicher Bauform, aber mit 450 V,  $150 \mu\text{F}$ ,  $R_S = 3,0 \text{ m}\Omega$  und 1500 A angefertigt. Für den Magnetstimulator-Prototyp sind pro SM sechs Kondensatoren vorgesehen. Somit ergibt sich eine Gesamtkapazität von  $600 \mu\text{F}$  für die drei SMs mit höherer Spannung und  $900 \mu\text{F}$  bei den beiden kleineren SMs.

Bei der verwendeten Konfiguration mit sechs parallel verschalteten Kondensatoren ergibt sich eine maximale Peakstromfähigkeit von  $I_{CAP} = 6 * 1200 \text{ A} = 7200 \text{ A}$ . Dieser

<sup>9</sup>Ein Einsatz für unterschiedliche Halbbrückenschalter ist in Anbetracht einer angestrebten Schaltzeit zwischen  $50 \text{ ns}$  und  $100 \text{ ns}$  in Verbindung mit einer Totzeit zwischen zwei Verschaltungen von ca.  $100 \text{ ns}$  unproblematisch

Wert liegt somit theoretisch weit über der zu erwartenden Peakstromfähigkeit der verwendeten MOSFETs. Ein weiterer limitierender Faktor ist jedoch die thermische Belastbarkeit und somit der mittlere Strom bei repetitivem Betrieb des Stimulators. Wie in Kapitel 6.2 beschrieben liegt der maximale Effektivstrom für die angestrebten Pulsformen bei  $I_{eff} = 676 \text{ A}$ . Die maximalen Effektivströme für die Kondensatoren belaufen sich laut Datenblatt auf  $20 \text{ A}$  für die  $700 \text{ V}$ -Kondensatoren, respektive  $22 \text{ A}$  für die  $450 \text{ V}$ -Kondensatoren. Somit ergeben sich maximal zulässige Effektivströme für einen repetitiven Betrieb des Testsystems zu  $I_{eff}(CAP) = 6 * 20 \text{ A} = 120 \text{ A}$ . Um einen Dauerbetrieb mit voller Leistung gewährleisten zu können, wären folglich 34 Kondensatoren pro SM eines Seriengeräts vonnöten. Bei dem hier implementierten Laborprototyp kommen pro SM sechs Kondensatoren zum Einsatz, womit ein hochskaliertes Seriensystem mit den zuvor veranschlagten 20 parallel geschalteten MOSFETs bereits über 40 parallel geschaltete Kondensatoren verfügen würde. Hierbei ist zudem zu beachten, dass eine repetitive Stimulation in der Regel nur einige Sekunden bis Minuten<sup>10</sup> andauert und aktuelle Systeme bei maximal möglicher Frequenz nur mit stark reduzierter Leistung betrieben werden können. So ist etwa bei einem MagPro®R20 der Firma MagVenture GmbH (Willich, Deutschland) die maximale Pulsfrequenz von  $20 \text{ Hz}$  nur mit Reduktion der Leistung auf 35 % erreichbar.

### Spannungsversorgung

In EMMC-Systemen ist eine Versorgung des Hauptmoduls, also des SMs mit der höchsten Nennspannung, ausreichend zur Versorgung eines kompletten Umrichterarms. Die übrigen SM werden durch geeignete Verschaltung aus dem Hauptmodul oder der AC-Seite, je nach Leistungsfluss, versorgt. Bei einer Implementierung als Magnetstimulator kann dies ebenfalls in dieser Weise erfolgen. Um eine möglichst hohe Flexibilität zum Test verschiedener Szenarien zu gewährleisten, werden bei dem hier vorgestellten Aufbau jedoch alle SMs separat über regelbare Spannungsversorgungen gespeist.

Diese Spannungsversorgungen bestehen aus Trenntransformatoren mit vorgeschalteten Regeltransformatoren zur stufenlosen Regulierung der Ausgangsspannung. Am Ausgang der Trenntransformatoren sorgt ein Diodengleichrichter für die benötigte DC-Spannung. Die Versorgungen können getrennt abgeschaltet werden und bedingen durch die Diodengleichrichter keine merkliche Entladung der SMs-Kondensatoren. Die Isolationsspannung der Spannungsversorgung ist auf min.  $2500 \text{ V}$  ausgelegt. Die Spannungsversorgungen sind einzeln per mechanischem Trennschalter AC-seitig abschaltbar. Dies ermöglicht ein sicheres Abschalten der Versorgung, um etwa eine Versorgung des Umrichterarms über das Hauptmodul zu testen. Die maximale Leistung der einzelnen Versorgungen ist auf  $300 \text{ W}$  ausgelegt. Ein hochfrequenter Dauerbetrieb mit maximaler Stimulationsleistung ist somit nicht möglich, für den anvisierten Funktionsbeweis aber auch nicht notwendig.

Die Versorgung der Treiberschaltung erfolgt in MMC-basierten Systemen zumeist direkt per DC/DC-Wandler aus den SM-Kapazitäten oder per Bootstrap-Schaltung im Falle der High-Side-MOSFETs. Bei EMMC-Systemen ist dies zumeist nicht sehr sinnvoll. Einerseits bedingt der hohe Unterschied zwischen SM-Spannung und den für die

<sup>10</sup>Bei Studien zur Verträglichkeit, Sicherheit und Wirksamkeit von TMS bei Depressionen wird etwa bei [128] jeweils für zwei Sekunden stimuliert und zwanzig Sekunden pausiert.

Treiberschaltung benötigten Spannungen von 5 V für die Logikbauteile und ca. 15 V für die MOSFET-Treiber eine aufwendigere DC/DC-Implementierung. Durch die hohen Spannungsschwankungen der SM-Spannungen muss ein DC/DC-Wandler zudem einen weiten Eingangsspannungsbereich abdecken. Eine weitere Problematik stellt die Initialisierungsphase dar, in der die SM-Kondensatoren noch ungeladen sind und erst durch eine geeignete Verschaltung mit den Nachbarmodulen geladen werden können. In der vorliegenden Implementierung wird daher pro SM ein am Institut eigens entwickelter potentialgetrennter DC/DC-Wandler [24] eingesetzt, welcher fünf der sechs benötigten 15 V-Versorgungsspannungen generiert. Die sechste Spannung wird durch einen separaten potentialgetrennten DC/DC-Wandler (TMA1515S, Traco Power Co., Baar, Schweiz) bereitgestellt. Die beiden Low-Side-MOSFETs eines SM können durch eine gemeinsame Spannungsquelle versorgt werden, da deren Source-Anschlüsse auf demselben Potential liegen. Die beiden High-Side-MOSFETs müssen hingegen potentialgetrennt versorgt werden. Zusammen mit der bipolaren Versorgung mit  $\pm 15$  V ergibt sich somit die Notwendigkeit von sechs Versorgungsspannungen.

### 6.4.3 Anordnung

Für die Implementierung des EMMC-Prototyps wurde die in Tabelle 6.5 aufgelistete SM-Aufteilung verwendet.

Tabelle 6.5: Implementierung des EMMC-Prototyps

	Spannung	MOSFET (3 parallel)	Kondensatoren (6 parallel)	Kapazität
SM1	125 V	IXFN210N30P3	MKP-FC157K450V	900 $\mu F$
SM2	250 V	IXFN150N65X2	MKP-FC157K450V	900 $\mu F$
SM3	500 V	IXFN150N65X2	MKP-FC107K700V	600 $\mu F$
SM4	500 V	IXFN150N65X2	MKP-FC107K700V	600 $\mu F$
SM5	500 V	IXFN150N65X2	MKP-FC107K700V	600 $\mu F$
Gesamt	1875 V	–	–	–

Abbildung 6.9 zeigt den Aufbau einer Master-Vollbrücke. Die ISOTOP-MOSFETs einer Halbbrücke sind hierbei nebeneinander angeordnet. High-Side- und Low-Side-MOSFETs der ersten Halbbrücke (HS1 und LS1) und die beiden MOSFETs der zweiten Halbbrücke (HS2 und LS2) sind jeweils übereinander angeordnet. Die Verbindung zu den Kondensatoren wird über Kupferwinkel hergestellt und die Verbindung zwischen den parallel verbundenen Kondensatoren untereinander über zwei Kupferschienen.

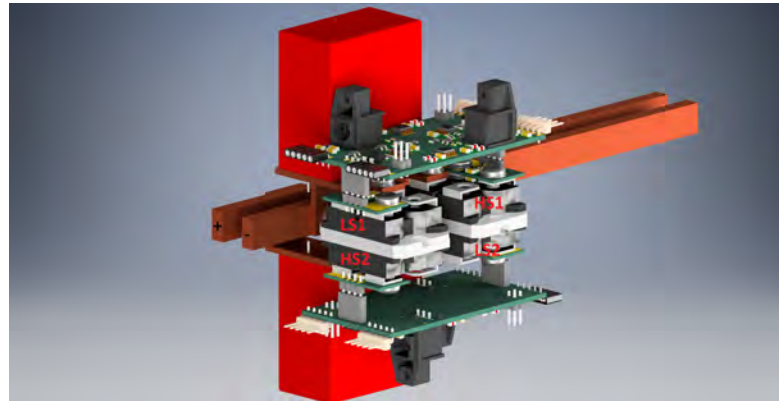


Abbildung 6.9: 3D-Zeichnung eines EMMC-Master-Vollbrücken-SMs mit vier ISOTOP-MOSFETs

Durch diese Anordnung ist eine niederinduktive Verbindung der beiden MOSFETs einer Halbbrücke zueinander und zu der Halbbrücke des folgenden SMs möglich. Wie in Abbildung 6.10 anhand von zwei SMs mit jeweils drei parallel geschalteten MOSFETs ersichtlich, wird die Parallelschaltung der Halbbrücken mittels einer weiteren Kupferschiene zwischen den SMs hergestellt.

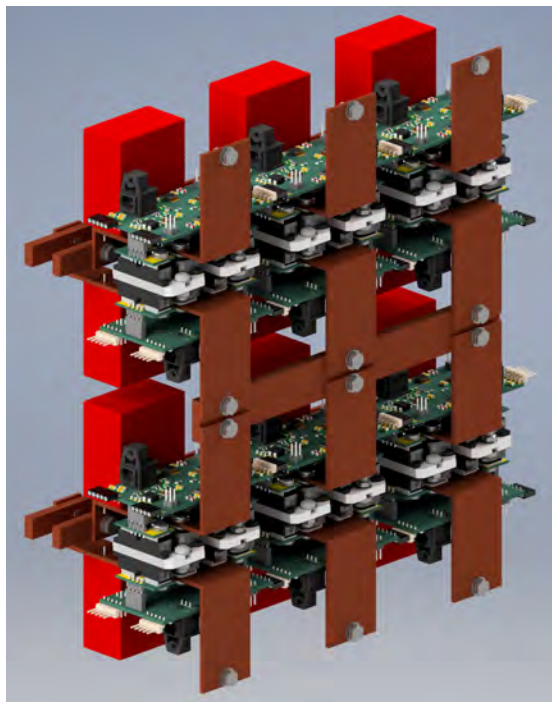


Abbildung 6.10: 3D-Zeichnung eines EMMC-Master-Vollbrücken-SMs mit vier ISOTOP-MOSFETs

Zur Verbindung der Treiberschaltung mit den MOSFETs wird eine kleine mit einer Pinleiste versehene Platine an den Gate- und Source-Anschluss des MOSFETs angeschraubt.

An diese Pinleisten werden jeweils die Halbbrücken-Treiberschaltungen gesteckt. Wie erwähnt handelt es sich bei dem Aufbau der Treiberschaltungen um ein Master-Slave-System. Die Verbindung der beiden äußeren Slaves zum in der Mitte befindlichen Master erfolgt ebenfalls über Pinleisten.

Um einen möglichst niederinduktiven Strompfad zwischen den beiden Anschlüssen der Spule zu erhalten, wurde eine „U“-förmige Anordnung, wie in Abbildung 6.11 dargestellt, gewählt. Die Stromrichtung zwischen den nahe beieinander befindlichen Verbindungen zwischen den SMs ist hierbei entgegengesetzt.

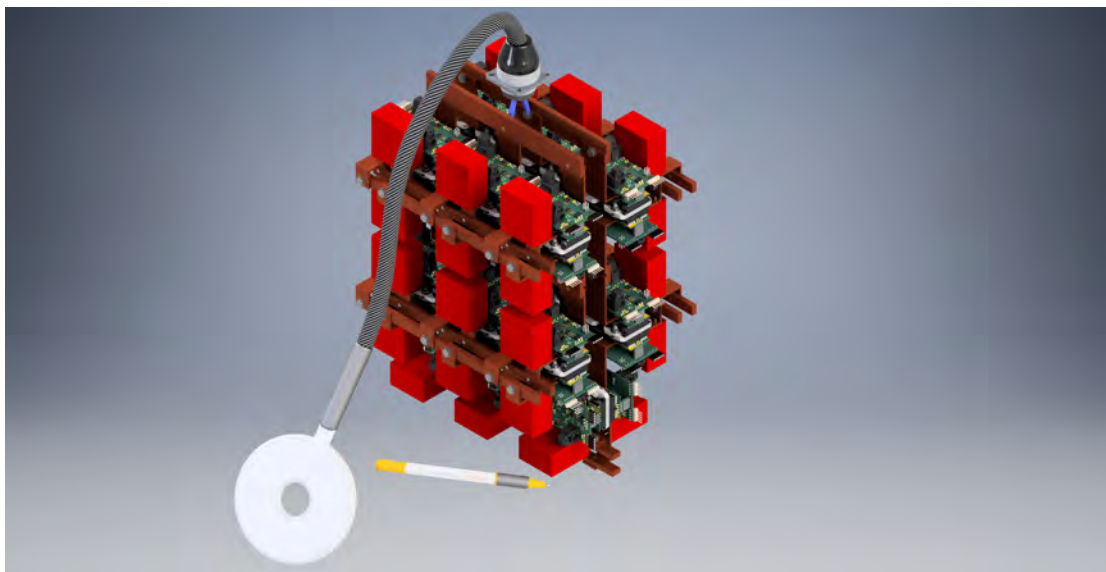


Abbildung 6.11: 3D-Zeichnung eines EMMC-Master-Vollbrücken-SMs mit vier ISOTOP-MOSFETs

Die Steuerung des Laborprototyps erfolgt über einen digitalen Funktionsgenerator (ArbStudio Arbitrary Waveform Generator 1104D, Teledyne LeCroy, New York, USA), welcher über LWL-Sender mit den einzelnen Masterplatinen verbunden ist. Es handelt sich hierbei um keine Regelung, sondern um eine reine Steuerung, da dies für den hier angestrebten Funktionsbeweis ausreichend ist.

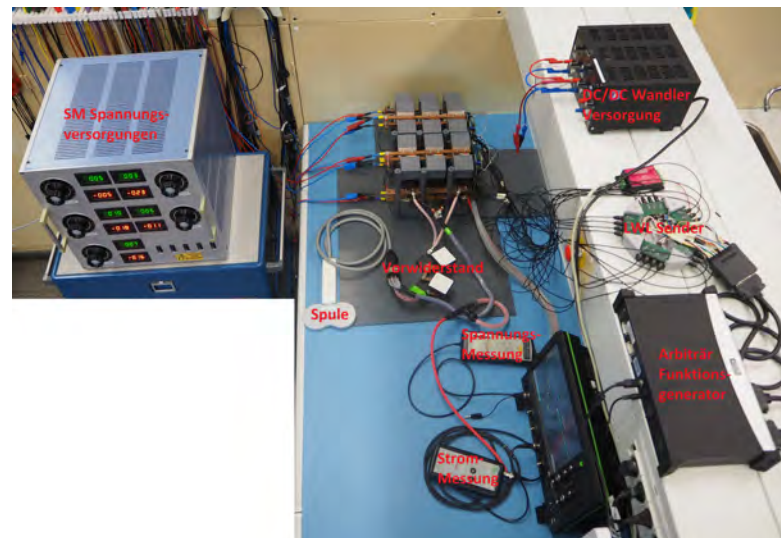


Abbildung 6.12: Messaufbau eines EMMC-Stimulator-Prototyps

#### 6.4.4 Messungen

##### Messgeräte

Alle Messungen wurden an einem HDO6104-Oszilloskop von Teledyne LeCroy (New York, USA) durchgeführt. Für die Spannungsmessungen wurden BumbleBee® Differential HV-Tastköpfe (PMK Mess- und Kommunikationstechnik GmbH, Bad Soden, Deutschland) verwendet. Zur Strommessung kamen Rogowski Stromschleifen (CWT15, Power Electronic Measurements Ltd., Nottingham, UK) zum Einsatz.

##### Strombelastbarkeit der MOSFETs

Um die Strombelastbarkeit der IXFN150N65X2-650V-MOSFETs zu testen, wurde eine rein ohmsche Last an den beiden Halbbrücken eines SMs-Mastermoduls, ohne die beiden Slavemodule, angeschlossen und ein kurzer Strompuls mit einer Dauer von  $2,5 \mu\text{s}$  durch Schalten einer Halbbrücke generiert. Die Abbildungen 6.13 und 6.14 zeigen die Drain-Source-Spannungen der schaltenden MOSFETs, wobei C1 der Spannung am High-Side- und C2 am Low-Side-MOSFET entspricht. C4 zeigt den Stromfluss durch den Widerstand. Für die Messung aus Abbildung 6.13 wurden zwei parallel verschaltete Ein-Ohm-Widerstände verwendet. Für die Messung aus Abbildung 6.14 wurde der Lastwiderstand, durch einen zusätzlichen dritten parallel geschalteten Ein-Ohm-Widerstand, von  $0,5 \Omega$  auf  $0,3 \Omega$  verringert.

Die zweite Messung zeigt, dass der Strom durch die strombedingte Erhöhung der  $R_{DS(on)}$ -Werte der leitenden MOSFETs auf  $630,5 \text{ A}$  begrenzt wird. Der Anstieg der MOSFET-Widerstände ist gut anhand des erhöhten Spannungsabfalls am durchgeschalteten High-

Side-MOSFET (C1) zu erkennen. Die thermische Belastung der MOSFETs steigt durch den stark erhöhten Innenwiderstand bei hohem Strom stark an.

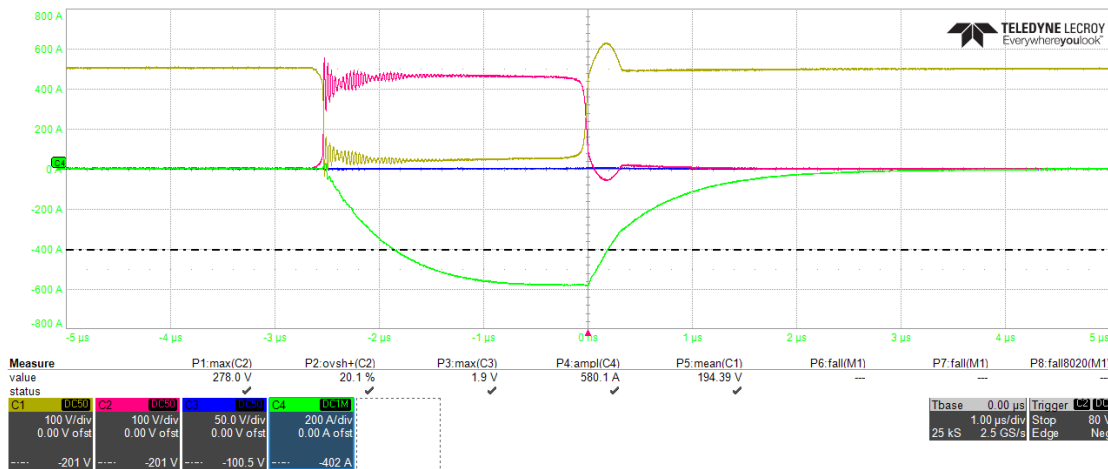


Abbildung 6.13: Drain-Source-Spannungen am High-Side(C1)- und Low-Side(C2)-MOSFET und Strom durch den Lastwiderstand (C4), bei Bestromung einer Last von  $0,5 \Omega$  durch kurzzeitiges Parallelschalten des SM-Kondensators mit der Last

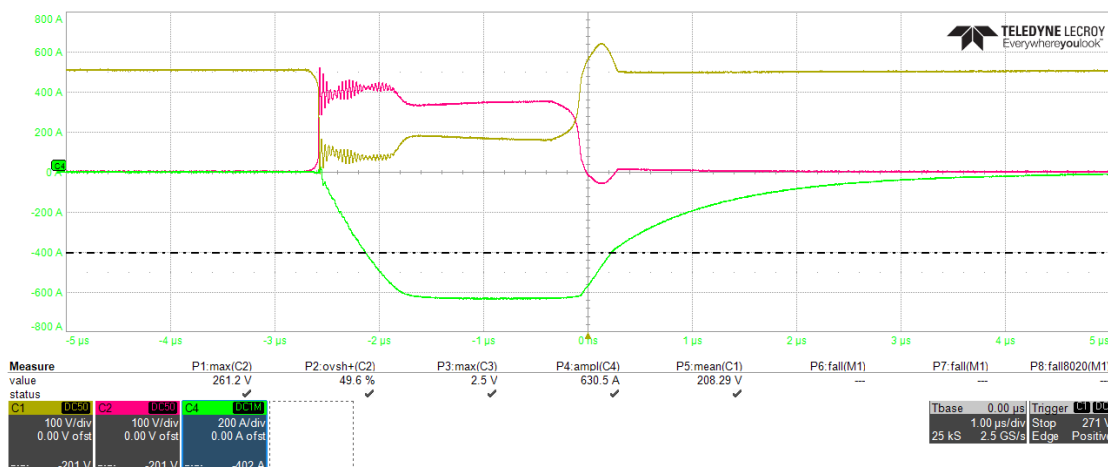


Abbildung 6.14: Drain-Source-Spannungen am High-Side(C1)- und Low-Side(C2)-MOSFET und Strom durch den Lastwiderstand (C4), bei Bestromung einer Last von  $0,3 \Omega$  durch kurzzeitiges Parallelschalten des SM-Kondensators mit der Last

Die Messungen zeigen, dass ein Überschreiten der maximalen im Datenblatt angegebenen Stromwerte bis etwa  $600 \text{ A}$  ohne nennenswerte Erhöhung der MOSFET- $R_{DS(on)}$ -Werte möglich ist. Zudem zeigte sich allerdings in den Tests eine erhöhte Ausfallrate beim Abschalten der MOSFETs bei hohen Strömen. Die Stromstärke hat wie in Kapitel 5.1.1 erläutert einen hohen Einfluss auf die Reverse-Recovery-Verluste. So scheinen eine Verdopplung des Stroms im Vergleich zu den im Datenblatt angegebenen Grenzwerten und die damit weiter erhöhten Reverse-Recovery-Verluste ursächlich für die häufigeren Ausfälle zu sein, zumal diese im Vergleich zu Implementierungen mit Niederspannungs-MOSFETs bereits innerhalb der Spezifikationen kritisch zu sein scheinen. Dieser Effekt und der ge-

nerelle Einfluss eines Überschreitens der im Datenblatt angegebenen Grenzwerte sollten im Detail untersucht werden, bevor eine konkrete Auslegung eines weiteren EMMC-Prototyps auf Basis von Hochspannungs-MOSFETs stattfindet. Generell sei nochmals erwähnt, dass die Body-Dioden-bedingten Verluste von Hochspannungs-Si-MOSFET im Vergleich zu den Body-Dioden-Verlusten von SiC-MOSFET viel höher ausfallen. Vom Einsatz von Si-MOSFET in Systemen mit intensivem Gebrauch der Body-Dioden, wie dies in EMMC-Systemen der Fall ist, wird daher abgeraten. Für den angestrebten Funktionsbeweis des EMMC-Prinzips scheinen die 650 V-Si-MOSFETs jedoch ausreichend zu sein.

### Parallelschaltung von MOSFETs

Wie zuvor erwähnt ist eine synchrone Ansteuerung der parallel geschalteten MOSFETs entscheidend für eine gleichmäßige Aufteilung des Systemstroms auf alle drei parallel geschalteten MOSFETs. Abbildung 6.15 zeigt die Abweichungen der Gate-Source-Spannungen am Ausgang der Treiber, welche je mit einem  $33 \Omega$ -Gate-Vorwiderstand versehen sind. Kanal 1 zeigt die Gate-Source-Spannung am Ausgang des MOSFET-Treibers der Masterplatine und die Kanäle 2 und 3 entsprechend die Spannungen am Ausgang der Treiber auf den Slaveplatinen. Abbildung 6.16 stellt die Spannungen an zwei LWL-Empfängern dar. Beide Messungen zeigen maximale Abweichung der Signale von etwa  $1,2 \text{ ns}$ . Die für die Messungen verwendeten BumbleBee® Differential Tastköpfe weisen eine Anstiegszeit von  $1,2 \text{ ns}$  und bei der eingestellten 50-zu-1-Teilung eine Bandbreite von  $300 \text{ MHz}$  auf. Die ermittelten Abweichungen von  $1,2 \text{ ns}$  zwischen zwei Signalen können somit nicht als konkrete Abweichungen verstanden werden, sondern zeigen nur, dass die Abweichungen im unteren einstelligen Nanosekundenbereich liegen. Aus der in den Datenblätter angegeben "Forward-Bias Safe Operation Area"halten die verwendeten MOSFETs dem vollen Nennstrom bei voller Spannung für ca. ein bis zwei Microsekunden stand. Bei einer anvisierten Schaltzeit von etwa  $50 \text{ ns}$  ist die verwendete Elektronik-Auslegung ausreichend schnell und genau. Eine genauere Messung konnte auf Grund fehlender messtechnischer Ausrüstung nicht erfolgen.

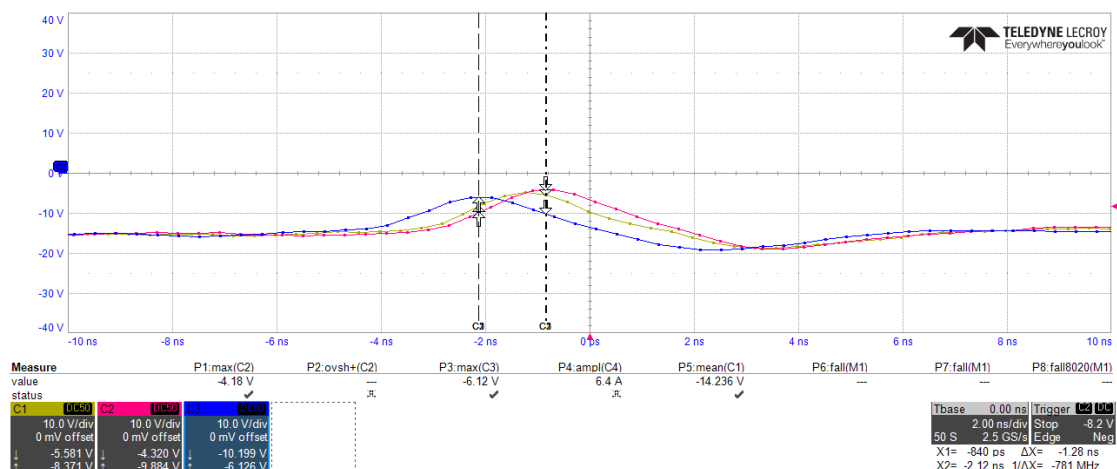


Abbildung 6.15: Schaltverzögerung zwischen Master und Slave



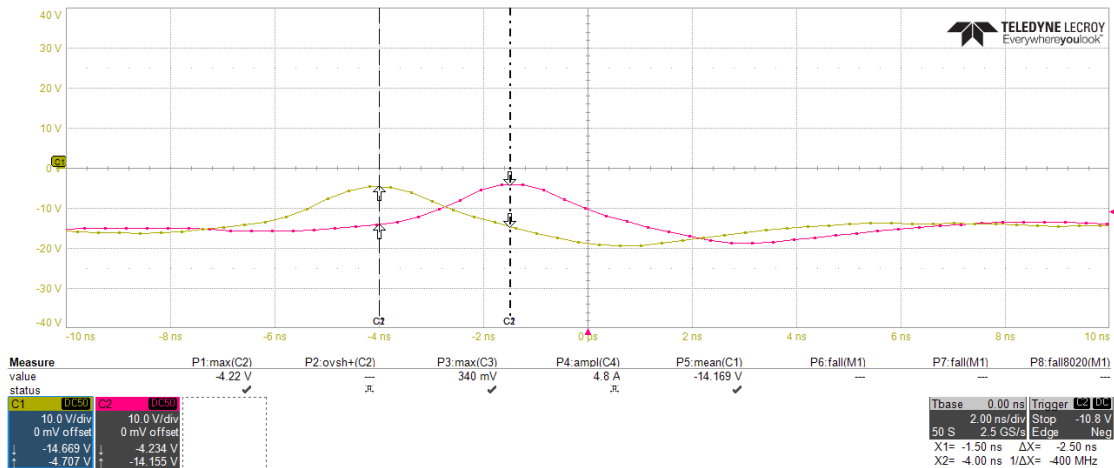


Abbildung 6.16: Schaltverzögerung zwischen zwei LWL-Ausgängen

### Energietransfer zwischen den einzelnen SMs

Abbildung 6.17 zeigt die Ausgangsspannung (C2) über einen 100 Ω-Widerstand. Die Spannung wird hierbei im ersten Abschnitt (zwischen etwa  $-200 \mu\text{s}$  und  $-100 \mu\text{s}$ ) allein durch SM1 erzeugt. C4 zeigt die Drain-Source-Spannung über den hierbei sperrenden Low-Side-MOSFET von SM1. Im zweiten Abschnitt wird SM1 negativ zur Last verschaltet und SM2 positiv, womit die resultierende Ausgangsspannung konstant bei  $U_{out} = U_{SM2} - U_{SM1} = U_{SM1}$  bleibt. C3 entspricht der Drain-Source-Spannung über den hierbei sperrenden Low-Side-MOSFET von SM2. Im dritten Abschnitt wird SM3 positiv und SM1 und SM2 werden jeweils negativ zur Last verschaltet ( $U_{out} = U_{SM3} - U_{SM2} - U_{SM1} = U_{SM1}$ ). C1 zeigt die Drain-Source-Spannung über den hierbei sperrenden Low-Side-MOSFET von SM3. Die vierte Möglichkeit diese Spannung zu erzeugen stellt schließlich eine positive Verschaltung von SM4 und SM5 zur Last mit einer negativen Verschaltung der übrigen SMs dar ( $U_{out} = U_{SM5} + U_{SM4} - U_{SM3} - U_{SM2} - U_{SM1} = U_{SM1}$ ).

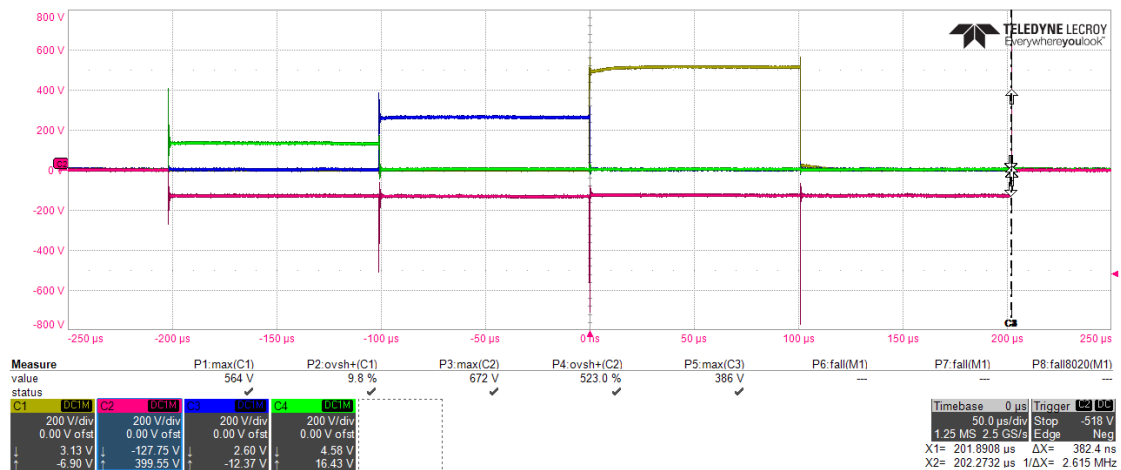


Abbildung 6.17: DC-Spannung über einen  $100 \Omega$ -Widerstand (C2) durch unterschiedliche Verschaltungen der SMs zueinander (1. +SM1, 2.+SM2-SM1, 3. +SM3-SM2-SM1, 4. +SM5+SM4-SM3-SM2-SM1)

Um das Laden und Entladen der SM-Kondensatoren zu zeigen, wurde für die beiden Messungen in den Abbildungen 6.18 und 6.19 der Lastwiderstand auf  $5 \Omega$  reduziert und die externen SM-Spannungsquellen wurden abgeschaltet. Abbildung 6.18 zeigt die Abhängigkeit der Ausgangsspannung (C1) von der Verschaltung der SM4 und SM5 und deren Kondensatorspannungen (C2 entspricht der Spannung des Kondensators von SM4 und C3 der von SM5). Im ersten Abschnitt (ab  $0 \text{ s}$ ) wird die Ausgangsspannung allein durch SM4 erzeugt, womit die Spannungen am Kondensator von SM4 und über die Last sinken. Mit sinkender Spannung sinkt folglich auch der Laststrom (C4). Nach  $400 \mu\text{s}$  wird SM5 positiv zur Last verschaltet und SM4 negativ, womit der Kondensator von SM4 geladen und der von SM5 entladen wird. Die Spannung über der Last sinkt hierbei wiederum, durch die auftretenden Verluste im Gesamtsystem. Die beiden letzten Abschnitte stellen Wiederholungen der beiden ersten dar.

Die Versorgung eines EMMC-basierten Magnetstimulators kann wie erwähnt allein über das SM mit der höchsten Spannung erfolgen, ähnlich wie in einem EMMC-basierten Umrichtersystem. In der Initialisierungsphase oder für ein Nachladen zwischen zwei Stimulationspulsen können SMs mit niedrigerer Sollspannung etwa mittels eines PWM geladen werden. Abbildung 6.19 zeigt eine derartige Lade-prozedur anhand SM4 und SM5. Die Ausgangsspannung ist wiederum auf C1 und die Spannungen der SM-Kondensatoren auf C2 für SM4 und C3 für SM5. Der Strom durch den  $5 \Omega$ -Widerstand entspricht C4. Das Laden erfolgt hierbei durch einen PWM mit Duty-Cycle von 50 % zwischen Bypass aller SMs und positiver Verschaltung von SM5 bei negativ geschalteten SM4.

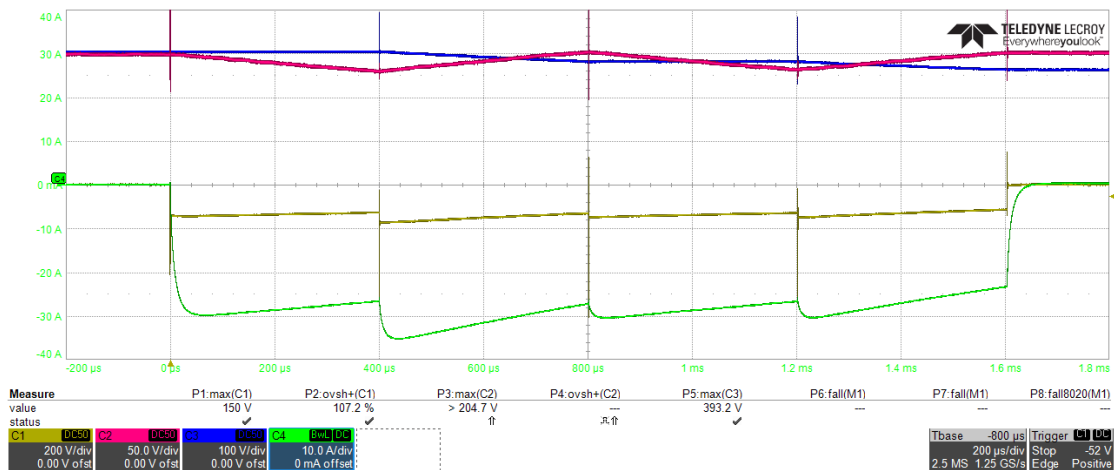


Abbildung 6.18: Lade und Entladeverhalten der SM Kondensatoren: Verhalten im Umrichterbetrieb; Ausgangsspannung (C1) in Abhängigkeit von der Kondensatorspannung von SM4 (C2) und SM5 (C3)

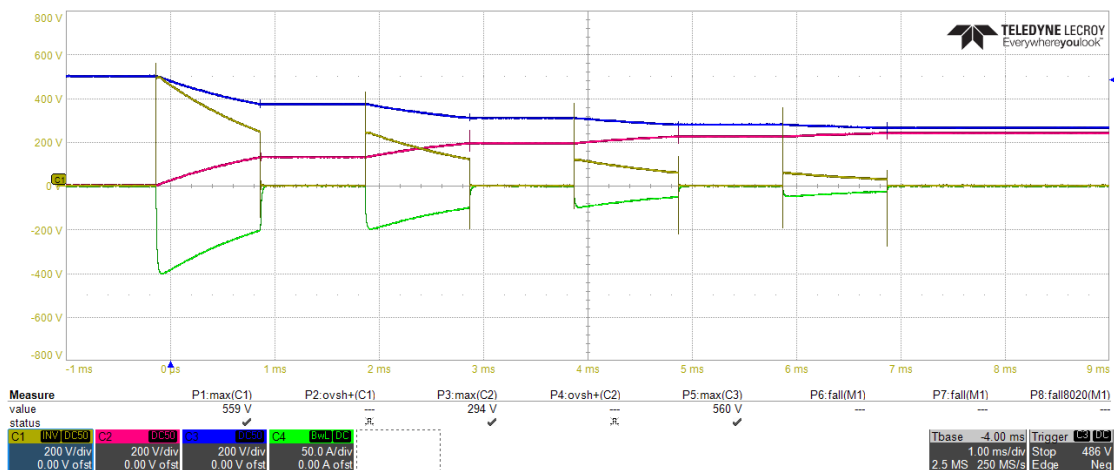


Abbildung 6.19: Lade und Entladeverhalten der SM Kondensatoren: initiales Ladeverfahren; Ausgangsspannung (C1) in Abhängigkeit von der Kondensatorspannung von SM4 (C2) und SM5 (C3)

## Strompuls

Abbildung 6.20 zeigt den aus einer Sinusspannung (C1) resultierenden Laststrom (C4) durch einen  $10 \Omega$ -Widerstand. Anhand dieser Messung sind die teilweise sehr hohen Spannungseinbrüche beim Wechseln zwischen zwei Spannungsstufen gut zu erkennen. Wie erwähnt treten diese Einbrüche auf, wenn mehrere SMs ihren Schaltzustand gleichzeitig ändern. Wie zu erkennen sinkt bei einer Änderung der Schaltzustände von allen aktiven SMs die Ausgangsspannung kurzzeitig auf bis zu  $0 \text{ V}$  ab. Die Zeitdauer dieser Spannungseinbrüche ist durch die Totzeit definiert und beträgt im vorliegenden Fall  $200 \text{ ns}$ .

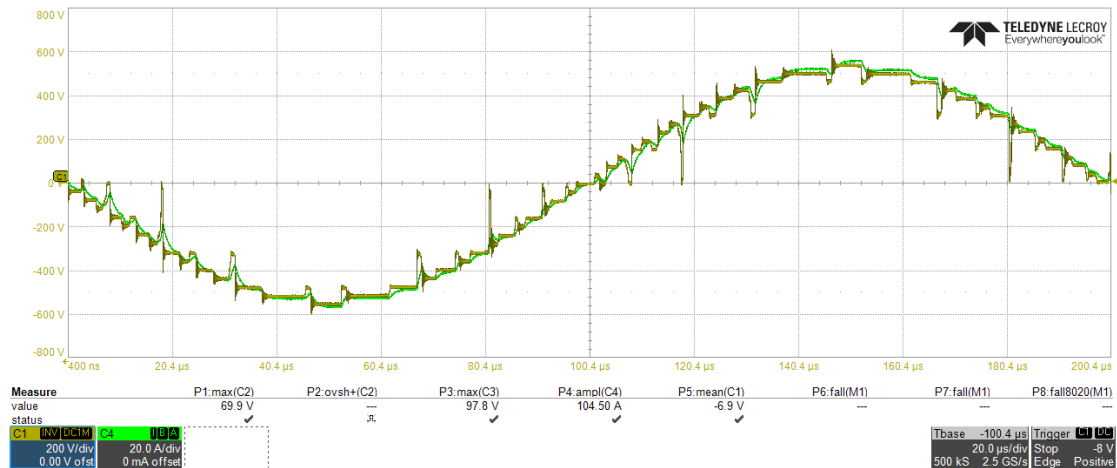


Abbildung 6.20: Sinusspannung über einem  $10 \Omega$ -Widerstand (C1) und der resultierende Laststrom (C4)

Die nächste Abbildung (6.21) zeigt den resultierenden Spulenstrom (C1) bei einer Sinusspannung (C2) mit einer Amplitude von bis zu  $\pm 1250 \text{ V}$  über der zuvor verwendeten Spule in Serie zu  $100 \Omega$ . C3 und C4 zeigen die Spannungen an zwei SM-Kondensatoren.

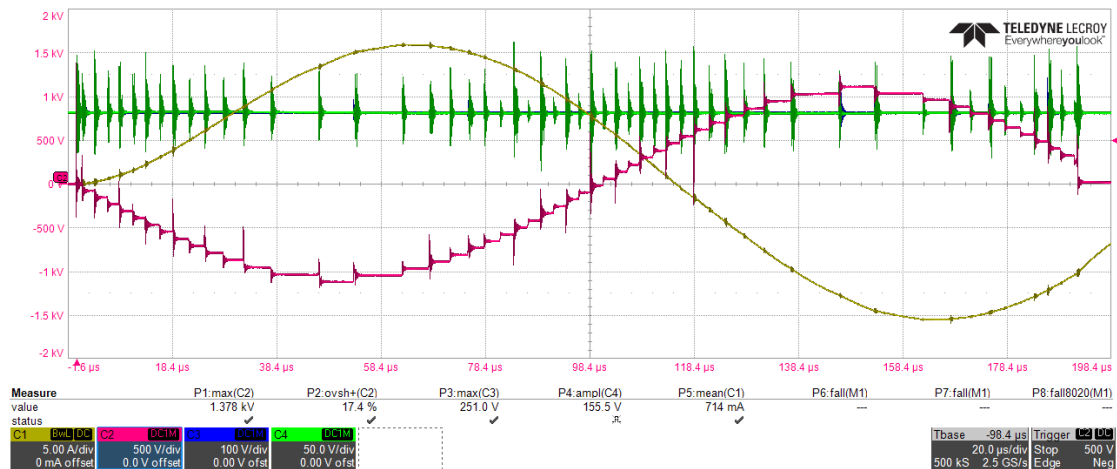


Abbildung 6.21: Sinusspannung über eine Stimulationspule ( $18,5 \mu\text{H}$ ) in Serie zu einem  $100 \Omega$ -Widerstand (C2) und der resultierende Spulenstrom (C1) und die Spannungen an zwei SM-Kondensatoren (C3 und C4)

Ein Spulenstrompuls mit höherer Stromstärke ist in Abbildung 6.22 dargestellt. Aus der Spannungsform (C1) resultiert ein positiver Spulenstrom ohne negative Werte. Der kurze negative Spannungspuls am Ende der gezeigten Aufnahme kann dazu verwendet werden, den Spulenstrom auf null Ampere oder wie im vorliegenden Fall auf negative Werte zu ziehen.

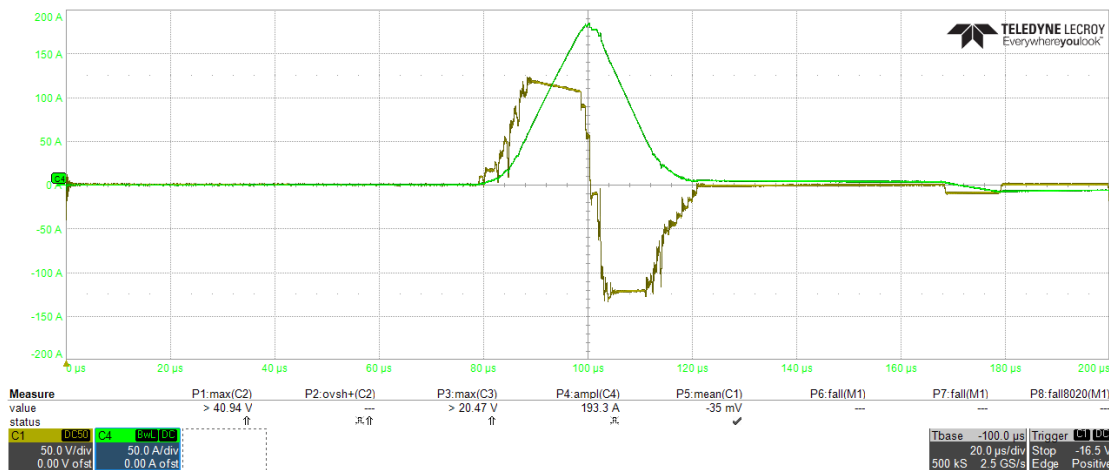


Abbildung 6.22: Spannung über eine Stimulationsspule ( $18,5 \mu H$ ) in Serie zu einem  $10 \Omega$ -Widerstand (C1) und der resultierende Spulenstromimpuls (C4)

## 6.5 Zusammenfassung

Anhand des erstellten Prototyps konnte gezeigt werden, dass das Grundprinzip des EMMC funktioniert und grundsätzlich zum Aufbau eines Magnetstimulators verwendet werden kann. Der Energietransfer zwischen den SMs-Kondensatoren ist während der Inbetriebnahme und zwischen zwei Stimulationspulsen möglich. Auch während der Pulsabgabe ist ein Energietransfer zwischen den SMs grundsätzlich möglich. Der Aufbau eines EMMC-basierten Magnetstimulators mit nur einem extern versorgten SM ist somit technisch realisierbar.

Beim Umschalten zwischen zwei Spannungsstufen treten allerdings hohe Spannungsrippel auf. Die Auswirkungen dieser Spannungsrippel auf die zu stimulierenden Nerven sollten in klinischen Studien überprüft werden. Durch die kurze Zeitdauer dieser überlagerten Spannungsrippel von unter  $200 \text{ ns}$  und die im Vergleich dazu recht träge Reaktion von Nervenzellen scheint eine Auswirkung auf das Nervengewebe jedoch eher unwahrscheinlich.

Ebenso wurde gezeigt, dass beliebige Stromformen mit akzeptablem Stromrippel erzeugt werden können. Somit können neben den bereits mit aktuellen Magnetstimulatoren applizierbaren Halb- und Vollwellen beinahe beliebige Pulsformen erzeugt werden. Die Erforschung einer physiologisch und elektrisch optimalen Pulsform ist hiermit möglich.

Die verwendeten Si-MOSFETs weisen prinzipiell eine hohe Überstromfestigkeit auf. Allerdings stellte sich in den Tests heraus, dass aufgrund der hohen Reverse-Recovery-Ladung der Body-Dioden hohe Verluste auftreten, welche zur Zerstörung der MOSFETs bei hohen Strömen führen. Ein Betrieb mit hohen Strömen an induktiven Lasten ist somit mit den verwendeten Si-MOSFETs nicht möglich, weshalb nur Messungen mit geringem Strom oder rein resistiver Last gezeigt wurden. Mittlerweile sind Si-MOSFETs mit besserer Body-Dioden-Charakteristik verfügbar, deren Einsatz für einen Magnetsti-

mulator in Betracht gezogen werden kann. Alternativ ist der Einsatz von SiC-MOSFETs mit ihrer hervorragenden Body-Dioden-Charakteristik und kurzen Schaltzeiten aus technischer Sicht aktuell die beste Wahl, für SMs mit hoher Spannung.

Allgemein kann festgehalten werden, dass der EMMC eine vielversprechende Technologie für den Aufbau von TMS-Systemen darstellt. Insbesondere die Flexibilität hinsichtlich erzeugbarer Pulsformen wie auch deren geringe THD stellen einen hohen Mehrwert einer derartigen Implementierung im Vergleich zu herkömmlichen Systemen dar. Im Vergleich zu anderen Multilevel-Umrichter-Topologien ermöglicht die EMMC-Topologie eine starke Reduktion der Anzahl an SMs, was die Portabilität erhöht und die Gerätekosten prinzipiell senken kann.

Der unterschiedliche Aufbau der einzelnen SMs mit unterschiedlichen Spannungsleveln erhöht jedoch den Entwicklungsaufwand für die individuellen SM. Die stark reduzierte Zahl an benötigten SMs senkt aber gleichzeitig den Aufwand und die Anforderungen an die Regelung und die Kommunikation mit den SMs.

Aus technischer Sicht scheint somit die EMMC-Technologie für diesen Anwendungsfall vorteilhaft zu sein, jedoch sollte in klinischen Tests der Einfluss der erwähnten hochfrequenten Spannungsüberwellen untersucht werden.

---

## 7 Umrichter für Energiespeicheranwendungen

### 7.1 Einführung zu Energiespeichersystemen

#### 7.1.1 Batteriesysteme

In den letzten Jahrzehnten haben viele Länder ihre Energiestrukturen erheblich verändert. Fossile Ressourcen werden zunehmend durch erneuerbare Energien ersetzt. Einer der Hauptgründe für diesen Wandel ist die Forderung nach einer zuverlässigen und umweltfreundlichen Stromerzeugung aus erneuerbaren Energien. So können Kohlendioxidemissionen reduziert und wichtige Ressourcen für spätere Generationen nachhaltig gesichert werden. [129] Unter den verschiedenen erneuerbaren Energiesystemen sind Windturbinen- und PV-Systemtechnologien nach wie vor die vielversprechendsten Technologien, auf die ein Großteil der Erzeugung durch erneuerbare Energien entfällt. Der Anteil an erneuerbaren Energien wird mit hoher Wahrscheinlichkeit weiter zunehmen, so machten diese beispielsweise im Jahr 2020 45% der deutschen Stromerzeugung aus. [130]

Die zunehmende Verwendung von erneuerbaren Energiequellen ist jedoch, durch deren hohe wetterbedingte Schwankungen, mit großen Herausforderungen verbunden. Die daraus resultierende Volatilität kann durch Kombination unterschiedlicher Energiequellen ergänzt durch Geothermie- und Wasserkraftwerke ausgeglichen werden. Diese haben ein ausreichendes Potential zur Energiespeicherung und Lastverschiebung. [131] Zudem können Schwankungen durch einen überregionalen und weiträumigen Energieaustausch ausgeglichen werden, der jedoch erhebliche Investitionen für leistungsfähige Übertragungsnetze erfordert, oder durch eine zeitliche Lastverteilung, die eine Energiezwischen-speicherung nötig macht. [132] Letzteres hat sich als wirksames Werkzeug für verschiedene Anwendungen erwiesen, die von Energiespeichersystemen für Privathaushalte [133] bis hin zu Versorgungsnetzen der Nieder-, Mittel- und Hochspannungsebene reichen [134], [135].

Gleichzeitig stärken die technologischen Fortschritte der Batteriespeichersysteme deren Wettbewerbsfähigkeit gegenüber Pumpspeicher-Wasserkraftwerken, da sie nicht an geografische Beschränkungen gebunden sind [136]. Technologiesprünge hinsichtlich Energiedichte und Kosten erhöhen die Wettbewerbsfähigkeit von Batteriespeichersystemen nicht nur in stationären [137], sondern auch in mobilen Anwendungen.

Gerade der Transportsektor, welcher gegenwärtig mehr als 26% der gesamten Kohlendioxidemissionen in der Europäischen Union verursacht, ist von hoher Bedeutung für den

Ausstieg aus fossilen Energiequellen [138]. Die Elektromobilität kann hierbei zur Reduzierung von Umweltbelastungen und Treibhausgasemissionen beitragen. Die elektrische Antriebstechnik ermöglicht mit ihrem Wirkungsgrad und Energiespeicherpotential eine nachhaltige emissionsfreie Mobilität.

Die derzeitige Marktdurchdringung von Elektrofahrzeugen bleibt jedoch aktuell hinter den Erwartungen und staatlichen Zielen zurück. Die Hauptgründe hierfür sind [139]:

- Höhere Gesamtkosten im Vergleich zu benzinbetriebenen Autos
- Geringe Reichweite
- Fehlende flächendeckende (Schnell-)Ladeinfrastruktur

In Bezug auf die Ladetechnologie erfordern die oben genannten Anforderungen bidirektionale und leistungsstarke Ladesysteme. EV-Batterieladegeräte können mit unidirektionalem oder bidirektionalem Stromfluss in On-Board- und Off-Board-Ladegeräte unterteilt werden. Während unidirektionales Laden die Hardwareanforderungen senkt [140], unterstützen bidirektionale Ladesysteme die Energieeinspeisung zurück in das Netz und können somit zur Entlastung der Netze beitragen [141]. Bestehende Leistungselektroniken können diese Anforderungen bei vertretbaren Kosten, Gewichten oder Gehäuseabmessungen kaum erfüllen, ohne die Lebensdauer des Batteriespeichersystems des Elektrofahrzeugs zu beeinträchtigen [142].

Die begrenzte elektrische Reichweite wird bedingt durch die geringe Energiedichte und das hohe Gewicht des Batteriesystems sowie die Batterie-, Motor- und Wandlerverluste. Darüber hinaus ist das Laden entweder langsam oder verkürzt die Lebensdauer der verwendeten Sekundärzellen. Generell ist das Laden des Energiespeichers auf Grund der Batterieverluste und nachteiliger Ladetopologien mit mehreren zwischengeschalteten Spannungswandlern relativ ineffizient [142], [143]. Bis zu 11% der Energie gehen durch ineffiziente Umrichter verloren. Im Gegensatz dazu betragen die Ladeverluste der Batterie 1% – 7%, abhängig von verschiedenen Bedingungen wie Ladestrom, Ladezustand und Temperatur [144]–[146].

Um diese Herausforderungen zu meistern, ist eine flexible und einfache EV-Systemarchitektur und Ladegerät-Topologie wünschenswert. Zudem wäre eine Technologie, welche sowohl im stationären als auch im mobilen Bereich anwendbar ist, von Vorteil, da damit die allgemeine Marktdurchdringung gesteigert würde. Eine einfachere Zweitverwertung von Batteriesystemen, welche nicht oder nicht mehr die Anforderungen der Automobilindustrie erfüllen, würde ebenfalls zu einer allgemeinen Senkung der Betriebskosten durch erweiterte bzw. verlängerte Einsetzbarkeit führen.

### 7.1.2 Stand der Technik – Batteriespeichersysteme

Aktuelle Batteriespeichersysteme (BESS) bestehen zumeist aus mehreren in Reihe geschalteten Batteriemodulen. Die Batteriemodule sind wiederum aus mehreren in Reihe und/oder in Serie verschalteten Sekundärzellen aufgebaut. Die Reihenschaltung dient hierbei zur Erhöhung der Systemspannung und die Parallelschaltung zur Erhöhung der



Kapazität (siehe Abbildung 7.1). [57] Die chemischen und physikalischen Eigenschaften der einzelnen Sekundärzellen variieren fertigungsbedingt teils stark. Trotz abnehmender Fertigungstoleranzen betragen die Standardabweichungen für den Gewichtsanteil des aktiven Materials etwa  $\pm 0,1\%$  und  $\pm 1\%$  für Elektrodendicke und -dichte. 10% bis 20% Abweichung in den Kapazitäten und Widerständen sind typisch. [147]

Gleichzeitig driften die Parameter der Sekundärzellen im Betrieb kontinuierlich auseinander. Grund hierfür sind Temperaturgradienten innerhalb der Batteriemodule sowie geringfügig abweichende Lastverläufe durch Fertigungstoleranzen und Widerstandsschwankungen. [148] Um ein thermisches Auseinanderlaufen der Sekundärzellen zu vermeiden und die nutzbare Kapazität und Lebensdauer des gesamten Batteriespeichers zu erhöhen, ist ein BMS erforderlich, welches die SOC der Sekundärzellen ausbalanciert [109]. BMS stellen zudem sicher, dass die Sekundärzellen nicht über ihre Grenzwerte hinaus betrieben werden (sicherer Betriebsbereich). Eine Überwachung von Spannung, Strom und Temperatur der einzelnen Sekundärzellen ist hierfür wichtig. [57], [149]

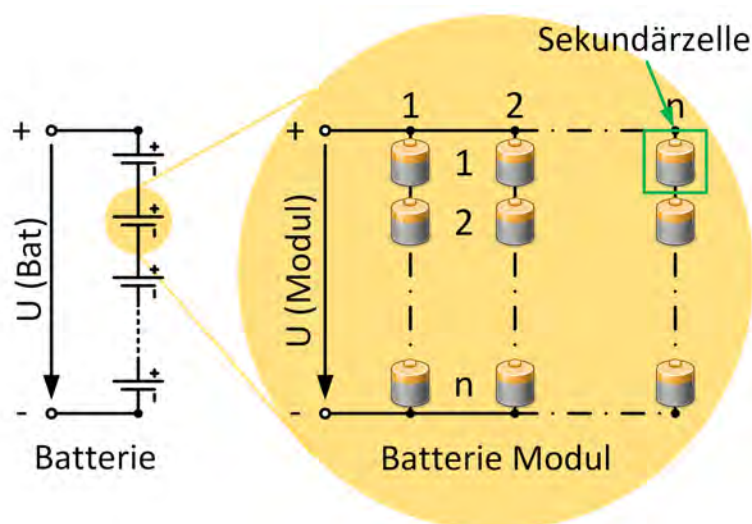


Abbildung 7.1: Struktur eines Sekundärzellen basierten Energiespeichersystems

In aktuell verfügbaren Systemen werden zwei Arten von BMS verwendet: sogenannte passive und aktive BMS. Bei passiven Systemen werden die Sekundärzellen mit höheren aktuellen SOC's über einen Widerstand entladen. In aktiven Systemen wird ein Energietransfer von Sekundärzellen mit momentan höheren SOC's hin zu Sekundärzellen mit geringeren SOC's durchgeführt. Dies geschieht zumeist mittels eines Schaltkreises bestehend aus Kondensatoren oder Induktivitäten und Schaltern. Während das passive System sehr billig, aber ineffizient ist, ist das aktive System effizienter, aber komplexer und teuer, da viele Kondensatoren bzw. Induktivitäten und Schalter sowie ein intelligentes Steuerungs- und Messsystem, mit einer Potentialtrennung, erforderlich sind [109], [150], [151]. Darüber hinaus können aktive BMS unter bestimmten Umständen die Zellalterung beschleunigen [109], [152].

Neben Sekundärzellen-basierten Nachteilen gibt es mehrere Gesamtsystem-basierte Probleme. So besteht ein BESSs aus einer Hochvoltbatterie mit einem BMS und einem Wechselrichter zur Erzeugung der Wechselspannung. Die Hochspannung von bis zu mehreren

tausend Volt stellt ein hohes Sicherheitsrisiko dar, auch wenn die Anlage abgeschaltet ist. Außerdem ist das System unflexibel und schlecht skalierbar. Zudem ist es schwierig, verschiedene Zelltechnologien oder sogar Zellen derselben Technologie, jedoch mit unterschiedlichem Gesundheitszustand – engl. state-of-health (SOH) zu verwenden, da Sekundärzellen nur dann parallel geschaltet werden können, wenn sie den gleichen Spannungspegel und Widerstand aufweisen. Unterschiedliche Zellenparameter bedingen geringfügig unterschiedliche Lade- und Entladekurven. Eine serielle Verschaltung solcher Sekundärzellen ist somit ebenfalls schwierig. Weiter führen stark variierende maximale Kapazitätswerte und Widerstände zu einem hohen Aufwand für das BMS, was wiederum die Effizienz und die Gesamtleistung des BESS verringert.

In Systemen, bei denen die benötigte Kapazität so gering ist, dass die resultierende Spannung aller in Reihe geschalteten Zellen kleiner ist als die benötigte Ausgangsspannung, wird zusätzlich ein Hochspannungs-Gleichspannungs-Wandler benötigt. Ein zusätzlicher DC-DC-Wandler wird auch zumeist bei Elektrofahrzeugen verwendet, um Hochspannungs-Gleichstrom-Schnellladen zu ermöglichen.

Das Prinzip eines Batteriesystems mit einem DC-DC-Wandler hat den Vorteil einer relativ geringen Anzahl von Batteriezellen pro Batteriesystem und eines geringeren Aufwands für den Ladungsausgleich zwischen den Sekundärzellen zur Folge. Mit dem in [153] veröffentlichten Prinzip ist gar ein System angedacht, bei dem die einzelnen Sekundärzellen mittels DC-DC-Wandler über einen DC-Zwischenkreis parallel geschaltet werden.

Die Effizienz von DC-DC-Wandlern ist jedoch, insbesondere bei großem Unterschied zwischen der Eingangs- und Ausgangsspannung, stark beeinträchtigt. Dies ist durch den hohen Strom auf der Niederspannungsseite, die zumeist hohen Schaltfrequenzen und die Verluste im Transformator bedingt. Der Wirkungsgrad derartiger Systeme liegt im besten Fall zwischen etwa 90 %, im Teillastbereich und bei großer Lücke zwischen Eingangs- und Ausgangsspannung, und etwa 98 %, bei Nennlast und ähnlichen Ein- und Ausgangsspannungen. [153]

In vollelektrischen Fahrzeugen kommt neben den zuvor erwähnten Einschränkungen des Batteriesystems noch eine komplexe Architektur des elektrischen Antriebsstrangs hinzu. Der Hochvoltspeicher des Fahrzeugs muss dabei nicht nur den Elektromotor versorgen, sondern auch diverse Nebenverbraucher. Bekannte Verbraucher mit niedrigem Leistungsbedarf werden auch in Elektroautos typischerweise über ein 12 V-Bordnetz versorgt. Verbraucher mit höherem Leistungsbedarf können hingegen über das Hochspannungsnetz direkt, mittels zwischengeschalteter DC-DC-Wandler oder DC-AC-Wandler, versorgt werden.

## 7.2 Technologieauswahl

Entscheidende Nachteile bestehender Technologien sind ein schlechter Wirkungsgrad, ein hoher THD, die Notwendigkeit von Hochspannungsschaltern, eine schlechte Fehler-toleranz und die Nachteile der benötigten Transformatoren wie hohe Kosten, Gewicht, Volumen und Verluste, auch wenn das System ausgeschaltet ist [52], [57]. Diese Nachteile dienen in der nachfolgenden Technologieauswahl als Entscheidungsfaktoren.

### 7.2.1 Multilevel-Direktumrichter-Systeme mit verteilten Batterien

Multilevel-Direktumrichter mit verteilten Batterien sind ein vielversprechender Ansatz, um die Nachteile aktueller Systeme zu verringern oder gar zu eliminieren. Bereits heute – während sie in der Literatur noch ausführlich diskutiert werden – werden erste Systeme implementiert. [2], [51] Ein Hauptmerkmal dieser Systeme ist die Integration von Sekundärzellen, wie in Kapitel 3 erläutert. Während bereits Kondensator-basierte MMC-Systeme die Effizienz eines Systems im Vergleich zu Zwei-Punkt-Umrichtern um mehr als 2 % steigern [113], erhöht die Verschmelzung von Batteriespeichersystem und Umrichter die Effizienz weiter [154]. Wie in [155] gezeigt, verstärken Multilevel-Direktumrichter-Systeme mit verteilten Batterien auch die Teillasteffizienz beachtlich.

Ein wesentliches Merkmal von Multilevel-Direktumrichtern mit verteilten Batterien ist die Fähigkeit, jedes einzelne Sekundärzellen-basierte Batteriemodul dynamisch bezüglich seiner betrieblichen Anforderungen zu betreiben. Allerdings reduzieren die höheren durchschnittlichen Lade- und Entladeströme den Wirkungsgrad der Sekundärzellen [102]. Die Multilevel-Direktumrichter eigene Betriebsstrategie, welche einen Bypass nicht benötigter Batteriemodule vollzieht, bewirkt eine geringere Auslastung und ebenfalls höhere Pulsstrombelastung der einzelnen Batteriemodule.

Der negative Einfluss der Pulsströme auf den Wirkungsgrad von Multilevel-Direktumrichtern mit verteilten Batterien wurde in Kapitel 5.2 gezeigt. Eine Glättung der Batterieströme, wie in Kapitel 3 beschrieben, ist relativ aufwendig und ebenfalls verlustbehaftet.

### 7.2.2 EMMC-Energiespeichersysteme

Ein EMMC-basiertes Energiespeichersystem ermöglicht die Verwendung eines zentralen Batteriespeichers, wie in einem herkömmlichen System. Bei einer Topologie wie in Abbildung 3.21 versorgt der Batteriespeicher direkt die drei Hauptmodule eines dreiphasigen Systems. Ein derartiges dreiphasiges System bewirkt einen DC-Strom mit Oberwelle, anstelle einer pulsformigen Belastung der Sekundärzellen, was zu geringeren Sekundärzellenverlusten führt. Die Amplitude und Frequenz der Oberwellen auf dem DC-Strom hängen hierbei von der Regelstrategie des EMMC, der Kapazität in den einzelnen Modulen und dem eventuell verbauten DC-Zwischenkreisfilter ab.

Die Effizienz einer solchen Implementierung kann die eines Zwei-Punkt-Umrichters übersteigen. Allerdings können hiermit die in Kapitel 7.1.1 beschriebenen Nachteile auf Seiten des zentralen Sekundärzellen-Energiespeichers nicht behoben werden. Die inhomogene Aufteilung der Modulspannungen erhöht zudem den Entwicklungsaufwand und die Regelung der Kondensatorspannungen vergrößert den Regelungs- und Messaufwand im Betrieb.

### 7.2.3 M2B

Mit dem Einsatz des M2B-Prinzips für Batteriespeicher-Anwendungen ergeben sich die gleichen Vorteile wie bei Multilevel-Direktumrichter-Systemen mit verteilten Sekundärzellen. Durch die prinzipbedingt geringere Pulsstrombelastung der Sekundärzellen werden zudem die Batterieverluste stark reduziert. Insbesondere der Einsatz in elektromobilen Anwendungen ist hierbei vorteilhaft. Durch den dabei hohen Anteil an Teillastbereichen, in denen eine geringere Leiter-Leiter-Spannung appliziert wird, vergrößert sich der Abstand bezüglich der Sekundärzellenverluste weiter. Durch die Parallelschaltung und die kontinuierliche Bestromung der Sekundärzellen können höhere Wirkungsgrade erzielt werden.

### 7.2.4 Zusammenfassung

Die EMMC-Technologie ist für den Einsatz in Energiespeichersystemen, bei denen eine Aufspaltung der Batterie nicht möglich ist, gut geeignet. Im Vergleich zu Kondensatorbasierten Multilevel-Systemen kann hierbei eine Reduktion des Bauteilaufwands erreicht werden. Allerdings ist der Einsatz von Hochspannungs-Halbleitern und einer aufwendigeren Regelung notwendig.

Aufgrund der kombinierten Vorteile der Multilevel-Umrichter-Technologie für die gesamte Systemeffizienz, des verbesserten Batteriemangements und der akzeptablen Batterieverluste erscheint die M2B-Technologie am vielversprechendsten für den Einsatz in Sekundärzellen-basierten Systemen zu sein, bei denen eine Aufspaltung der Sekundärzellen möglich ist. Grundsätzlich weist eine M2B-Implementierung mit Halbbrücken einen geringeren Bauteilaufwand als die M2B-Vollbrücken-Topologie auf und kann auch hinsichtlich des Wirkungsgrads überzeugen. Allerdings bedarf der zumeist benötigte Umpoler Schalter mit Spannungsfestigkeiten oberhalb der Systemspannung. Je nach Anwendungsfall kann dies zu höheren Verlusten oder Kosten als bei M2B-Systemen mit VB führen.

In den meisten Sekundärzellen-basierten Systemen für den Elektromobilitätssektor ist zudem der Wegfall des DC-Zwischenkreises problematisch, über den Nebenaggregate direkt oder indirekt über ein aus dem DC-Zwischenkreis per DC/DC-Wandler versorgtes Niederspannungs-DC-Bordnetz versorgt werden. Ein Lösungsansatz für einen effizienten Energietransfer zwischen Multilevel-basierten Systemen und dem Niederspannungs-DC-Bordnetz wird in Kapitel 7.4 beschrieben.

## 7.3 M2B-Implementierungen

### 7.3.1 M<sup>2</sup>PC-Implementierungen

Die grundsätzliche Funktionsfähigkeit der in 3.2.3 beschriebenen M2B-Vollbrücken-Schaltung wurde mittels zweier Kondensator-basierter M<sup>2</sup>PC-Implementierungen erbracht. Die Schaltungstopologien der M2B- und der M<sup>2</sup>PC-Vollbrücken-Topologien sind, bis auf einen zusätzlichen optionalen Schalter zur Abtrennung des Energiespeichers beim M2B, identisch.

Abbildung 7.2 zeigt den prinzipiellen Versuchsaufbau, welcher aus einem Umrichterarm mit drei potentialgetrennt versorgten Submodulen und einer induktiven Last besteht.

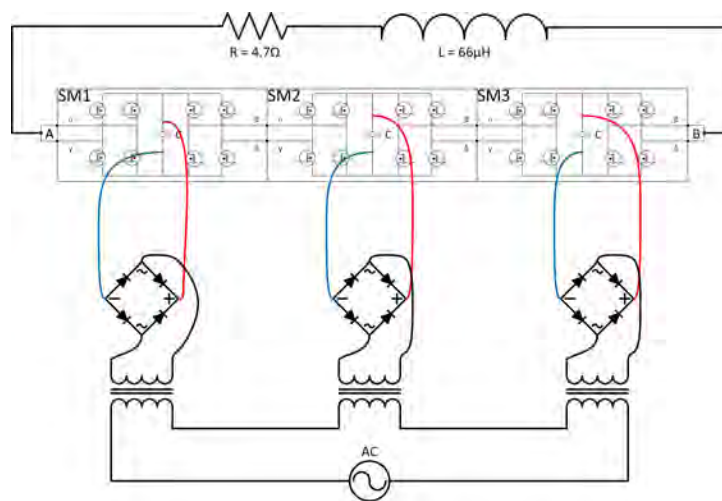


Abbildung 7.2: M<sup>2</sup>PC-Umrichterarm mit drei potentialgetrennt versorgten Submodulen.

Die erste M<sup>2</sup>PC-Implementierung, dargestellt in Abbildung 7.3, besteht aus acht MOSFETs pro SM mit einer theoretischen Strombelastbarkeit von je 180 A und einer Nennspannung von 80 V. Eine beispielhafte Messung mit diesem Prototyp bestehend aus drei SMs ist in Abbildung 7.4 dargestellt.

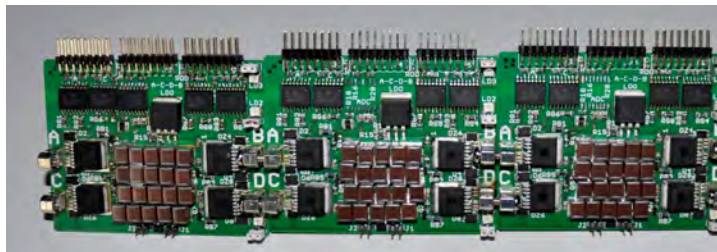


Abbildung 7.3: Spannung und Strom eines M<sup>2</sup>PC-Umrichterarms mit drei Submodulen (Last: 4,7  $\Omega$  und 66  $\mu H$ )

Kanal 3 (blaue Kurve) zeigt die Spannung und Kanal 4 (grüne Kurve) den Strom an einem 4,7  $\Omega$ -Widerstand und einer 66  $\mu H$ -Induktivität. Diese Last ist mit dem Eingang

von SM1 und dem Ausgang von SM3 verbunden. Zur Erzeugung der Spannungsstufen wurden die drei SMs abwechselnd parallel und seriell zueinander verschaltet. Um den Effekt der Parallelschaltung zu verdeutlichen, wurden die Kondensatoren während der Stromabgabe nicht weiter versorgt.

In Perioden, in denen mehrere SMs parallel geschaltet sind, wie etwa in den ersten Spannungsstufen, bleibt die Spannung auf Grund der höheren resultierenden Kapazität nahezu konstant. In Bereichen, in denen ein einzelner Kondensator in Reihe mit einem Netzwerk von SMs geschaltet ist, die parallel geschaltet sind, wie bei den zweiten Spannungsstufen, oder wenn alle SMs in Reihe miteinander geschaltet sind, wie bei maximalen Spannungspegeln, sinkt die Spannung hingegen merklich ab. Diese Spannungsschwankungen verstärken sich bei hohen Lasten oder geringer Kapazität und können zu großen Spannungsunterschieden zwischen den SM-Kondensatorspannungen führen. Detailliertere Beschreibungen dieser Implementierung sind in [11] und der Masterarbeit von Herrn Pfäffl [156] zu finden. Die Spannungsschwankungen in Sekundärzellen-basierten M2Bs-Systemen sind viel geringer, womit die Abtastrate der Spannungsmessung und die Regelfrequenz zur Spannungsbalancierung verringert werden können.

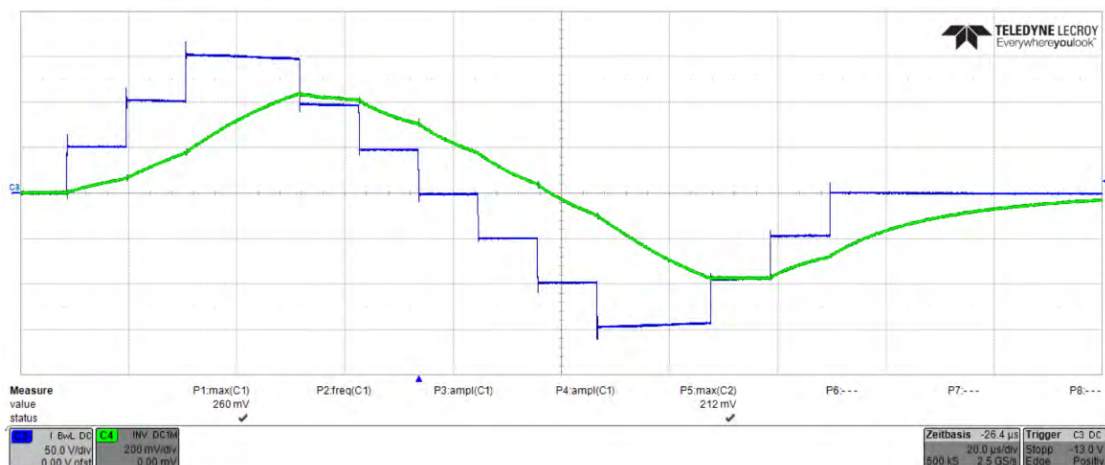


Abbildung 7.4: M<sup>2</sup>PC-Umrichterarm mit drei Submodulen

Eine weitere Implementierung, abgebildet in Abbildung 7.5, dient primär zur Evaluierung der Realisierbarkeit einer Parallelschaltung von mehreren MOSFETs zur Erhöhung des Systemstroms. Hierbei wurden M<sup>2</sup>PC-Vollbrücken-SMs mit je zehn parallel geschalteten MOSFETs entwickelt. Als Energiespeicher dienen hundert parallel geschaltete Elektrolyt-Kondensatoren. Detailliertere Informationen zu dieser Implementierung sind [11], [14], [17] und der Diplomarbeit von Herrn Singer [157] zu entnehmen.



Abbildung 7.5: M<sup>2</sup>PC-Submodule mit zehn parallel geschalteten MOSFETs

### 7.3.2 M2B-Implementierung

#### M2B-Halbbrücken-Implementierungen

Ein erster Funktionsbeweis der M2B-Halbbrücken-Topologie wurde 2013 anhand eines einfachen Prototyps erbracht und 2014 in [66] veröffentlicht – Drei-Schalter-Halbbrücken-Topologie ohne Umpoler. Abbildung 7.6 zeigt den Prototyp, bestehend aus vier SMs. Die SMs sind für Spannungen von 3 V bis zu 18 V ausgelegt. Somit können zwischen einer und vier Sekundärzellen in Reihe pro SM verwendet werden.

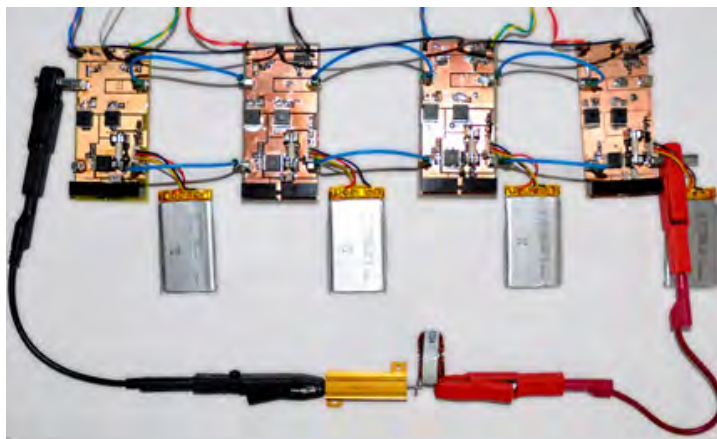


Abbildung 7.6: Vier M2B-Halbbrücken-SMs mit je einer LiPo-Sekundärzelle an einer RL-Last

Abbildung 7.7 zeigt die Ausgangsspannungen des Aufbaus aus Abbildung 7.6 mit je einer LiPo-Zelle (LP-503562-IS-3, 3,7 V, 1050 mAh, China Bak-Batterie, Bezirk Longgang, Shenzhen, China) pro SM in Schwarz. Die rote Kurve zeigt die Spannung bei Versorgung der SMs mittels vier potentialgetrennter 15 V-Versorgungen. Als Last dient eine ohmsche induktive Last mit 10  $\Omega$  und 22  $\mu H$ . Angesteuert wird der M2B mittels eines digitalen

Funktionsgenerators (LeCroy Arbstudio 1104, Teledyne Technologies, Thousand Oaks, CA). [66]

Zur Erzeugung der ersten Spannungsstufen (zwischen  $-0,0003\text{s}$  und  $-0,0002\text{s}$ ) werden alle SMs parallel zueinander verschaltet. Für die zweiten Spannungsstufen werden jeweils zwei SMs zueinander parallel geschaltet und diese Gruppen zueinander seriell verschaltet (d. h. (SM1 parallel zu SM2) in Reihen zu (SM3 parallel zu SM4)). Für die dritten Schritte sind drei SMs in Reihe geschaltet, während das vierte acSM parallel zu einem benachbarten acSM verschaltet ist (d. h. bei dieser Messung SM1 seriell zu SM2 seriell zu (SM3 parallel zu SM4)). Die letzten Schritte werden von allen SMs in Reihe zueinander gebildet. [66]

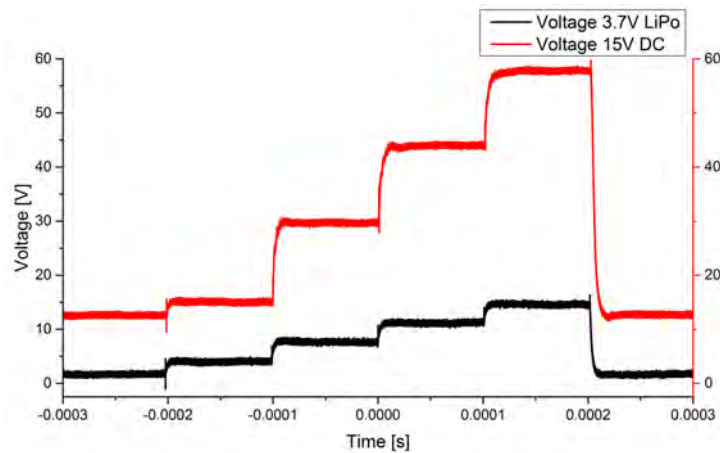


Abbildung 7.7: Spannungen über einer gemischten ohmschen induktiven Last ( $14,7\ \Omega$ ,  $22\ \mu\text{H}$ ), generiert durch vier M2B-HB-SMs, mit  $3,7\ \text{V}$  aus je einer einzelnen LiPo-Sekundärzelle (schwarz) und mit  $15\ \text{V}$  von vier isolierten Stromversorgungen (rot)

Weitere Prototypen entstanden 2016 [158] und 2017 [111], um die Realisierbarkeit und die Funktionsweise in Betrieb mit einem Umpoler zu belegen. Abbildung 7.8 (links) zeigt den entwickelten Prototyp, bestehend aus vier SMs gesteuert über einen 8-bit-Mikrocontroller (EFM8UB11F16G-QSOP24, Silicon Laboratories Inc., Austin, Texas, USA) und den zugehörigen Umpoler (Abbildung 7.8 (rechts)). Bei den SM wurde die Vier-Schalter-Topologie verwendet und für den Umpoler eine H-Brücke gemäß Abbildung 3.7 (a). [111]



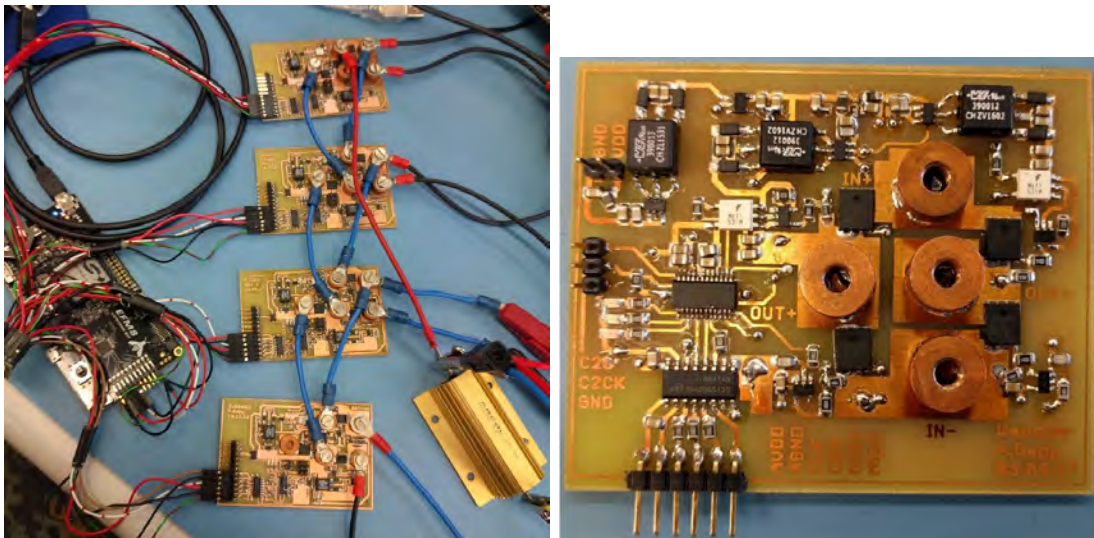


Abbildung 7.8: Vier M2B-Halbbrücken-SMs, gesteuert über einen Mikrocontroller an einer RL-Last (links), und zugehöriger Umpoler (rechts) [111].

Abbildung 7.9 zeigt eine Messung der Spannung und des Stroms des Prototyps an einem  $33 \Omega$ -Widerstand, bei Verwendung von je einer LiPo-Sekundärzelle (LP-503562-IS-3, 3,7 V, 1050 mAh, China Bak-Batterie, Bezirk Longgang, Shenzhen, China) pro SM. [111]

### M2B-Vollbrücken-Implementierungen

Zur Implementierung eines M2B-Systems wurde ein Forschungsprojekt in Kooperation mit Prof. Hans-Jürgen Pfisterer von der Hochschule Osnabrück und der Smart Power GmbH und Co. KG gefördert durch die Deutsche Bundesstiftung Umwelt (DBU) ins Leben gerufen. Ziel des Projekts war die Entwicklung eines Laborprototyps, anhand dessen bereits Langzeittests durchgeführt werden können und die Wirtschaftlichkeit der Technologie abgeleitet werden kann. Der entwickelte Prototyp basiert hierbei auf der M2B-Vollbrücken-Topologie. Die Ergebnisse dieses Forschungsprojekts können der Doktorarbeit von Herrn Arthur Singer [159] entnommen werden.

### 7.3.3 Zusammenfassung

Es konnte gezeigt werden, dass sowohl die M2B-Vollbrücken- als auch die M2B-Halbbrücken-Topologien funktionsfähig und technisch umsetzbar sind. M2B-Vollbrücken sind durch ihre Vier-Quadranten-Befähigung prinzipiell einfacher skalierbar und auf unterschiedliche Anwendungen adaptierbar, da kein separater Umpoler pro Phase benötigt wird.

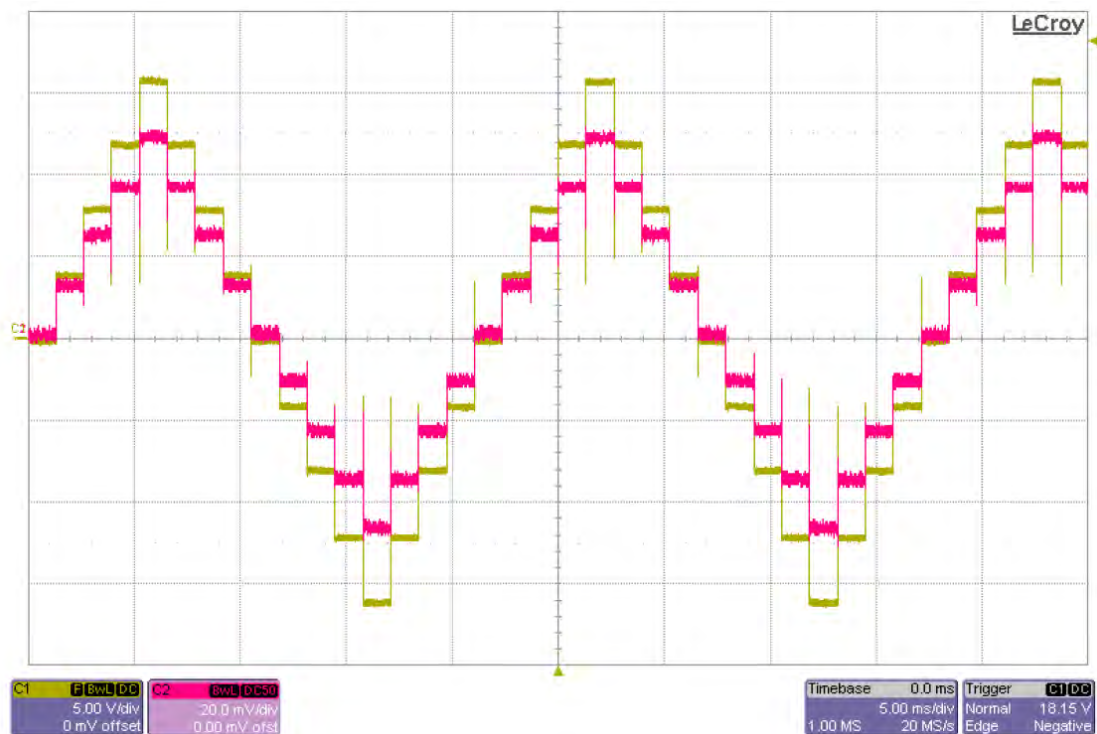


Abbildung 7.9: Spannung (C1) und Strom (C2 mit 200 mA/Div) des Umrichters aus Abbildung 7.8 über einem 33-Ohm-Widerstand [111]

Dahingegen birgt der stark reduzierte Bauteil Aufwand bei M2B-Halbbrücken insbesondere bei Implementierungen mit einer hohen Anzahl an benötigten SMs entscheidende Vorteile in Bezug auf die Systemkosten und weist prinzipiell geringere Leitverluste auf. Sowohl die Kosten als auch die Leitverluste hängen hierbei jedoch stark von den für die Umpoler verwendeten Schaltern ab. Zudem werden für die Umpoler zumeist Schalter mit weit höherer Spannungsfestigkeit benötigt als für die SMs. Je nach Anwendungsfall und Spannungshöhe kann eine Verschachtelung von Subumrichterarmen, wie in Kapitel 3.2.4 erläutert, zur Optimierung der Umpoler-bedingten Leitverluste und zur Kostensenkung verwendet werden.

## 7.4 Niedervoltauskopplung

### 7.4.1 Stand der Technik: Niederspannungs-Bordnetz

Die aus klassischen Fahrzeugen bekannten Verbraucher wie Bremskraftverstärker, Beleuchtung, Servolenkung, Antiblockiersystem und Unterhaltungssysteme werden im Elektrofahrzeug durch spezifische Systeme wie Batteriekühlung, Isolationswächter und Batteriemangement ergänzt [160]. Der Klimakompressor kann zwar auch in vollelektrischen Fahrzeugen über den Antriebsmotor angetrieben werden, ein Betrieb über einen separaten Elektromotor ist hierbei jedoch effizienter und vereinfacht eine Klimatisierung

beim Stillstand des Fahrzeuges. Zur Beheizung des Fahrzeuginnenraums kann die Abwärme der Leistungselektronik, des Hochvoltspeichers und des Elektromotors genutzt werden. Bei kalten Umgebungstemperaturen und zur Vorklimatisierung ist jedoch eine Zusatzheizung notwendig, da in beiden Fällen eine ausreichende Wärmezufuhr durch die erwähnten Komponenten nicht gewährleistet werden kann.

Die meisten dieser Systeme müssen dabei nicht nur während des Betriebs des Fahrzeuges versorgt werden, sondern auch im Ruhezustand und während des Ladevorgangs – Vorklimatisierung, Batteriekühlung nach der Fahrt und während des Ladevorgangs etc. Systeme, die für den Betrieb von Speichersystemen sicherheitsrelevant sind, etwa Isolationswächter in Hochvoltssystemen und Batteriemanagement, müssen zudem auch bei abgeschalteter Batterie<sup>1</sup> weiter versorgt werden (siehe hierzu Norm: ISO 6469-3, ISO 23273-3, UL 2231-1 und IEC 61557-8).

Das Batteriemanagement-System kann sich dabei direkt aus den Sekundärzellen des Hochvoltspeichers versorgen und kann die Zellen auch bei vom übrigen Fahrzeug abgetrenntem Hochvoltspeicher überwachen und deren SOC balancieren. Übergeordnete Systeme wie die Isolationsüberwachung müssen jedoch unabhängig vom Hochvoltspeicher versorgt werden, um auch im Fehlerfall oder bei einer Notabschaltung des Hochvoltspeichers noch funktionsfähig zu sein. Allein aus dieser Prämisse ist in Fahrzeugen mit Hochvoltspeicher ein Niederspannungsbordnetz (NV-BUS) mit einem Energiespeicher ausreichend hoher Kapazität erforderlich. Als Energiespeicher dienen hier in Anlehnung an Personenkraftwagen mit Verbrennungsmotor zumeist 12 V- oder in Lastkraftwagen 24 V- oder 48 V-Bleibatterien. [161]–[164]

Die meisten der erwähnten Systeme weisen einen relativ geringen Leistungsbedarf auf (siehe Tabelle 7.1), womit diese auch bei abgeschaltetem Hochvoltspeicher über längere Zeit hinweg problemlos aus dem Niederspannungs-Pufferspeicher versorgt werden können. Systeme wie Klimatisierung und Heizung benötigen jedoch etliche Kilowatt an Leistung [162], [165]. Deren Versorgung muss damit gezwungenermaßen aus dem Hochvoltspeicher bzw. aus dem stationären Versorgungsnetz bei Netzanbindung erfolgen. Durch den Einsatz von Wärmepumpen und die Nutzung der Abwärme der Leistungselektronik, des elektrischen Motors, des Hochvoltspeichers und sonstiger elektronischer Geräte kann die benötigte Leistung stark verringert werden [166]. Im Heizbetrieb eines Elektroautos kann durch den Einsatz eines Wärmetauschers laut [167] eine Energieeinsparung von 63 % erreicht werden.

Bei aktuellen Elektrofahrzeugen wird der NV-Bus mittels eines DC/DC-Konverters aus dem Hochvoltspeicher versorgt (siehe Abbildung 7.10). Insbesondere die Implementierung von Systemen mit einem großen Spannungsunterschied zwischen dem NV-Bus und dem Hochvoltspeicher, mit zumeist 400 V bis zukünftig vermutlich etwa 1000 V, stellt eine hohe technische Herausforderung dar. Trotz hohem Aufwand werden hierbei in der Regel nur Wirkungsgrade von etwa 90 % erreicht. Für einen bidirektionalen Betrieb steigt der Aufwand nochmals an und die Wirkungsgrade für einen Energietransfer vom NV-Bus in den Hochvoltspeicher liegen bei unter 85 %. [169]

---

<sup>1</sup>Ein Abschalten des Hochvoltspeichers über einen speziellen Batterieschalter (siehe Abbildung 7.10) kann etwa im Fehlerfall, nach einem Unfall oder bei defekten Sekundärzellen notwendig sein.

Tabelle 7.1: Nebenverbraucher in Elektrofahrzeugen (Auszug) [160], [168]

<b>Verbraucher</b>	<b>maximale Leistung</b>	<b>mittlere Leistung</b>	Anmerkungen
Standlicht	8 W	7 W	
Abblendlicht	110 W	90 W	
Bremslicht	42 W	11 W	
Nebelscheinwerfer	110 W	20 W	
Nebelschlussleuchte	21 W	2 W	
Blinker	42 W	5 W	
Gesamte Beleuchtung	496 W		
Radio	20 W	20 W	
Multimedia-Monitore	30 W	30 W	
Navigation	15 W	15 W	
Scheibenwischer	50 W	10 W	
Scheibenwaschanlage	100 W	3 W	
Servolenkung	2000 W		Läuft kontinuierlich, aber nicht immer mit voller Leistung
Heizung	3000 W		
Klimakompressor	2500 W		Heizung und Klimakompressor laufen nie gleichzeitig
Lüfter	4*120 W		Laufen durchgehend, aber selten mit voller Leistung
Sitzheizung	4*200 W		Zeitgleich mit Heizung
Beheizbare Heckscheibe	200 W	60 W	Zeitgleich mit Heizung, aber hauptsächlich nur zu Fahrtbeginn
Fensterheber	4*150 W		
Luftfederung	1.000 W	200 W	
Sitzverstellung	300 W		10 s pro Fahrzyklus
Recheneinheiten	200 W	200 W	
<b>Gesamtverbrauch</b>	<b>ca. 10 kW</b>		

Bedingt durch diese Wandlerverluste und die erhöhten Verluste durch den quadratischen Einfluss der Stromstärke werden Hochleistungsverbraucher oder zusätzliche Energieerzeuger, wie etwa Benzin-, Diesel- oder Brennstoffzellen-Generatoren (Range-Extender (RE)) [170], zumeist direkt am Hochspannungsbordnetz (HV-DC-Bus) betrieben [166]. Dies reduziert Umwandlungs- und Leitungsverluste [162], birgt jedoch in Anbetracht der zusätzlich notwendigen Hochspannungsverkabelung im Fahrzeug ein gewisses Gefahrenpotential und bringt erhöhte Kosten mit sich.

Die mittlere Leistung der Hochleistungsverbraucher liegt bei einem modernen Elektrofahrzeug mit Wärmepumpe im unteren einstelligen Kilowattbereich [167], [171]. Jedoch können Leistungsspitzen bei zeitgleichem Vollastbetrieb aller Nebenverbraucher von über

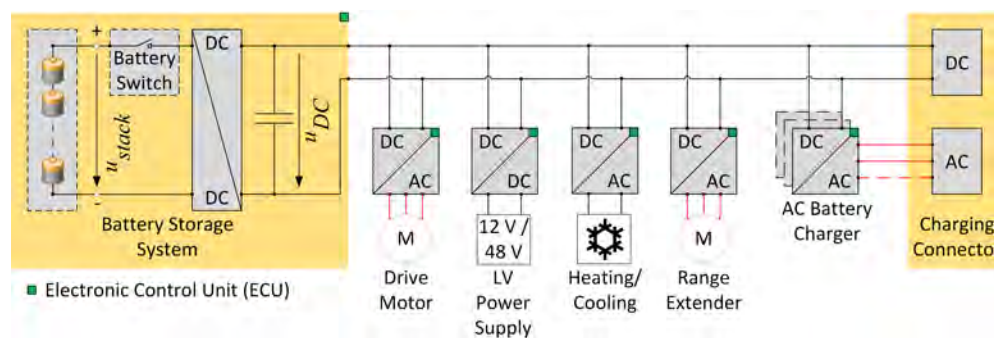


Abbildung 7.10: Niederspannungs-Bordnetzauskopplung in vollelektrischen Fahrzeugen mit einem Hochvolt-Energiespeicher

10 kW auftreten (siehe Tabelle 7.1).<sup>2</sup> Auch die Leistung von Range-Extendern liegt im zweistelligen Kilowattbereich (ca. 14 kW für Kleinwagen) [170] und wird bei aktuellen Systemen über einen separaten Wechselrichter in den HV-DC-Bus integriert.

#### 7.4.2 NV-Bordnetzauskopplung in Systemen mit verteilten Batterien

##### Stand der Technik

Im Gegensatz zu herkömmlichen Umrichtertopologien für Batteriespeichersysteme ist in den meisten Makrotopologien von Direktumrichter-basierten Systemen ein HV-DC-Bus nicht vorgesehen. Eine der wenigen Implementierungen, welche einen HV-DC-Bus enthalten, ist die in [55] präsentierte Topologie (siehe Abbildung 7.11). Diese Topologie entspricht einem MMC-DC/AC-Umrichter mit Halbbrücken-SMs. Der HV-DC-Bus wird hierbei für einen Ladungsausgleich zwischen den drei Phasenarmen des Umrichters verwendet. Eine Versorgung des NV-Buses kann hier in ähnlicher Weise wie bei herkömmlichen Speichersystemen mittels eines DC/DC-Wandlers erfolgen. Die Vor- und Nachteile einer derartigen Implementierung sind identisch mit einer herkömmlichen Versorgung aus einer zentralen Hochvoltbatterie. Die Spannung für den HV-DC-Bus kann ohne zusätzlichen Hardwareaufwand vom Batterie-Energiespeichersysteme mit verteilten Sekundärzellen (sBESS) erzeugt werden und dies auch im Falle eines Motorstillstandes. Die Möglichkeit einer statischen Verschaltung der einzelnen SMs des Umrichters im Falle eines Motorstillstandes verringert die Schaltverluste stark. Eine aktive Änderung der Schaltzustände ist nur auf Grund einer Balancierung der SM-SOCs notwendig. Zur Aufrechterhaltung der HV-DC-Bus-Spannung wird mindestens ein Phasenarm bestehend aus zwei Umrichterarmen benötigt.

Eine ähnliche Implementierung bei sBESS-Topologien ohne HV-DC-Bus zeigt Abbildung 7.12). Hierbei wird ein HV-DC-Bus mittels eines Gleichrichters an den Phasenanschlüssen des sBESS aufgebaut. Die Versorgung des NV-Buses erfolgt wiederum mittels eines

<sup>2</sup>Das Auftreten einer derartigen Spitzenleistung stellt eine extreme Ausnahmesituation dar, welche nur für kurze Zeit auftritt. Ein Teil der Spitzenlast kann hierbei zudem von der Niederspannungs-Pufferbatterie abgefangen werden.

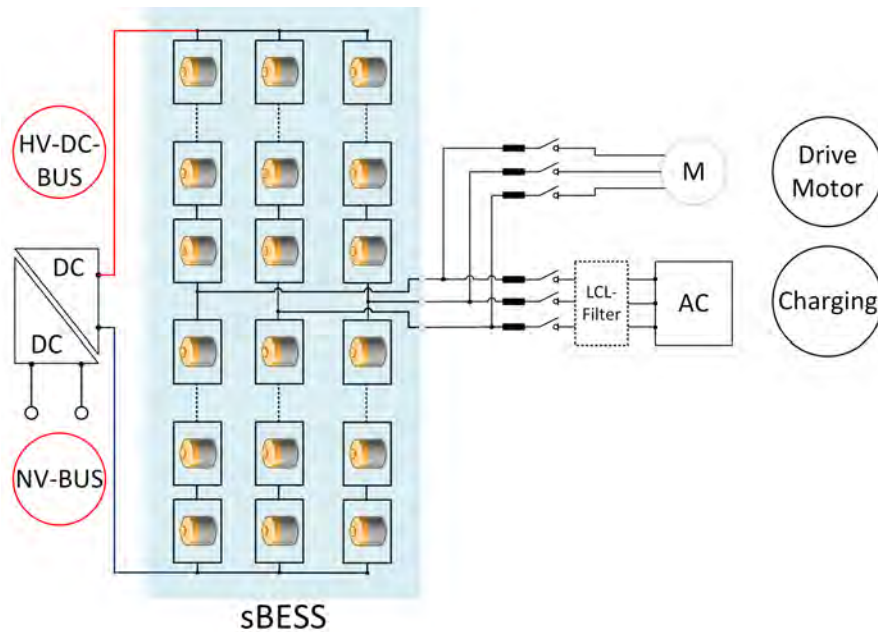


Abbildung 7.11: Künstlicher HV-DC-Zwischenkreis in sBESS mit MMC-DC/AC-Umrichter-Topologie

DC/DC-Wandlers zwischen HV-DC-Bus und NV-Bus. Die Versorgung der beiden Netze kann auch bei stillstehendem Motor erfolgen. Hierfür muss der Motor elektrisch über die auch für den Fall des Ladens über ein Netz notwendigen Schalter vom System getrennt werden. Das sBESS muss in diesem Fall eine AC-Spannung erzeugen. Hinsichtlich Effizienz und Aufwand sind sowohl im Stillstand als auch im Fahr- und Ladebetrieb höhere Einbußen durch die zusätzliche AC/DC-Wandlung hinzunehmen als bei der vorherigen Implementierung aus Abbildung 7.11.

Um eine Versorgung im Falle von DC-Laden zu ermöglichen, kann ein zusätzlicher DC/DC-Wandler zwischen DC-Ladeanschluss und HV-DC-Bus verwendet werden. Dieser zusätzliche DC/DC-Wandler kann auch im Falle eines Motorstillstandes genutzt werden, um die Verluste in diesem Betriebszustand zu senken. Dies wird dadurch erreicht, dass hierbei vom sBESS anstatt einer AC-Spannung lediglich eine DC-Spannung mit vernachlässigbaren Schaltverlusten erzeugt werden kann.

Eine weitere Implementierung der NV-Bus-Versorgung in sBESS-basierten Fahrzeugen ergibt sich aus der in Kapitel 3 beschriebenen Grundidee zur Befähigung von Direktumrichtern für einen Umrichterbetrieb (siehe Abbildung 3.4). Bei dieser von [172] aufgegriffenen Idee werden isolierte DC/DC-Wandler an jeder Batteriezelle dazu verwendet, sekundärseitig gemeinsam in Parallelschaltung einen NV-Bus zu versorgen. Bei [172] ist dieses System dazu gedacht, die Zellen eines statischen Batteriesystems zu balancieren, womit die Leistung der DC/DC-Wandler im Falle der Versorgung des NV-Buses stark verstärkt werden müsste. Dass dies in sBESS auch mit höheren Leistungen und Spannungsleveln denkbar ist, wird in [173] gezeigt. Dabei werden aus sBESS-SMs eines stationären Energiespeichersystems per isolierten DC/DC-Wandlern hohe Spannungen

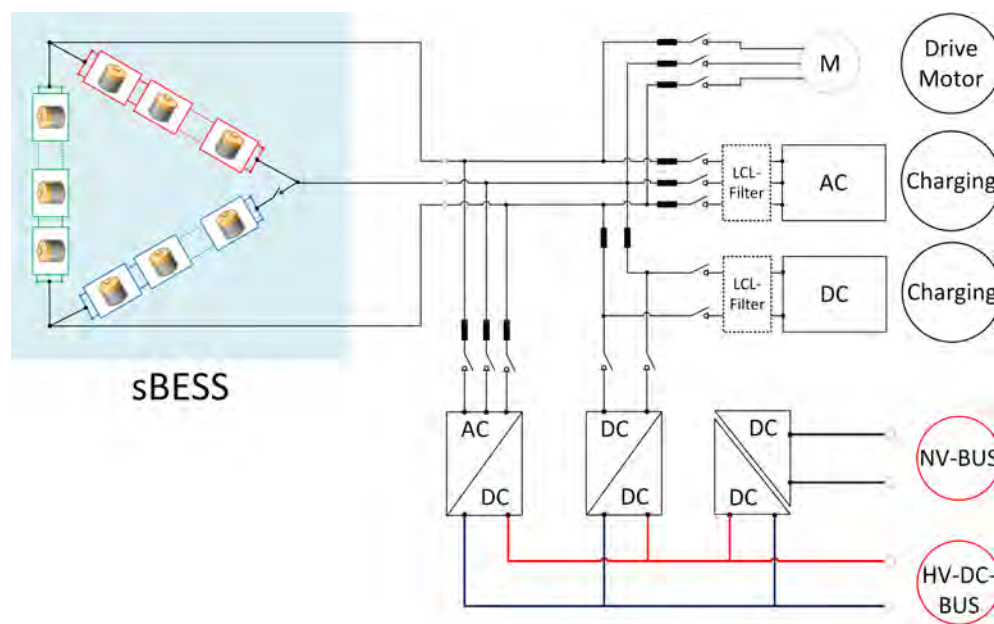


Abbildung 7.12: HV-DC-Bus und NV-Bus-Auskopplung in sBESS-Systemen mittels zentraler AC/DC- und DC/DC-Umrichter

und Leistungen für das Laden von Elektrofahrzeugen zur Verfügung gestellt. Die Effizienz des Systems zur Versorgung eines NV-Buses ist durch die geringe Spannungsdifferenz zwischen SM-Spannung und NV-Bus grundsätzlich höher als von Systemen zur Kopplung zwischen HV-DC- und NV-Bus, allerdings ist der Bauteil Aufwand insbesondere in Systemen mit hoher Anzahl an SMs hoch und der Zusatznutzen des Balancierens der SM-SOCs im Falle eines sBESS überflüssig.

### Smarte NV-Bus-Auskopplung

**Grundprinzip** Die smarte NV-Bus-Auskopplung macht sich das grundlegende Prinzip eines individuell anpassbaren Energieflusses durch die SM-Energiespeichereinheiten in sBESSs zu Nutze. Bei den zumeist Sekundärzellen-basierten Energiespeichereinheiten wird dies dazu genutzt, die SOC der einzelnen SMs zu balancieren. Ein Energietransfer von einem SM-Speicher zum anderen oder eine Umwandlung der Energie in Wärme, wie dies in aktiven bzw. passiven BMSs vollzogen wird, ist damit hinfällig. Die einzelnen Speichereinheiten liefern bzw. beziehen relativ zueinander entsprechend ihren Ladezuständen mehr oder weniger Energie.

Der Energiefluss in die einzelnen Energiespeichereinheiten muss hierbei nicht symmetrisch sein. Bei Verwendung von SM mit Vier-Quadranten-Befähigung muss zudem der Energiefluss nicht gleichgerichtet sein, womit ein zeitgleiches Laden und Entladen einzelner Energiespeichereinheiten ermöglicht wird. Diese Eigenschaft wird in rein Sekundärzellen-basierten sBESS in der Regel nicht genutzt, da ein damit bewirkter Energietransfer von einer Energiespeichereinheit in eine andere aus Gründen der Effizienz und Lebensdauer vermieden werden sollte. Für die smarte NV-Bus-Auskopplung wird diese

Option hingegen zur grundlegenden Funktionsweise. Hierfür wird einem sBESS-Arm ein weiteres SM hinzugefügt. Dieses zusätzliche NV-Modul genannte SM entspricht idealerweise den übrigen SMs, mit dem Zusatz, dass dessen Energiespeichereinheiten direkt oder über einen DC/DC-Wandler mit dem NV-Bus verbunden sind.

Abbildung 7.13 zeigt die Implementierung einer derartigen NV-Auskopplung in einem einphasigen M2B-basierten Umrichterarm mit drei M2B-Vollbrücken-SMs und einem ebenfalls M2B-Vollbrücken-basierten NV-Modul. Der NV-Bus ist hierbei über einen potentialgetrennten DC/DC-Wandler mit dem Energiespeicher des NV-Moduls, in diesem Fall einem Kondensator, verbunden. Der rot gekennzeichnete Strompfad zeigt beispielhaft eine serielle Verschaltung von SM1 mit den beiden parallel zueinander verschalteten SM2- und LV-Modulen. SM3 ist hierbei gebypassed, womit dessen Speichereinheit nicht durchströmt wird.

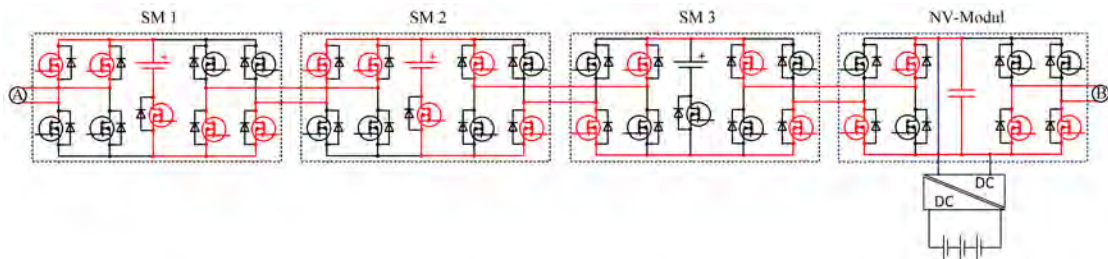


Abbildung 7.13: Einphasige Niedervolt-Auskopplung mit drei M<sup>2</sup>PC-Vollbrücken-SMs und einem NV-Modul mit potentialgetrenntem DC/DC-Wandler

**Arbeitspunkte** Die verschiedenen Schaltzustände der NV-Module sind wie erwähnt identisch mit denen der übrigen SMs im System und haben die folgenden Eigenschaften:

1. **Serielle Verschaltung**  
Bei serieller Verschaltung des NV-Moduls ergibt sich derselbe Energiefluss wie durch die Energiespeichereinheiten der übrigen aktiven SMs. Ein Energietransfer in den NV-Bus ist folglich nur in Arbeitspunkten, in denen das sBESS geladen wird, gegeben.
2. **Antiserielle Verschaltung**  
Bei antiserieller Verschaltung des NV-Moduls erfährt der Energiespeicher des NV-Moduls einen Energiefluss mit entgegengesetztem Vorzeichen, aber derselben Höhe wie die übrigen aktiven SMs. Die antiserielle Verschaltung wird somit genutzt, um einen Energiefluss vom sBESS zum NV-Bus zu generieren, wenn das sBESS entladen wird.
3. **Bypass**  
In diesem Schaltzustand wird keine Energie zwischen sBESS und NV-Bus ausgetauscht.
4. **Parallele Verschaltung** Bei der parallelen Verschaltung des NV-Moduls mit einem oder mehreren benachbarten SMs kann Energie zwischen den parallel verschalteten



SMs und dem NV-Modul transferiert werden. Diese Art, einen Energietransfer zu generieren, ist unabhängig vom aktuellen Arbeitspunkt des sBESS.

Bei Implementierung ohne die Option, SMs parallel zueinander verschalten zu können, ist der Energietransfer zwischen sBESS und NV-Bus immer abhängig von der aktuell abgegebenen oder aufgenommenen Systemleistung. Dies ist dadurch bedingt, dass der NV-Bus nur in Reihe zu den übrigen SMs und der Last geschaltet werden kann. Folglich muss in Arbeitspunkten, in denen der Strombedarf im NV-Bus höher ist als der aktuelle Systemstrom, der fehlende Leistungsbedarf vom NV-Bus-Pufferspeicher bereitgestellt werden. Dies kann eine starke Erhöhung der benötigten Kapazität der Pufferbatterie im NV-Bus zur Folge haben.

Ein weiterer kritischer Arbeitspunkt ist wie bei der Implementierung aus Abbildung 7.12 der Stillstand des Motors. Um auch in diesem Betriebszustand Energie zwischen dem sBESS und dem NV-Bus austauschen zu können, kann z. B. vom sBESS eine Gleichspannung am Motor angelegt werden. Das Anlegen einer Gleichspannung an einen AC-Motor erzeugt ein magnetisches Gleichfeld, welches bei drehendem Motor ein Abbremsen desselben bewirkt [174]. Im Stillstand ermöglicht dies eine Versorgung des NV-Buses, ohne ein Drehmoment am Motor zu erzeugen.<sup>3</sup> Bei M2B-basierten sBESS kann neben diesem Verfahren auch die Parallelschaltung des NV-Buses zu benachbarten SMs genutzt werden, um eine Versorgung des NV-Buses im Stillstand aufrechterhalten zu können, ohne merkliche Schaltverluste im Umrichterarm und ohne Stromfluss über den Motor zu generieren.

**Ansteuerverfahren** Wie in Kapitel 4.1 beschrieben, wird in Multilevel-basierten Systemen, bei denen die SM-Energiespeichereinheiten eine relativ hohe Spannung aufweisen, zumeist eine PWM überlagert. Wie weiter erläutert (siehe Kapitel 3.1.2) werden hierbei PWM-Frequenzen im Bereich von einigen Kilohertz verwendet. Diese hohen PWM-Frequenzen führen zu hochfrequenten Oberwellen in der Stromcharakteristik der Sekundärzellen. Die Auswirkungen derartiger hochfrequenter Stromschwankungen auf die Lebensdauer der Sekundärzellen sind noch nicht vollständig geklärt.<sup>4</sup>

Neben der potentiellen Beeinflussung der Sekundärzellen-Lebensdauer durch Pulsladen bewirkt eine hochfrequente PWM eine Verringerung des Systemwirkungsgrads bei M2B-basierten Systemen. Wie in Kapitel 4.2.3 erläutert ist es bei M2B-Systemen notwendig, bei einer Spannungsänderung die Schaltzustände von mehreren Schaltelementen zu än-

<sup>3</sup>Auf die verschiedenen Schaltungstopologien und Funktionsprinzipien von Gleichstrombremsen wird hier nicht weiter eingegangen, stattdessen wird auf einschlägige Literatur wie etwa [174]–[176] verwiesen. Generell kann angemerkt werden, dass die in klassischen Topologien zumeist zusätzlich benötigte Gleichspannungsquelle in einem sBESS-System nicht benötigt wird, da eine Gleichspannung direkt durch dieses an den Motorwindungen erzeugt werden kann.

<sup>4</sup>Einige Studien weisen jedoch darauf hin, dass die Effizienz von Lithium-Ionen-Sekundärzellen bei einer Belastung mit Pulsströmen frequenzabhängig und im Bereich zwischen  $100\text{ Hz}$  und  $1\text{ kHz}$  ihr Maximum erreicht. Dieser Effekt wird durch ein Minimum der Sekundärzellen-Impedanz in diesem Bereich erklärt. [106]–[108], [177] Neben Studien, welche einen positiven Effekt eines Pulsstrom-Ladens im Vergleich zu Konstantstrom-Laden nahelegen, gibt es auch Studien, wie z. B. [178], welche auf leicht negative Auswirkungen auf die Lebensdauer von Lithium-Ionen-Sekundärzellen hindeuten. Etliche Hersteller von einphasigen Hausspeichern laden und entladen ihre Sekundärzellen trotz dieser Ungewissheit direkt mit der doppelten Netzfrequenz. Dies deutet somit stark darauf hin, dass keine signifikant negativen Einflüsse von Pulsladen mit  $100\text{ Hz}$  bzw.  $120\text{ Hz}$  zu erwarten sind.

dern. Gerade in M2B-Systemen mit einer hohen Anzahl an SMs pro Umrichterarm kann die Betätigung von dutzenden von MOSFETs pro Spannungsänderung notwendig sein. Im Vergleich dazu sind etwa bei MMC-Systemen mit Vollbrücken in der Regel nur zwei MOSFETs zu betätigen.

Bei Verwendung von mindestens einem NV-Modul pro Umrichterarm kann die PWM mittels der NV-Module erzeugt werden. Die übrigen, Sekundärzellen-basierten SMs müssen somit nur mehr niederfrequent geschaltet werden, um die in Abbildung 7.14 (blau) gezeigten Spannungsstufen zu generieren. Die Auswahl, ob die von den Sekundärzellen-basierten SMs generierte Spannung oberhalb oder unterhalb der Referenzspannung (Abbildung 7.14 schwarz) liegt, hängt dabei von der momentanen Systemstromrichtung und dem Ladezustand der NV-Modul-Energiespeichereinheit ab. Werden beispielsweise die Sekundärzellen des sBESS entladen und das NV-Modul soll geladen werden, so wird das NV-Modul mit der PWM antiseriell und in den Bypass- oder Parallelmodus zu den übrigen SMs geschaltet. Die übrigen SMs müssen folglich betragsmäßig eine Spannungsstufe mehr generieren. Werden die übrigen SMs hingegen geladen, so wird das NV-Modul per PWM seriell zu den übrigen SMs geschaltet, um Energie ebenfalls in den NV-Modul-Energiespeicher bzw. den NV-Bus zu transferieren. Die übrigen SMs müssen folglich eine Spannungsstufe weniger generieren. Die Systemspannung (7.14) resultiert somit aus der Spannung des sBESS und der Spannung am NV-Modul (Abbildung 7.14 lila). Wie erwähnt ermöglicht die hier dargestellte Implementierung der NV-Auskopplung auch einen Energietransfer vom NV-Bus in das sBESS. Die soeben dargestellten Verschaltungsoptionen kehren sich dabei gemäß den im vorherigen Kapitel erläuterten Arbeitspunkten um.

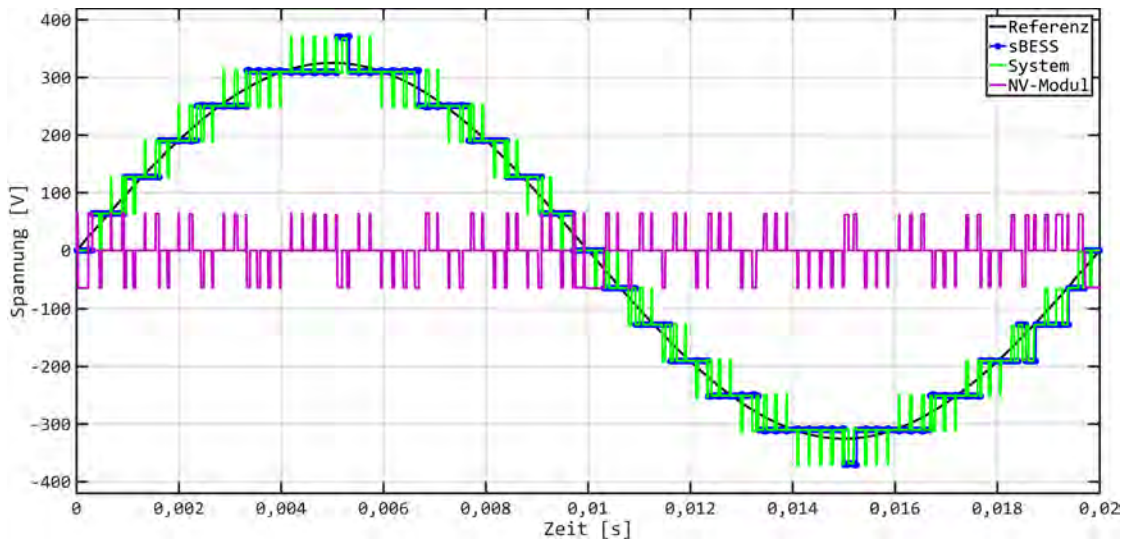
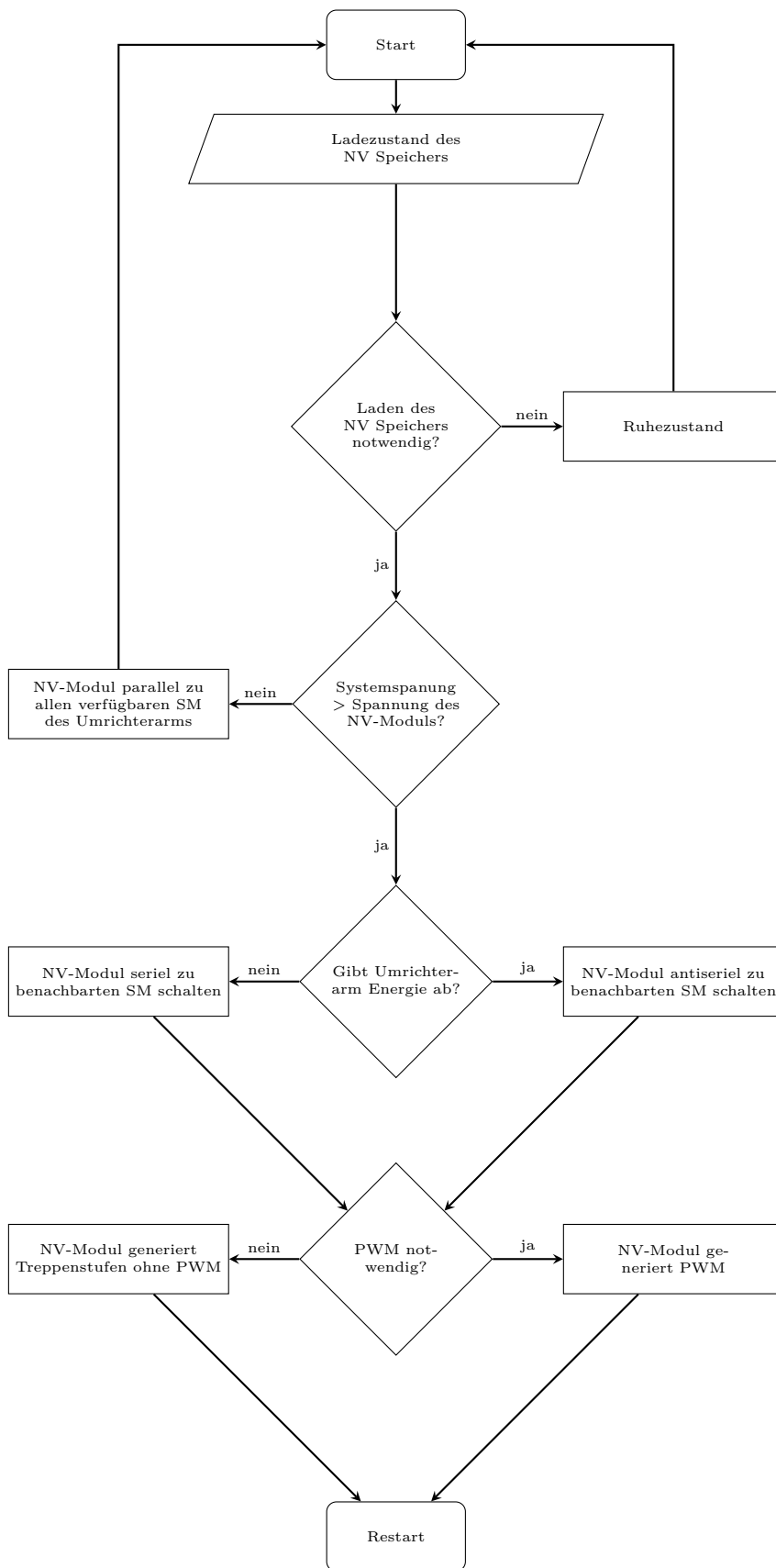


Abbildung 7.14: Ausgangsspannungen eines sBESS mit NV Auskopplung

**Betriebszustände** Zusammengefasst können mehrere Betriebszustände unterschieden werden:

1. AC-Ausgangsspannung mit Energieabgabe des sBESS:  
Um Energie in den NV-Bus zu transferieren, werden die NV-Module vornehmlich per PWM zwischen dem Bypass und einer Antiseriell-Verschaltung zu den übrigen Modulen des sBESS geschaltet. In Arbeitspunkten, in denen die damit in den NV-Bus transferierbare Energie nicht ausreicht, um den Verbrauch im NV-Bus decken zu können, kann in M2B-basierten Systemen statt des Bypass-Modus der Parallelmodus gewählt werden.  
Um Energie vom NV-Bus an die übrigen SMs bzw. den angeschlossenen Verbraucher abzugeben, werden die NV-Module entsprechend vornehmlich per PWM zwischen dem Bypass- oder Parallelmodus und der Serienschaltung hin und her geschaltet.
2. AC-Ausgangsspannung mit Energieaufnahme des sBESS:  
Durch die Umkehrung der Systemstromrichtung kehrt sich entsprechend die Verschaltung der NV-Module um. Seriell steht hierbei vornehmlich für Energietransfer in den NV-Bus. Antiseriell steht für Energieabgabe des NV-Buses an die übrigen SMs des Umrichterarms.
3. DC-Ausgangsspannung:  
Bei einer DC-Ausgangsspannung kann eine relativ statische Verschaltung aller SMs erfolgen. Die Wahl zwischen serieller und antiserieller Verschaltung der NV-Module ist wieder abhängig von der Stromrichtung. Um Ausgangsspannungen zu erhalten, welche nicht exakt mit einer Kombination der Energiespeichereinheiten bzw. deren aktuellen Spannungen erreicht werden können, können die NV-Module wiederum per PWM geschaltet werden.
4. Keine Ausgangsspannung:  
Bei M2B-basierten sBESS können die NV-Module statisch parallel mit allen übrigen SMs ihres jeweiligen Umrichterarms verschaltet werden, um einen Energieaustausch zwischen NV-Bus und sBESS zu ermöglichen. Bei Systemen ohne die Möglichkeit, die NV-Module parallel zu einem oder mehreren SMs zu schalten, kann wie zuvor erwähnt das Prinzip der Gleichstrombremse genutzt werden.
5. Kein Energieaustausch zwischen NV-Bus und sBESS:  
Wenn kein Energieaustausch zwischen dem NV-Bus und dem sBESS vollzogen werden soll, aber trotzdem eine überlagerte PWM benötigt wird, kann dies ebenfalls durch ein NV-Modul vollzogen werden. Hierfür können dieselben Regelalgorithmen verwendet werden, nur dass das NV-Modul öfter zwischen Lade- und Entlademodus hin und her wechselt. Je nach Implementierung kann eine Erhöhung der im NV-Modul befindlichen Kondensatorkapazität notwendig sein, um die Frequenz, mit der die übrigen SMs des Umrichterarms ihre Schaltzustände ändern müssen, zu verringern.

Nachfolgendes Flussdiagramm zeigt eine vereinfachte Regelstrategie des zuvor beschriebenen Prinzips.



**Makrotopologie** Wie bereits angedeutet wird bei der bevorzugten Ausführungsform der smarten NV-Auskopplung pro Umrichterarm ein NV-Modul verwendet. Dies ermöglicht (1) eine Erhöhung der Ausfallsicherheit, (2) eine Verteilung der Last auf mehrere NV-Module und (3) eine Balancierung der Ladezustände der Umrichterarme. Die Möglichkeit, die Ladezustände der Umrichterarme verlustfrei zu balancieren, gestattet die Verwendung von Multilevel-basierten Umrichtertopologien, welche keinen Ladungsausgleich zwischen den einzelnen Phasen ermöglichen oder bei denen dies nur verlustbehaftet möglich ist. Der Ladungsausgleich erfolgt hierbei wiederum ähnlich wie beim Balancieren der SOC's der SM-Energiespeicher durch einen unsymmetrischen Energietransfer zwischen den Umrichterarmen und dem NV-Bus über die einzelnen NV-Module.

Die Verbindung zum NV-Bus muss bei der Versorgung aus mehreren Umrichterarmen potentialgetrennt erfolgen, da ansonsten die einzelnen Phasen kurzgeschlossen würden. Abbildung 7.15 zeigt eine derartige Implementierung mit je einem NV-Modul pro sBESS-Umrichterarm. Die Verwendung des Kondensator-basierten SM-Energiespeichers dient hier der zuvor erwähnten Möglichkeit einer PWM-Erzeugung bei nicht benötigtem Energietransfer zwischen sBESS und NV-Bus. Zudem wird die Spannung am Eingang des DC/DC-Wandlers stabilisiert, damit er unabhängiger vom aktuellen Schaltzustand des NV-Moduls betrieben werden kann. Insbesondere bei Verwendung einer SM-Topologie ohne die Option, SMs parallel zu verschalten, ist dies von großer Bedeutung. Ohne diesen Kondensator-Zwischenspeicher würde beim oft verwendeten Bypass des NV-Moduls die Spannung am Eingang des DC/DC-Wandlers zeitweise schlagartig auf null Volt fallen. Zudem reduziert ein derartiger Kondensator Überschwinger beim Schalten der Halbbrücken.

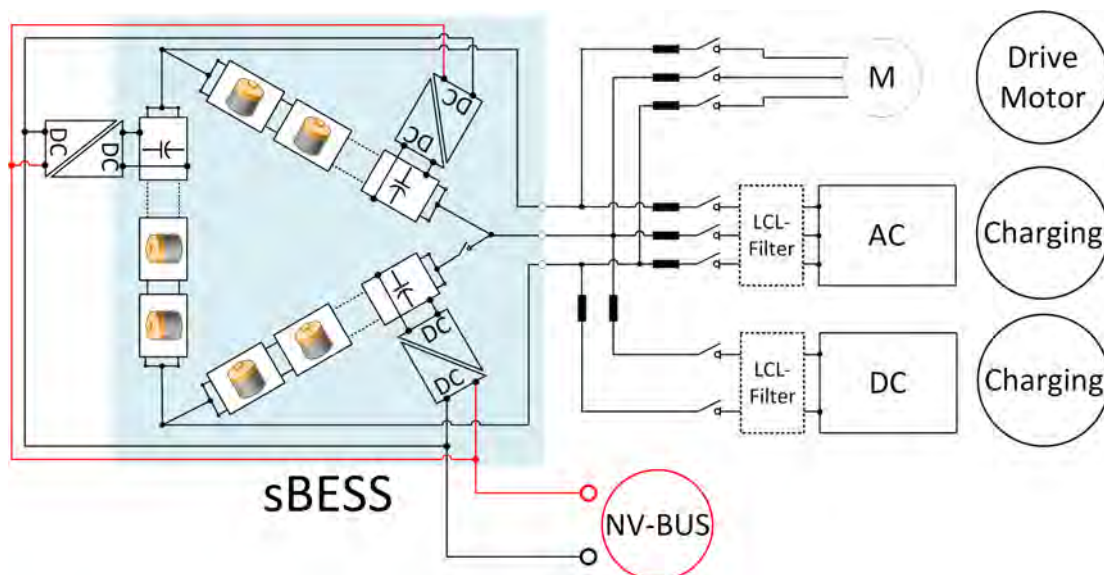


Abbildung 7.15: NV-Bordnetz-Auskopplung mit drei NV-Bus-seitig parallel verschalteten NV-Modulen

Abseits der beschriebenen Auskopplung eines NV-Buses ermöglicht das vorgestellte Prinzip auch die Einbindung von unterschiedlichen Energielieferanten und -verbrauchern. Dies können beispielsweise Solarzellen, Brennstoffzellen oder Heizelemente sein. Durch

die Verwendung eines DC/AC-Wandlers können neben derartigen DC-Systemen auch AC-Systeme wie etwa ein Klimakompressor oder ein Range-Extender eingebunden werden. Abbildung 7.16 zeigt eine derartige Implementierung mit mehreren Systemen. Handelt es sich hierbei um nicht elektrisch gekoppelte einphasige Systeme, ist eine Potentialtrennung technisch nicht notwendig, zumeist aber aus Sicherheitsgründen erforderlich. Bei Einbindung von Energieerzeugern oder -verbrauchern mit hoher Leistung wie Klimakompressor, Heizelement oder Range-Extender kann eine Ankopplung an alle Umrichterarme des Systems sinnvoll sein. Wie bei der Auskopplung des NV-Buses über je ein NV-Modul pro Umrichterarm ermöglicht dies eine Effizienzsteigerung und symmetrische Belastung des sBESS.

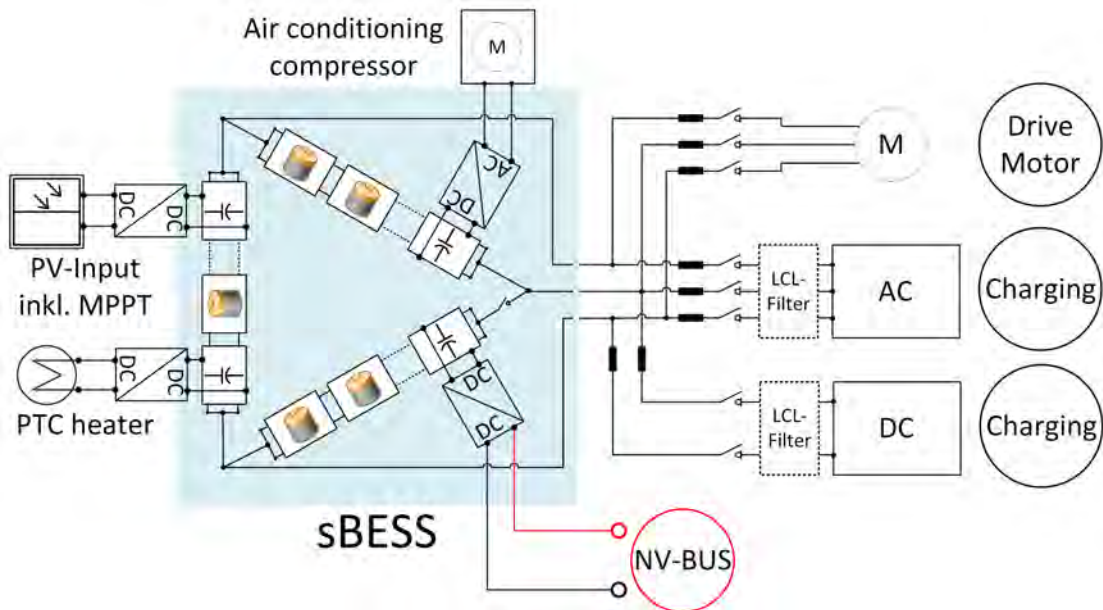


Abbildung 7.16: Versorgung von mehreren Energieerzeugern und -verbrauchern, welche jeweils über ein separates NV-Modul angebunden sind

Die Anbindung von Systemen mit hoher Leistung, wie etwa einem Range-Extender, an den NV-Bus kann auf Grund des hohen resultierenden Stroms zu Wirkungsgradeinbußen und einer Erhöhung des Gesamtaufwands führen – z. B. größere Leitungsquerschnitte oder Notwendigkeit von Parallelschaltung mehrerer MOSFETs. In aktuellen Systemen wird daher eine Anbindung direkt an den HV-DC-Bus bevorzugt. Um einen zusätzlichen HV-DC-Bus mit der vorgestellten Technologie aufzubauen, kann eine serielle Verschaltung der DC/DC-Wandler-Ausgänge verwendet werden. Durch eine derartige serielle Verschaltung kann der Übertragungsfaktor der einzelnen Hochsetzsteller verringert werden. Abbildung 7.17 zeigt eine derartige serielle Verschaltung der Ausgänge von drei DC/DC-Wandlern. Im Vergleich zur parallelen Verschaltung reduziert sich der Übertragungsfaktor der einzelnen Hochsetzsteller um zwei Drittel. Neben der gezeigten Ausführung mit drei separaten DC/DC-Wandlern kann auch eine Kombination über einen Transformator mit drei isolierten Eingängen und einem gemeinsamen Ausgang erfolgen.

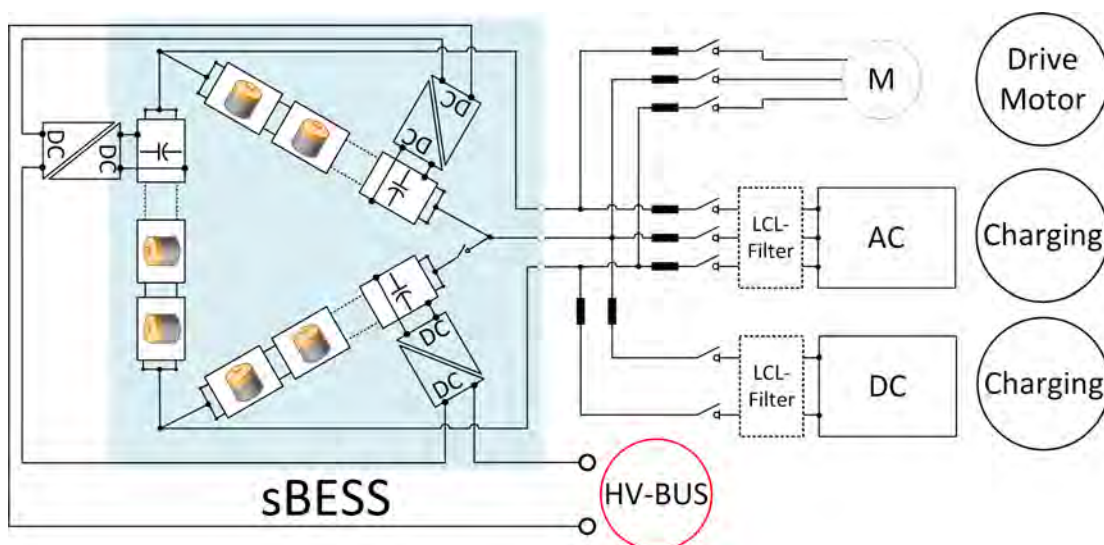


Abbildung 7.17: Aufbau eines HV-DC-Buses mittels dreier sekundärseitig seriell verschalteter DC/DC-Wandler

**Simulationen** Abbildung 7.18 zeigt die Ergebnisse der Simulation eines M2B-basierten Umrichterarms, welche mit MATLAB/Simulink (MathWorks Inc., Natick, USA) erstellt wurde. Der Umrichterarm besteht aus sechs Sekundärzellen-basierten Modulen und einem NV-Modul, jeweils mit einer Nennspannung von 60 V. Die NV-Last ist als variabler Widerstand parallel zum NV-Kondensator ausgeführt. Die Kapazität des NV-Kondensators beträgt 1 mF. Der Umrichterarm erzeugt bei 50 Hz eine Ausgangsspannung von 230 V (Abbildung 7.18 (a) grün). Das Leistungsverhältnis zwischen Systemlast und NV-Last variiert zwischen (1) hoher Systemlast ohne NV-Last, (2) hoher Systemlast mit mittlerer NV-Last und (3) niedriger Systemlast mit höherer NV-Last.

Innerhalb des ersten Intervalls wird kein Energieaustausch zwischen dem NV-Bus und dem sBESS durchgeführt. Dennoch kann der überlagerte PWM vom NV-Modul erzeugt werden, indem der Kondensator zwischen Lade- und Entlademodus wechselt. Somit oszilliert der Strom durch den NV-Modul-Kondensator um die Nulllinie (Abbildung 7.18 (c) lila), was zu einer geringen Spannungsschwankung am NV-Modul-Kondensator führt (Abbildung 7.18 (d)).

Innerhalb des zweiten Intervalls wechselt der NV-Modul-Kondensator zwischen antiseriellen und Bypass-Modus, um einen Energietransfer vom sBESS in den NV-Bus zu erzielen. Während der antiseriellen Verschaltung entspricht die Stromstärke durch den NV-Modul-Kondensator (Abbildung 7.18 (c) lila) dem Systemstrom (Abbildung 7.18 (c) grün) minus dem NV-Laststrom (Abbildung 7.18 (c) rot). Während des Bypasses des NV-Modul-Kondensators wird die NV-Last nur von dem NV-Modul-Kondensator versorgt, womit der Strom durch den NV-Modul-Kondensator und die NV-Last identisch ist. Während des Systemspannungs-Nulldurchgangs (bei 0,03 s) wird der NV-Modul-Kondensator parallel zu den anderen SM-Energiespeichern geschaltet. Das Ergebnis dieser Parallelschaltung ist eine hohe Stromspitze durch den NV-Modul-Kondensator, um diesen zu laden. Aufgrund der parallelen Verbindung aller Sekundärzellen-basierten SMs

wird diese Stromspitze auf alle Sekundärzellen verteilt, was zu einer moderaten Stromspitze durch die Sekundärzellen führt (Abbildung 7.18 (b) zeigt den Strom durch eine Sekundärzelle des dem NV-Modul direkt benachbarten SMs). Die Parallelschaltung ist notwendig, da der Systemstrom zu klein ist, um eine ausreichende Leistungsübertragung vom sBESS zum NV-Bus zu gewährleisten.

Um die Spannungsschwankungen am NV-Modul-Kondensator zu reduzieren, kann der Parallelmodus anstelle des Bypass-Modus verwendet werden. Insbesondere in Fällen mit höherem Energieverbrauch im NV-Bus kann eine kontinuierliche Leistungsübertragung nicht ohne die Verwendung des Parallelmodus anstelle des Bypasses aufrechterhalten werden. Bei einer derartigen Konstellation wie im dritten Intervall von Abbildung 7.18 gezeigt ist der Systemstrom viel kleiner als der NV-Laststrom. Dies führt zu einem hohen Entladestrom am NV-Modul-Kondensator während der antiseriellen Verschaltung mit den übrigen sBESS-SMs. Mit der Parallelschaltung kann die Spannungsschwankung des NV-Modul-Kondensators reduziert werden, was jedoch zu einer Stromschwankung durch die Sekundärzellen mit erhöhter Amplitude führt.

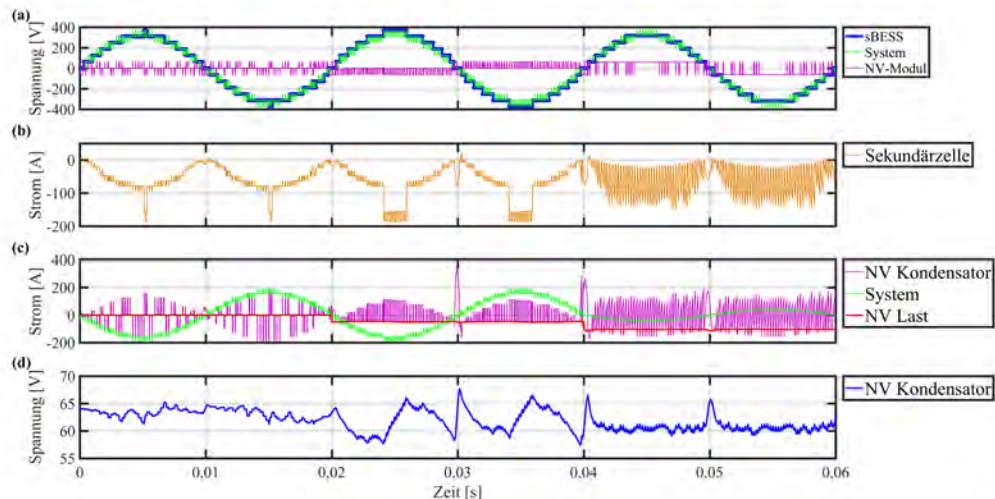


Abbildung 7.18: Aufbau eines HV-DC-Buses mittels dreier sekundärseitig seriell verschalteter DC/DC-Wandler

**Messergebnisse** Die Funktionsfähigkeit der smarten NV-Auskopplung wurde mit einem von Arthur Singer im Zuge seiner Doktorarbeit [159] erstellten sBESS-Prototyp getestet. Der Prototyp besteht aus acht Sekundärzellen-basierten SMs und einem NV-Modul, ohne Parallelschaltoption. Jedes Sekundärzellen-basierte SM ist mit einem Lithium-Ionen-Akkupack mit einer Nennspannung von 28,8 V (Samsung SDI, 68 Ah und 8 Lithium-Ionen-Sekundärzellen pro Packung) ausgestattet. Das NV-Modul enthält einen Kondensator mit 680  $\mu F$ . Ein HDO6104-Oszilloskop, zwei ADP305-Hochspannungsdifferenzsonden (200 MHz) und zwei CP031A-Stromsonden (30  $A_{peak}$ , 100 MHz) (alle von Teledyne LeCroy Inc., New York, USA) wurden für die Messungen verwendet. Der Steueralgorithmus für das sBESS und das NV-Modul wurde in MAT-



LAB/Simulink (MathWorks Inc., Natick, USA) geschrieben und läuft auf einer dSpace-MicroLabBox (dSPACE GmbH, Paderborn, Deutschland).

Abbildung 7.19 zeigt die Spannung (C3) und den Strom (C4) des Umrichterarms in einem Betriebspunkt ähnlich dem ersten Intervall der vorherigen Simulation –  $70 V_{RMS}$  Sinus mit  $50 Hz$  und  $100 \Omega$  Last ohne NV-Last. Der PWM mit  $20 kHz$  wird vom NV-Modul durch Umschalten zwischen dem Seriell- und Bypass-Modus bzw. antiseriallem und Bypass-Modus erzeugt. Der Kondensatorstrom (C2) pendelt somit zwischen null Ampere und dem Systemstrom mit positivem oder negativem Vorzeichen. Der Kondensatorstrom im Bypass-Modus scheint auf den ersten Blick nicht null zu sein. Dies sind jedoch Alias-Effekte aufgrund der Zoomstufe des Oszilloskops, die sich aus den Überschwingern während der Schaltvorgänge ergeben. Die Dauer der Schwingungen liegt im Bereich von einigen Nanosekunden. Die Spannung des NV-Modul-Kondensators (C1) weist geringe Abweichungen bei einer mittleren Spannung im Bereich der Nennspannung der Akkupacks auf, wie dies anhand der Simulationen zu erwarten war.

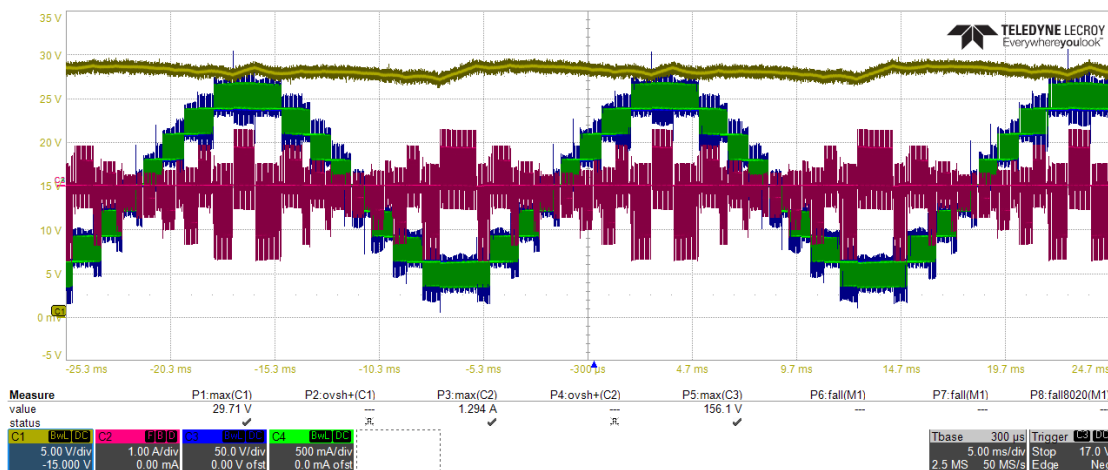


Abbildung 7.19:  $70 V_{RMS}$  Sinus mit  $50 Hz$  und  $20 kHz$  PWM eines sBESS-Umrichterarms, an einer  $100 \Omega$ -Last ohne NV-Last, mit NV-Modul-Kondensatorspannung (C1, gelb) und Strom (C2, lila) und der Systemspannung (C3, blau) und Strom (C4, grün)

Der zweite Arbeitspunkt ist wiederum ähnlich dem zweiten Intervall in der oben erwähnten Simulation mit einer moderaten NV-Last. Die NV-Last wird durch einen Widerstand mit  $103 \Omega$  parallel zum NV-Modul-Kondensator emuliert. Der Steueralgorithmus reagiert auf den erhöhten Stromverbrauch im NV-Bus, indem der NV-Modul-Kondensator vorzugsweise antiseriall zum sBESS geschaltet wird. Die Spannungsschwankung ist geringfügig höher und der Mittelwert der NV-Modul-Kondensatorspannung ist etwas niedriger (Abbildung 7.20, C1) als im ersten Arbeitspunkt. Trotzdem ist das System stabil und der NV-Bus-Laststrom (Abbildung 7.20, C4) schwankt nur geringfügig.

Ein weiterer Anstieg der NV-Bus-Last durch Verringerung des Widerstandes parallel zu dem NV-Modul-Kondensator von  $103 \Omega$  auf  $43 \Omega$  führt zu einer Instabilität des Systems. Wie in Abbildung 7.21 zu sehen, zwingt der erhöhte Leistungsverbrauch den Steueralgorithmus dazu, die Erzeugung der PWM stellenweise auszusetzen. An diesen Punkten wird der NV-Modul-Kondensator dauerhaft antiseriall zum sBESS geschaltet, um des-

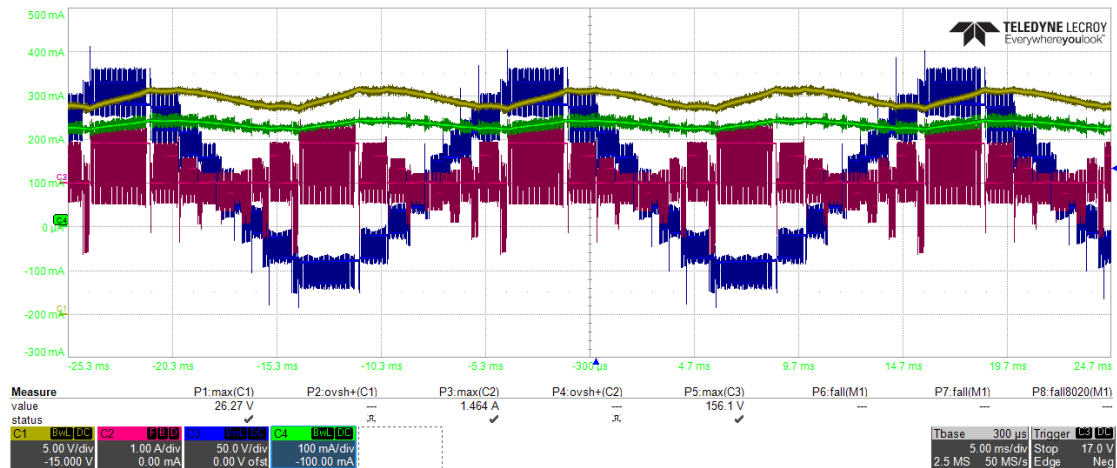


Abbildung 7.20:  $70 V_{RMS}$  Sinus mit  $50 Hz$  und  $20 kHz$  PWM eines sBESS-Umrichterarms, an einer  $100 - \Omega$ -Last bei einer NV-Bus-Last von  $103 \Omega$ , mit NV-Modul-Kondensatorspannung (C1, gelb) und Strom (C2, lila), dem NV-Laststrom (C4, grün) und der Systemspannung (C3, blau)

sen Spannung anheben zu können (Abbildung 7.21 C1). Dennoch ist der Mittelwert der NV-Modul-Kondensatorspannung um etwa  $10 V$  niedriger als in einem stabilen Zustand. Um einen stabilen Betrieb in diesem oder noch ungünstigeren Arbeitspunkten zu ermöglichen, ist eine Implementierung mit der Möglichkeit einer parallelen Verschaltung des NV-Modul-Kondensators mit den übrigen SMs vorteilhaft, wie dies in den Simulationen gezeigt wurde.

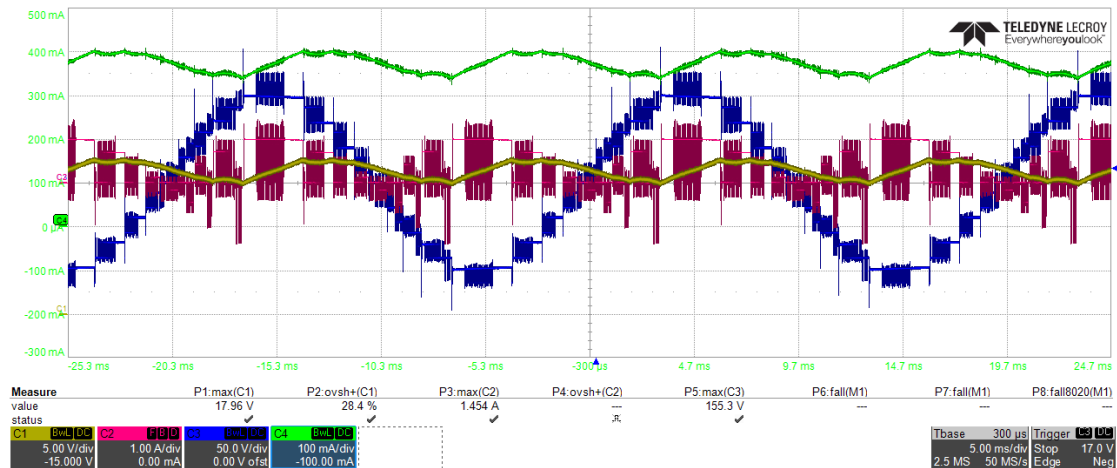


Abbildung 7.21:  $70 V_{RMS}$  Sinus mit  $50 Hz$  und  $20 kHz$  PWM eines sBESS-Umrichterarms, an einer  $100 - \Omega$ -Last bei einer NV-Bus-Last von  $43 \Omega$ , mit NV-Modul-Kondensatorspannung (C1, gelb) und Strom (C2, lila), dem NV-Laststrom (C4, grün) und der Systemspannung (C3, blau)

**Diskussion** Die Simulation mit einem M2B-basierten System und die Messungen mit einem sBESS-Prototyp ohne Parallelschaltoption zeigen, dass das vorgestellte Prinzip

einen Leistungsaustausch zwischen dem sBESS und dem NV-Bus ermöglicht. In Systemen mit hoher Leistungsaufnahme oder Energieproduktion am NV-Bus ist die Verwendung eines M2B-Systems vorteilhaft. Dies ist dadurch bedingt, dass mittels einer Parallelschaltung ein Ladungsausgleich zwischen sBESS und NV-Bus unabhängig vom Systemstrom und somit in jedem Betriebspunkt des Elektrofahrzeuges möglich ist. Die Herausforderung einer solchen Implementierung besteht darin, dass die Spannungsschwankung des NV-Modul-Kondensators klein sein muss. Hohe Spannungsdifferenzen zwischen dem NV-Modul-Kondensator und den Batteriepacks führen zu hohen Ausgleichsströmen während der Parallelschaltung. Ein regelbarer DC/DC-Wandler zwischen dem NV-Modul-Kondensator und dem NV-Bus (wie in Abbildung 7.13 gezeigt) kann die Spannungsschwankung am Kondensator reduzieren. Darüber hinaus wird in den meisten automobilen Anwendungen aus Sicherheitsgründen ein Energiepuffer im NV-Bus mit höherer Kapazität verbaut – zumeist ein Sekundärzellen-basierter 12 V- oder 48 V-Akkupack. Dieser Puffer ermöglicht einen zusätzlichen Regelkreis, um die Spannungsschwankungen am NV-Modul-Kondensator zu stabilisieren.

**Zusammenfassung** Die Vorteile der smarten NV-Bus-Auskopplung sind somit:

1. Hohe Effizienz durch geringe Spannungsdifferenz zwischen NV-Bus-Kondensator und NV-Bus
2. Hohe Effizienz im Ruhezustand durch statische Verschaltung der(des) NV-Module(s) mit anderem(en) SMs des Systems und damit geringe Schaltverluste
3. Verringerung des Spannungsrippels auf den Batteriezellen, durch Erzeugung des PWM ausschließlich mittels NV-Modulen
4. Effizienzsteigerung, da ein überlagerter PWM mittels nur eines SM pro Umrichterarm und damit wenige Schalter mit PWM-Frequenz getaktet werden müssen
5. Geringere Anforderung an den Kommunikationsbus, da nur NV-Modul(e) mit hoher Taktrate angesprochen werden müssen
6. Hohe Ausfallsicherheit des NV-Buses durch mehrere NV-Module, z. B. pro Umrichterarm ein oder mehrere NV-Module
7. Ladungsausgleich zwischen Umrichterarmen, bei zumindest einem NV-Modul pro Arm, über den NV-Bus möglich
8. Einbindung von Energieerzeugern oder -verbrauchern mit hoher Leistung effizient und ökonomisch möglich

## 7.5 Zusammenfassung

Der Einsatz der M2B-Technologie scheint für eine große Anzahl an Anwendungsfällen durch die Möglichkeit eines verlustfreien Bilanzierens der Sekundärzellen-SOCs vorteilhaft zu sein. Um diesen Vorteil vollumfänglich nutzen zu können, sind jedoch Implementierungen mit einer geringen Anzahl von Sekundärzellen pro SM oder idealerweise gar einer Sekundärzelle pro SM zu bevorzugen. Neben diesem Sekundärzellen-spezifischen Vorteil weisen M2B-Systeme eine hohe Flexibilität hinsichtlich der erzeugbaren Ausgangsspannung auf, womit der Einsatz im Hauptantriebsstrang von Elektrofahrzeugen eine hohe Reduktion der Komplexität des Antriebsstrangs ermöglicht und die Interoperabilität mit verschiedenen Batterieladeverfahren gewährleistet. Dabei sind der direkte Anschluss an das Hausnetz, ein Laden an AC-Schnellladestationen und an DC-Schnellladestationen ohne hohen Hardware-Mehraufwand möglich. Auch die Implementierung von induktivem Laden ist ohne zusätzliche Umrichter mittels der M2B-Technologie möglich. All diese Ladeoptionen sind hierbei grundsätzlich ohne Mehraufwand bidirektional und mit der maximalen Antriebsleistung eine Option, sofern dies von den verwendeten Sekundärzellen unterstützt wird. Hierbei sei darauf hingewiesen, dass die Möglichkeit von bidirektionalem Laden auch bei induktivem Laden möglich ist.

Neben diesen klaren Systemvorteilen in Elektrofahrzeugen weisen M2B-basierte Systeme auch eine vereinfachte Zweitverwertung als stationäre Energiespeicher auf. Abgesehen von der Konzeption von M2B-basierten Energiespeichern für den rein stationären Betrieb wird die Weiterverwendbarkeit von ausrangierten Energiespeichern aus Elektrofahrzeugen erleichtert. M2B-basierte Energiespeicher können direkt ohne weitere Modifikation an der M2B-Hardware als stationäre Speicher verwendet werden. Zudem ist auch der Aufbau von M2B-Energiespeichern mit alten Sekundärzellen möglich, da mit dieser Technologie auch Energiespeichereinheiten mit unterschiedlichen elektrischen Eigenschaften in einem System kombiniert werden können.

Einen Nachteil von M2B-Systemen bei deren Einsatz in Elektrofahrzeugen stellt das prinzipbedingte Fehlen eines Hochvolt-Zwischenkreises hinsichtlich der Versorgung von Nebenaggregaten dar. Durch das vorgestellte Prinzip der smarten NV-Auskopplung wird dieses Problem auf effiziente Weise gelöst und dies birgt in sich zudem das Potential für eine Effizienzsteigerung im Vergleich zu herkömmlichen Hochspannungs-DC-DC-Wandlern. Zudem ist hiermit eine vereinfachte Einbindung von Energieerzeugern wie Photovoltaikmodulen möglich.

Ein weiterer Vorteil des Nichtvorhandenseins eines Hochspannungs-DC-Energiespeichers ist die erhöhte Sicherheit, da an einem M2B-basierten System mit SM Spannungen im Bereich von Schutzkleinspannung, im ausgeschalteten Zustand an keinem Punkt im System eine Spannung oberhalb der Schutzkleinspannung anliegt. Dies erleichtert die Wartung des Systems und die Rettungsmaßnahmen im Falle eines Unfalls erheblich.

## 8 Zusammenfassung

### 8.1 Diskussion

In der vorliegenden Arbeit wurden die Funktionsweise und die unterschiedlichen Implementierungsmöglichkeiten der drei am Lehrstuhl entwickelten Multilevel-Topologien – Modularer Multilevel-Parallel-Batterie-Umrichter, Exponentieller Modularer Multilevel-Umrichter und Modularer Multilevel-Parallel-Umrichter – erarbeitet und in Relation zu bereits aus der Literatur bekannten Umrichtertopologien gesetzt. Um eine möglichst allgemein gültige Vergleichbarkeit der Topologien zueinander hinsichtlich deren Verwendbarkeit für unterschiedliche Anwendungsfälle zu erhalten, wurden eine detaillierte Verlustbetrachtung und eine Abschätzung des jeweiligen Implementierungsaufwandes durchgeführt. Hierbei wurden die jeweiligen Vor- und Nachteile der einzelnen Topologie in Relation zu deren Ursachen herausgearbeitet. Anhand dieser Betrachtungen kann eine einfache Technologieauswahl für beliebige Anwendungsfälle und Einsatzgebiete vollzogen werden.

Auf Grundlage dieser Betrachtungen wurde eine Technologieauswahl für die beiden beispielhaften Anwendungsfälle – TMS und Sekundärzellen-basierte Energiespeichersysteme – getroffen. Es wurde gezeigt, dass im Falle der TMS ein Exponentieller Modularer Multilevel-Umrichter am vielversprechendsten ist, wohingegen ein Modularer Multilevel-Parallel-Batterie-Umrichter die am geeignetsten erscheinende Topologie für Sekundärzellen-basierte Energiespeichersysteme ist.

Für beide Anwendungsfälle wurden erste Prototypen angefertigt, um erstmalig allgemein die grundsätzliche Funktionsfähigkeit der beiden neuartigen Multilevel-Topologien zu belegen und im Speziellen die Eignung für diese Anwendungsfälle nachzuweisen.

### 8.2 Fazit

Für die beiden neuartigen Multilevel-Umrichter – Modularer Multilevel-Parallel-Batterie-Umrichter und Exponentieller Modularer Multilevel-Umrichter – konnte simulativ und mit ersten Prototypen bewiesen werden, dass die Funktionsfähigkeit der Topologien gegeben ist.

Im Falle des EMMC wurde gezeigt, dass ein Energietransfer von einem zentral versorgten SM hin zu nicht separat versorgten SMs in jedem Betriebspunkt möglich ist, solange die Ausgangsspannung nicht gewisse Grenzwerte überschreitet. Somit kann bei Einsatz der EMMC-Topologie eine Makrotopologie verwendet werden, bei der pro Phase nur ein

Umrichterarm und keine potentialgetrennte Versorgung der SM-Energiespeicher benötigt wird. Ferner können die Kapazitäten der EMMC-SMs theoretisch stark reduziert werden. Dies ist allerdings nur bei einer mitunter stark erhöhten PWM-Frequenz möglich. Generell benötigt ein EMMC immer einen DC-Zwischenkreis. Beim Einsatz in der TMS ist somit ein Gleichrichten der einphasigen Versorgung notwendig. In Sekundärzellen-basierten Energiespeichersystemen kann der EMMC prinzipiell auch eingesetzt werden und bietet hier Vorteile hinsichtlich geringerem THD im Vergleich zu 2-Level-Umrichtern und geringeren Bauteilaufwand hinsichtlich modularer Multilevel-Umrichter.

Allerdings kann mittels der EMMC-Topologie kein Mehrwert hinsichtlich eines optimierten Batteriemangements gebildet werden, wie dies bei der M2B-Topologie der Fall ist. Der Vorteil eines derartigen Batteriemangements wird hierbei umso größer, je kleiner die Anzahl der pro SM in Serie verschalteten Sekundärzellen gewählt wird. Ein optimales Batteriemangement ist schließlich bei einer Sekundärzelle pro SM gegeben. Es konnte gezeigt werden, dass die Effizienz einer derartigen Implementierung ähnlich zu Implementierungen mit mehreren Sekundärzellen pro SM liegt. Die Zahl der zu verbauenden Bauteile ist dabei um ein Vielfaches höher, jedoch jeweils mit einer geringeren benötigten Spannungsfestigkeit. Der Preisanstieg hält sich somit in Grenzen und wird zusätzlich teilweise durch das komplette Obsoletwerden eines separaten BMS kompensiert. Der Vergleich zwischen M2B-Vollbrücken- und -Halbbrücken-SMs zeigt, dass bezüglich Wirkungsgrad und Kosten Halbbrücken tendenziell geeigneter für kleine SM-Spannungen und Vollbrücken für größere SM-Spannungen sind. Bei Verwendung einer Verschachtelung von M2B-Halbbrücken-basierten Subumrichterarmen kann diese Topologie allerdings auch für höhere Spannungen konkurrenzunfähig zu M2B-Vollbrücken sein. Die Funktionsfähigkeit der M2B-Vollbrücken und -Halbbrücken wurde mittels mehrerer Prototypen belegt. Insbesondere wurde hier gezeigt, dass eine variable Parallelschaltung von Sekundärzellen-basierten SM-Energiespeichern problemlos möglich ist.

In Bezug auf den Einsatz von Multilevel-Umrichtersystemen ohne DC-Zwischenkreis, wie bei M2B-Systemen, in mobilen Energiespeicheranwendungen wie Elektrofahrzeugen bedarf es neuer Lösungen zur Versorgung des Niederspannungs-Bordnetzes. In der vorliegenden Arbeit wurde eine effiziente Lösung hierfür vorgestellt und es wurde anhand von Simulationen und eines Prototyps belegt, dass dieses Prinzip in jedem Betriebszustand dazu geeignet ist, Energie effizient und bidirektional zwischen Antriebsbatterie und Niederspannungs-Bordnetz auszutauschen. Zudem kann dieses Prinzip zur effizienten Einbindung weiterer Energieverbraucher wie elektrischer Zusatzheizung und von Energiequellen wie Photovoltaikmodulen genutzt werden.

### 8.3 Ausblick

Durch die dieser Arbeit zu Grunde liegenden Forschungstätigkeiten wurde der Grundstein für eine neue Generation von Systemen für die TMS und Sekundärzellen-basierte Energiespeichersysteme für den mobilen und stationären Einsatz gelegt.

In Bezug auf die EMMC-Topologie konnte die grundlegende Funktionalität belegt werden, allerdings war es mit den verwendeten Si-MOSFET nicht möglich, Stimulationspulse mit ausreichender Stärke zu generieren, um eine Nervenstimulation durchzuführen.

Auf den gewonnenen Erfahrungen aufbauend, sollte ein System mit SiC-MOSFET, für die SM mit höherer Spannung, implementiert werden. Inzwischen findet diese Technologie bereits breiten Einzug in Seriensysteme, womit die Verfügbarkeit und die Preise in letzter Zeit stark gesunken sind. Der Einsatz von Si-MOSFET, selbst der neusten Generation mit verbesserter Body-Dioden-Charakteristik, scheint hier kaum vielversprechend zu sein.

Die ersten Erkenntnisse und das grundlegende Patent zur M2B-Technologie ermöglichten es, frühzeitig ein – mittlerweile abgeschlossenes – Projekt gefördert von der Deutschen Bundesstiftung Umwelt in Kooperation mit der MaxSolar GmbH und der Hochschule Osnabrück durchzuführen. Ziel des Projekts war die Entwicklung eines M2B-basierten stationären Energiespeichers, mit welchem erste Langzeittests durchgeführt werden können. Dieses System dient zur Validierung der M2B-Technologie an sich und von dessen Eignung als Serienprodukt. Die Ergebnisse des Projekts waren derart erfolgversprechend, dass das Projekt im Rahmen des „EXIST-Forschungstransfer“ vom Bundeswirtschaftsministerium gefördert wurde, auf dessen Grundlage sich nun die STABL Energy GmbH, um den ehemaligen Doktoranden des Lehrstuhls Arthur Singer, mit der Markteinführung eines Batteriespeichers für Gewerbe und Industrie bemüht.

Es konnte in der vorliegenden Arbeit gezeigt werden, dass sich die M2B-Technologie auch besonders für mobile Energiespeicheranwendungen wie Elektrofahrzeuge eignet. Um diesen Bereich voranzutreiben, startet aktuell ein ebenfalls im Rahmen des „EXIST-Forschungstransfer“ vom Bundeswirtschaftsministerium gefördertes Projekt, unter Leitung eines weiteren Doktoranden des Lehrstuhls, Manuel Kuder.





## Literatur

- [1] R. Marquardt, „Modular Multilevel Converter: An universal concept for HVDC-Networks and extended DC-Bus-applications,“ in *The 2010 International Power Electronics Conference-ECCE ASIA-*, IEEE, 2010, S. 502–507.
- [2] A. Lesnicar und R. Marquardt, „An innovative modular multilevel converter topology suitable for a wide power range,“ in *Power Tech Conference Proceedings*, Bd. 3, 2003, S. 6.
- [3] R. Marquardt, „Modular multilevel converters: State of the art and future progress,“ *IEEE Power Electronics Magazine*, Jg. 5, Nr. 4, S. 24–31, 2018.
- [4] P. R. Júnior, A. F. Cupertino, G. A. Mendonça und H. A. Pereira, „On lifetime evaluation of medium-voltage drives based on modular multilevel converter,“ *IET Electric Power Applications*, Jg. 13, Nr. 10, S. 1453–1461, 2019.
- [5] Y. S. Kumar und G. Poddar, „Control of medium-voltage AC motor drive for wide speed range using modular multilevel converter,“ *IEEE Transactions on Industrial Electronics*, Jg. 64, Nr. 4, S. 2742–2749, 2016.
- [6] S. Goetz, A. Singer, T. Weyh und F. Helling, „Device and Method for Sorting and Labeling of Biological Systems based on the Ionic-Electric Dynamics,“ US20150104821A1, 2013.
- [7] F. Helling und T. Weyh, „Modular energy storage direct converter system,“ WO2016012247A1, 2014.
- [8] F. Helling, T. Weyh und A. Singer, „Low-volt decoupling from a modular energy store converter system,“ WO2018122094A1, 2016.
- [9] T. Weyh, R. Eckerle, F. Helling und R. Knauer, „Converter for energy transmission,“ WO2018189389A1, 2017.
- [10] T. Weyh und F. Helling, „Pulse source and method for magnetically inductive nerve stimulation,“ WO2018189387, 2017.
- [11] F. Helling, S. Gotz und T. Weyh, „A battery modular multilevel management system (BM3) for electric vehicles and stationary energy storage systems,“ in *Power Electronics and Applications (EPE'14-ECCE Europe), 2014 16th European Conference on*, IEEE, 2014, S. 1–10.
- [12] F. Helling, J. Glück, A. Singer, H.-J. Pfisterer und T. Weyh, „The AC battery—A novel approach for integrating batteries into AC systems,“ *International Journal of Electrical Power & Energy Systems*, Jg. 104, S. 150–158, 2019.
- [13] F. Helling, J. Glück, A. Singer und T. Weyh, „Modular multilevel battery (M2B) for electric vehicles,“ in *2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe)*, IEEE, 2016, S. 1–9.

- [14] F. Helling, S. Götz, A. Singer und T. Weyh, „Fast modular multilevel series/parallel converter for direct-drive gas turbines,“ in *2015 IEEE NW Russia Young Researchers in Electrical and Electronic Engineering Conference (EICon-RusNW)*, IEEE, 2015, S. 198–202.
- [15] F. Helling, S. Götz und T. Weyh, „A battery modular multilevel management system (BM3) for electric vehicles and stationary energy storage systems,“ in *2014 16th European Conference on Power Electronics and Applications*, IEEE, 2014, S. 1–10.
- [16] F. Helling, M. Kuder, A. Singer, S. Schmid und T. Weyh, „Low voltage power supply in modular multilevel converter based split battery systems for electrical vehicles,“ in *2018 20th European Conference on Power Electronics and Applications (EPE'18 ECCE Europe)*, IEEE, 2018, P–1.
- [17] F. Helling, A. Singer, S. Götz und T. Weyh, „Optimization of Hydrogen Gas Turbine Power Supply by means of a novel Modular Multilevel Parallel Converter (M2PC),“ in *2014 5th International Renewable Energy Congress (IREC)*, IEEE, 2014, S. 1–5.
- [18] C. Dahmani, O. Mykhaylyk, F. Helling, T. Weyh, H.-G. Herzog, C. Plank u. a., „Rotational magnetic pulses enhance the magnetofection efficiency in vitro in adherent and suspension cells,“ *Journal of magnetism and magnetic materials*, Jg. 332, S. 163–171, 2013.
- [19] D. Emrich, A. Fischer, C. Altenhöfer u. a., „Muscle force development after low-frequency magnetic burst stimulation in dogs,“ *Muscle & nerve*, Jg. 46, Nr. 6, S. 951–953, 2012.
- [20] S. Goetz, F. Helling und T. Weyh, „P 232. Leaving the beaten track of TMS waveform restrictions: Concepts and prototype for a convertible stimulator that can generate almost every type of existing and future waveform,“ *Clinical Neurophysiology*, Jg. 124, Nr. 10, e177, 2013.
- [21] M. Kuder, A. Kersten, L. Bergmann, R. Eckerle, F. Helling und T. Weyh, „Exponential Modular Multilevel Converter for Low Voltage Applications,“ in *2019 21st European Conference on Power Electronics and Applications (EPE'19 ECCE Europe)*, IEEE, 2019, P–1.
- [22] A. Singer, F. Helling, T. Weyh, J. Jungbauer und H.-J. Pfisterer, „Modular multilevel parallel converter based split battery system (m2b) for stationary storage applications,“ in *2017 19th European Conference on Power Electronics and Applications (EPE'17 ECCE Europe)*, IEEE, 2017, P–1.
- [23] A. Singer, F. Helling, T. Weyh, H.-J. Pfisterer und U. Bürger, „Ein disruptiver Ansatz: Hocheffiziente modulare Energiespeicher durch verstärkten Einsatz von Software und offener Hardware,“ 2016.
- [24] A. Singer, A. Jeyaprakash, S. Goetz, F. Helling und T. Weyh, „Isolated low-power multi-output DC-DC converters with heterogeneous loads for an efficient supply of modular power electronics systems,“ in *PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management*, VDE, 2016, S. 1–8.

- [25] A. Singer, H.-J. Pfisterer, F. Helling und U. Bürger, „Evaluierung einer neuartigen Umrichtertopologie zur Kombination von Batterie, Balancing-Systemen, Umrichtern und Ladeschaltungen-Vorstudie,“ 2015.
- [26] A. A. Infineon Technologies, *Datasheet IPT004N03L*.
- [27] —, *Datasheet IPT012N08N5*.
- [28] IXYS, *IXFN150N65X2, N-channel 650 V, 0.017, 145 A, X2-Class HiPerFETTM Power MOSFET*, IXYS Corporation, (Silicon Valley, USA), 2015. Adresse: [http://ixapps.ixys.com/datasheet/ds100691b\(ixfn150n65x2\).pdf](http://ixapps.ixys.com/datasheet/ds100691b(ixfn150n65x2).pdf).
- [29] J. B. Forsythe, „Paralleling of power MOSFETs for higher power output,“ 1981.
- [30] N. Z. Yahaya, „The Study of MOSFET Parallelism in High Frequency DC/DC Converter,“ *International Journal on Electrical and Power Engineering*, Jg. 3, Nr. 2, S. 21–24, 2012.
- [31] C. Blake und C. Bull, „IGBT or MOSFET: choose wisely,“ *International Rectifier*, 2001.
- [32] B. F. JAMES, „Paralleling Of Power MOSFETs For Higher Power Output,“ *Application note, International Rectifier*, URL [www.irf.com/technical-info/appnotes/para.pdf](http://www.irf.com/technical-info/appnotes/para.pdf), Jg. 163, S. 164–165, 2013.
- [33] A. Wintrich, U. Nicolai, W. Tursky und T. Reimann, „SEMIKRON Applikationshandbuch Leistungshalbleiter,“ *Verlag ISLE*, 2010.
- [34] A. A. Infineon Technologies, *Datasheet IPT65R033G7*.
- [35] —, *Datasheet AIKW50N65DH5*.
- [36] A. Fiel, T. Wu u. a., „MOSFET failure modes in the zero-voltage-switched full-bridge switching mode power supply applications,“ in *Applied power electronics conference and exposition*, 2001, S. 1247–1252.
- [37] S. Havanur und P. Zuk, „Power MOSFET Basics Understanding Superjunction Technology,“ *Vishay Application Note AN-849*, April, 2015.
- [38] J. L. Niklas Hofstötter, „IGBT Modules in Parallel Operation with Central and Individual Driver Board,“ *Techn. Ber.*, 2017.
- [39] G. ROHM Semiconductor, 2018.
- [40] —, „SiC Power Devices and Modules, Application Note,“ *Techn. Ber.*, 2013.
- [41] G. GaN Systems, „Available online: [http://www.gansystems.com/datasheets/GS66508T\\_20DS\\_20Rev](http://www.gansystems.com/datasheets/GS66508T_20DS_20Rev),“ Jg. 20161101,
- [42] M. Wendt, „Ermittlung der Verlustleistungen in einem Synchron-Tiefsetzsteller mit Niedervolt-GaN-HFETs,“ *Diss.*, 2015.
- [43] S. Bhattacharya, „Dual Two-level and Three-level Inverter Topologies: Modulation and Control Strategies,“ *Diss.*, McGill University Libraries, 2017.
- [44] L. Schwager, A. Tüysüz, C. Zwysig und J. W. Kolar, „Modeling and comparison of machine and converter losses for PWM and PAM in high-speed drives,“ *IEEE Transactions on Industry Applications*, Jg. 50, Nr. 2, S. 995–1006, 2014.
- [45] A. Krause und A. Mathoy, „Zero-voltage switching power converter,“ *US Patent 8,199,544*, 2012.

- [46] A. Lesnicar, *Neuartiger, modularer mehrpunktumrichter M2C für netzkupplungsanwendungen*. Shaker, 2008.
- [47] I. E. Commission u. a., „IEC 61727, 2004-12,“ *Photovoltaic (PV) systems—Characteristics of the utility interface*, 2004.
- [48] C. Masetti, „Revision of European Standard EN 50160 on power quality: Reasons and solutions,“ in *Proceedings of 14th International Conference on Harmonics and Quality of Power-ICHQP 2010*, IEEE, 2010, S. 1–7.
- [49] L. D’Errico, A. Lidozzi, V. Serrao und L. Solero, „Multilevel converters for high fundamental frequency application,“ in *Power Electronics and Applications, 2009. EPE’09. 13th European Conference on*, IEEE, 2009, S. 1–14.
- [50] R. H. Baker und L. H. Bannister, „Electric power converter,“ Nr. US Patent 3867643, 1975.
- [51] N. Kawakami, S. Ota, H. Kon u. a., „Development of a 500-kW Modular Multilevel Cascade Converter for Battery Energy Storage Systems,“ *Industry Applications, IEEE Transactions on*, Jg. 50, Nr. 6, S. 3902–3910, 2014.
- [52] L. Maharjan, S. Inoue, H. Akagi und J. Asakura, „State-of-charge (SOC)-balancing control of a battery energy storage system based on a cascade PWM converter,“ *Power Electronics, IEEE Transactions on*, Jg. 24, Nr. 6, S. 1628–1636, 2009.
- [53] L. M. Tolbert, F. Z. Peng und T. G. Habetler, „Multilevel converters for large electric drives,“ *IEEE Transactions on Industry Applications*, Jg. 35, Nr. 1, S. 36–44, 1999.
- [54] Z. Zheng, K. Wang, L. Peng, Y. Li und L. Xu, „A hybrid cascaded multi-level converter for power storage system,“ in *Power Electronics and Applications (EPE), 2013 15th European Conference on*, IEEE, 2013, S. 1–10.
- [55] A. Hillers und J. Biela, „Optimal design of the modular multilevel converter for an energy storage system based on split batteries,“ in *Power Electronics and Applications (EPE), 2013 15th European Conference on*, IEEE, 2013, S. 1–11.
- [56] F. Jauch und J. Biela, „Novel isolated cascaded half-bridge converter for battery energy storage systems,“ in *Power Electronics and Applications (EPE’14-ECCE Europe), 2014 16th European Conference on*, IEEE, 2014, S. 1–10.
- [57] M. Schroeder, S. Henninger, J. Jaeger, A. Ras, H. Rubenbauer und H. Leu, „Integration of batteries into a modular multilevel converter,“ in *Power Electronics and Applications (EPE), 2013 15th European Conference on*, IEEE, 2013, S. 1–12.
- [58] S. Hosseini und R. Mathur, „A binary multi-level voltage-source inverter for static VAR generation,“ in *Electrical and Computer Engineering, 1997. Engineering Innovation: Voyage of Discovery. IEEE 1997 Canadian Conference on*, IEEE, Bd. 2, 1997, S. 427–430.
- [59] Y. Liu und F. Luo, „Trinary hybrid multilevel inverter used in STATCOM with unbalanced voltages,“ *IEE Proceedings-Electric Power Applications*, Jg. 152, Nr. 5, S. 1203–1222, 2005.
- [60] A. Rufer, M. Veenstra und K. Gopakumar, „Asymmetric multilevel converter for high resolution voltage phasor generation,“ in *Proc. EPE*, 1999, S. 10.

- [61] C. N. Mukundan und P. Jayaprakash, „A new binary hybrid cascaded H-bridge multi level converter for power quality applications,“ in *Power India International Conference (PIICON), 2016 IEEE 7th*, IEEE, 2016, S. 1–6.
- [62] F. Helling und T. Weyh, *Modular energy storage direct converter system*, DE 10 2014 110 410 A1, 2014.
- [63] R. Korthauer, *Handbuch Lithium-Ionen-Batterien*. Springer, 2013.
- [64] M. Wimmer, „Der Aufbau eines Versuchsstandes zur Charakterisierung von Batterien,“ Bacherlorarbeit, Universität der Bundeswehr München, 2015.
- [65] F. Z. Peng und J.-S. Lai, *Multilevel cascade voltage source inverter with separate DC sources*, US Patent 5,642,275, 1997.
- [66] F. Helling, M. Pfaeffl, J. Huber, S. Goetz und T. Weyh, „Modular Multilevel Parallel Converter (M2PC) for electrically driven vehicles,“ in *PCIM Europe 2014; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management; Proceedings of*, VDE, 2014, S. 1–8.
- [67] R. Marquardt, „Stromrichterschaltung mit verteilten Energiespeichern und Verfahren zur Steuerung einer derartigen Stromrichterschaltung,“ *Patentschrift DE 101 03 031 B4*, 2001.
- [68] —, *Stromversorgung mit einem Direktumrichter*, DE Patent App. DE2,002,117,889, 2003.
- [69] —, *Stromrichterschaltungen mit verteilten Energiespeichern*, DE Patent App. DE2,001,103,031, 2002.
- [70] R. Marquardt, A. Lesnicar und J. Hildinger, „Modulares stromrichter-konzept für netzkupplungsanwendung bei hohen spannungen,“ *ETG-Fachtagung, Bad Nauheim, Germany*, Jg. 114, 2002.
- [71] R. Marquardt, „Modular Multilevel Converter: An universal concept for HVDC-Networks and extended DC-Bus-applications,“ in *Power Electronics Conference (IPEC), 2010 International*, IEEE, 2010, S. 502–507.
- [72] A. Nami, J. Liang, F. Dijkhuizen und G. D. Demetriades, „Modular multilevel converters for HVDC applications: Review on converter cells and functionalities,“ *IEEE Transactions on Power Electronics*, Jg. 30, Nr. 1, S. 18–36, 2015.
- [73] K. Ilves, F. Taffner, S. Norrga, A. Antonopoulos, L. Harnefors und H.-P. Nee, „A submodule implementation for parallel connection of capacitors in modular multilevel converters,“ *IEEE Transactions on Power Electronics*, Jg. 30, Nr. 7, S. 3518–3527, 2015.
- [74] T. Weyh und S. Goetz, „Multi-level converter topology with the possibility of dynamically connecting individual modules in series and in parallel,“ US Patent 9,502,960, 2010.
- [75] S. M. Goetz, A. V. Peterchev und T. Weyh, „Modular Multilevel Converter With Series and Parallel Module Connectivity: Topology and Control,“ *Power Electronics, IEEE Transactions on*, Jg. 30, Nr. 1, S. 203–215, 2015.
- [76] R. Marquardt, „Modular Multilevel Converter: An universal concept for HVDC-Networks and extended DC-Bus-applications,“ in *Power Electronics Conference (IPEC), 2010 International*, IEEE, 2010, S. 502–507.

- [77] R. Erickson, S. Angkititrakul und K. Almazeedi, „New Family of Multilevel Matrix Converters for Wind Power Applications: Final Report, July 2002-March 2006,“ National Renewable Energy Laboratory (NREL), Golden, CO., Techn. Ber., 2006.
- [78] L. Baruschka und A. Mertens, „A new 3-phase AC/AC modular multilevel converter with six branches in hexagonal configuration,“ in *Energy Conversion Congress and Exposition (ECCE), 2011 IEEE*, IEEE, 2011, S. 4005–4012.
- [79] F. Helling, T. Weyh, R. Knauer und R. Eckerle, *Stromrichter für Energieübertragung*, DE Patent 202,017,102,722, 2017.
- [80] D. Karwatzki, L. Baruschka und A. Mertens, „Survey on the Hexverter topology – A modular multilevel AC/AC converter,“ in *Power Electronics and ECCE Asia (ICPE-ECCE Asia), 2015 9th International Conference on*, IEEE, 2015, S. 1075–1082.
- [81] K. Ilves, L. Bessegato und S. Norrga, „Comparison of cascaded multilevel converter topologies for AC/AC conversion,“ in *Power Electronics Conference (IPEC-Hiroshima 2014-ECCE-ASIA), 2014 International*, IEEE, 2014, S. 1087–1094.
- [82] S. Rohner, S. Bernet, M. Hiller und R. Sommer, „Modulation, losses, and semiconductor requirements of modular multilevel converters,“ *IEEE transactions on Industrial Electronics*, Jg. 57, Nr. 8, S. 2633–2642, 2010.
- [83] F. A. DeWinter und B. Wu, „Medium voltage motor harmonic heating, torques and voltage stress when applied on VFDs,“ in *Petroleum and Chemical Industry Conference, 1996, Record of Conference Papers. The Institute of Electrical and Electronics Engineers Incorporated Industry Applications Society 43rd Annual*, IEEE, 1996, S. 131–139.
- [84] H. W. Ping, N. A. Rahim und J. Jamaludin, „New three-phase multilevel inverter with shared power switches,“ *Journal of Power Electronics*, Jg. 13, Nr. 5, S. 787–797, 2013.
- [85] P. Rasilo, A. Salem, A. Abdallah, F. De Belie, L. Dupré und J. A. Melkebeek, „Effect of multilevel inverter supply on core losses in magnetic materials and electrical machines,“ *IEEE transactions on Energy Conversion*, Jg. 30, Nr. 2, S. 736–744, 2015.
- [86] M. Schweizer, T. Friedli und J. W. Kolar, „Comparative evaluation of advanced three-phase three-level inverter/converter topologies against two-level systems,“ *IEEE Transactions on industrial electronics*, Jg. 60, Nr. 12, S. 5515–5527, 2013.
- [87] D. Graovac, M. Purschel und A. Kiep, „MOSFET power losses calculation using the data-sheet parameters,“ *Infineon application note*, Jg. 1, 2006.
- [88] Z. J. Shen, Y. Xiong, X. Cheng, Y. Fu und P. Kumar, „Power MOSFET switching loss analysis: A new insight,“ in *Industry Applications Conference, 2006. 41st IAS Annual Meeting. Conference Record of the 2006 IEEE*, IEEE, Bd. 3, 2006, S. 1438–1442.
- [89] A. Singer, A. Jeyapragash, S. Goetz, F. Helling und T. Weyh, „Isolated low-power multi-output DC-DC converters with heterogeneous loads for an efficient supply of modular power electronics systems,“ in *PCIM Europe 2016; International Exhibition and Conference for Power Electronics, Intelligent Motion, Renewable Energy and Energy Management; Proceedings of*, VDE, 2016, S. 1–8.

- [90] W. Franke, „Vergleich von Siliziumkarbid-Leistungshalbleitern und ihre Anwendung in einem wirkungsgradoptimierten PV-Wechselrichter,“ Diss., Christian-Albrechts Universität Kiel, 2013.
- [91] J. Dodge, „Power MOSFET tutorial,“ *Microsemi, APT-0403 Rev B*, 2006.
- [92] K. Oh, „Mosfet basics, application note an-9010,“ Fairchild Semiconductor, Tech. Rep, Techn. Ber., 2000.
- [93] P. Petit, M. Aillerie, A. Zegaoui, J.-P. Sawicki und J.-P. Charles, „R dson behavior in various MOSFET families,“ in *Industrial Electronics (ISIE), 2011 IEEE International Symposium on*, IEEE, 2011, S. 353–357.
- [94] A. Huang, „Hard commutation of power MOSFET OptiMOS FD 200V/250V,“ in *Application Note AN 2014-03 V1. 0*, Infineon, 2014.
- [95] „Impacts of the dv/dt Rate on MOSFETs,“ in *Application Note 2018-07-26*, Toshiba Electronic Devices & Storage Corporation, 2018.
- [96] Ł. J. Niewiara, M. Skiwski, T. Tarczewski und L. M. Grzesiak, „Experimental study of snubber circuit design for SiC power MOSFET devices,“ *Computer Applications in Electrical Engineering*, Jg. 13, 2015.
- [97] J. Wang, R. T.-h. Li und H. S.-h. Chung, „An investigation into the effects of the gate drive resistance on the losses of the mosfet–snubber–diode configuration,“ *IEEE Transactions on Power Electronics*, Jg. 27, Nr. 5, S. 2657–2672, 2011.
- [98] U. Vicor Corporation.
- [99] U. Cree Inc.
- [100] T. Isobe, R. A. Barrera-Cardenas und H. Tadano, „Capacitor size reduction of MMC-based STATCOM for medium voltage power distribution network,“ in *Power Electronics and Applications (EPE'16 ECCE Europe), 2016 18th European Conference on*, IEEE, 2016, S. 1–10.
- [101] G. L. Johnson, „Solid State Tesla Coil,“ <http://www.g3ynh.info/zdocs/refs/Tesla>, 2001.
- [102] D. Liu, X. Liu, Q. Wang, Y. Zhang, J. Sun und C. Zhu, „Thin Plate Spline-Based Coulombic Efficiency Prediction of Lithium Battery,“ in *Instrumentation and Measurement, Computer, Communication and Control (IMCCC), 2014 Fourth International Conference on*, IEEE, 2014, S. 315–319.
- [103] Z. Wu, J. Zhang, L. Jiang, H. Wu und C. Yin, „The energy efficiency evaluation of hybrid energy storage system based on ultra-capacitor and LiFePO4 battery,“ *Energy*, Jg. 150, Nr. 900, S. 900, 2012.
- [104] A. Christensen, „Battery Pack Design, Validation, and Assembly Guide using A123 Systems Nanophosphate Cells,“ A123 Systems, Inc., USER DOCUMENTATION, 2014.
- [105] M. J. Brand, M. H. Hofmann, S. S. Schuster, P. Keil und A. Jossen, „The Influence of Current Ripples on the Lifetime of Lithium-Ion Batteries,“ *IEEE Transactions on Vehicular Technology*, Jg. 67, Nr. 11, S. 10 438–10 445, 2018.
- [106] L.-R. Chen, S.-L. Wu, D.-T. Shieh und T.-R. Chen, „Sinusoidal-ripple-current charging strategy and optimal charging frequency study for Li-ion batteries,“ *IEEE Transactions on Industrial Electronics*, Jg. 60, Nr. 1, S. 88–97, 2012.

- [107] L.-R. Chen, J.-J. Chen, C.-M. Ho, S.-L. Wu und D.-T. Shieh, „Improvement of Li-ion battery discharging performance by pulse and sinusoidal current strategies,“ *IEEE Transactions on Industrial Electronics*, Jg. 60, Nr. 12, S. 5620–5628, 2012.
- [108] K. Sawai, R. Yamato und T. Ohzuku, „Impedance measurements on lithium-ion battery consisting of Li [Li<sub>1</sub>/3Ti<sub>5</sub>/3] O<sub>4</sub> and LiCo<sub>1</sub>/2Ni<sub>1</sub>/2O<sub>2</sub>,“ *Electrochimica acta*, Jg. 51, Nr. 8-9, S. 1651–1655, 2006.
- [109] M. Uno und K. Tanaka, „Influence of high-frequency charge–discharge cycling induced by cell voltage equalizers on the life performance of lithium-ion cells,“ *Vehicular Technology, IEEE Transactions on*, Jg. 60, Nr. 4, S. 1505–1515, 2011.
- [110] K. Mikhaylov und J. Tervonen, „Evaluation of power efficiency for digital serial interfaces of microcontrollers,“ in *New Technologies, Mobility and Security (NTMS), 2012 5th International Conference on*, IEEE, 2012, S. 1–5.
- [111] P. Gapp, „Programmierung und Optimierung eines modularen Multilevel Converters zur Verwendung in Batteriesystemen,“ Bachelorarbeit, Universität der Bundeswehr München, 2017.
- [112] *VDA 320 - Elektrische und elektronische Komponenten im Kraftfahrzeug 48V-Bordnetz*, Verband der Automobilindustrie, 2014.
- [113] S. Allebrod, R. Hamerski und R. Marquardt, „New transformerless, scalable modular multilevel converters for HVDC-transmission,“ in *Power Electronics Specialists Conference, 2008. PESC 2008. IEEE*, IEEE, 2008, S. 174–179.
- [114] E. Young, „Don’t Want to Hear It? Avoid the Audio Band with PWM LED Dimming at Frequencies Above 20kHz,“ *Linear Technology Magazine*, Jg. 3, S. 30–40, 2009.
- [115] R. Walter, R. Siemieniec und M. Hoja, „An improved and low-resistive package for high-current MOSFET,“ in *2015 17th European Conference on Power Electronics and Applications (EPE’15 ECCE-Europe)*, IEEE, 2015, S. 1–10.
- [116] A. Röhrich und C. Rössle, „Chip Embedding of Power Semiconductors in Power Circuit Boards,“ *ATZelektronik worldwide*, Jg. 13, Nr. 6, S. 56–59, 2018.
- [117] E. Wassermann, C. Epstein, U. Ziemann, V. Walsh, T. Paus und S. Lisanby, *Oxford handbook of transcranial stimulation*. Oxford University Press, 2008.
- [118] F. Helling und T. Weyh, *Pulse source and method for magnetically inductive nerve stimulation*, US Patent App. 16/498,267, 2020.
- [119] S. Silbernagl und A. Despopoulos, „Nerv und Muskel, Arbeit,“ *Taschenatlas der Physiologie. 7th ed. Stuttgart: Georg Thieme Verlag. p*, S. 60–63, 2007.
- [120] H. R. Siebner und U. Ziemann, *Das TMS-Buch: Handbuch der transkraniellen Magnetstimulation*. Springer-Verlag, 2007.
- [121] T. Kammer, A. Thielscher u. a., „Physikalische und physiologische Grundlagen der transkraniellen Magnetstimulation,“ *Nervenheilkunde*, Jg. 22, Nr. 4, S. 168, 2003.
- [122] C. D. Thomas Weyh, *Skript zur Vorlesung: Elektromagnetische Felder in der Biomedizin und in medizinischen Anwendungen der Nanotechnik*. 2011.
- [123] L. M. Koponen, J. O. Nieminen und R. J. Ilmoniemi, „Minimum-energy coils for transcranial magnetic stimulation: application to focal stimulation,“ *Brain stimulation*, Jg. 8, Nr. 1, S. 124–134, 2015.



- [124] K. Wendicke, „Optimierung von Stimulationsspulen für die induktive Nervenreizung,“ Diss., Universität München, 2007.
- [125] H. Zantow, „Optimierung des Strom-Zeitverlaufs für die Depolarisation von Nervenzellen,“ Diss., Universität München, 2007.
- [126] H. Wang und F. Blaabjerg, „Reliability of capacitors for DC-link applications in power electronic converters An overview,“ *IEEE Transactions on Industry Applications*, Jg. 50, Nr. 5, S. 3569–3578, 2014.
- [127] IXYS, *IXFN210N30P3, N-channel 300 V, 0.0145 , 192 A, Polar3 HiPerFET Power MOSFET*, IXYS Corporation, (Silicon Valley, USA, 2013. Adresse: [http://ixapps.ixys.com/DataSheet/DS100482A\(IXFN210N30P3\).pdf](http://ixapps.ixys.com/DataSheet/DS100482A(IXFN210N30P3).pdf).
- [128] T. E. Schläpfer, *Tiefe Transkranielle Magnetstimulation (TMS): Verträglichkeit, Sicherheit und Wirksamkeit (Patienteninformation)*, Rheinische Friedrich-Wilhelms-Universität Bonn, 2009. Adresse: [http://www.meb.uni-bonn.de/psychiatrie/brain\\_stimulation\\_group\\_trd/pdfs/tms\\_patienteninfo.pdf](http://www.meb.uni-bonn.de/psychiatrie/brain_stimulation_group_trd/pdfs/tms_patienteninfo.pdf).
- [129] H. J. Schellnhuber, S. Rahmstorf und R. Winkelmann, „Why the right climate target was agreed in Paris,“ *Nature Climate Change*, Jg. 6, Nr. 7, S. 649, 2016.
- [130] H. Wirth und K. Schneider, „Aktuelle Fakten zur Photovoltaik in Deutschland,“ *Fraunhofer ISE*, 2021.
- [131] M. A. Delucchi und M. Z. Jacobson, „Providing all global energy with wind, water, and solar power, Part II: Reliability, system and transmission costs, and policies,“ *Energy policy*, Jg. 39, Nr. 3, S. 1170–1190, 2011.
- [132] A. J. Conejo, Y. Cheng, N. Zhang und C. Kang, „Long-term coordination of transmission and storage to integrate wind power,“ *CSEE Journal of Power and Energy Systems*, Jg. 3, Nr. 1, S. 36–43, 2017.
- [133] A. Zeh, M. Rau und R. Witzmann, „Comparison of decentralised and centralised grid-compatible battery storage systems in distribution grids with high PV penetration,“ *Progress in Photovoltaics: Research and Applications*, 2014.
- [134] T. Feehally, A. Forsyth, R. Todd u. a., „Battery energy storage systems for the electricity grid: UK research facilities,“ 2016.
- [135] J. Sardi und N. Mithulananthan, „Community energy storage, a critical element in smart grid: A review of technology, prospect, challenges and opportunity,“ in *Engineering Technology and Technopreneuship (ICE2T), 2014 4th International Conference on*, IEEE, 2014, S. 125–130.
- [136] M. Gimeno-Gutiérrez und R. Lacal-Aránategui, „Assessment of the European potential for pumped hydropower energy storage based on two existing reservoirs,“ *Renewable energy*, Jg. 75, S. 856–868, 2015.
- [137] W. Strielkowski, E. Lisin und M. Tvaronavičienė, „Towards energy security: Sustainable development of electrical energy storage,“ *Journal of Security & Sustainability Issues*, Jg. 6, Nr. 2, 2016.
- [138] S. Nocera und F. Cavallaro, „Policy effectiveness for containing CO2 emissions in transportation,“ *Procedia-Social and Behavioral Sciences*, Jg. 20, S. 703–713, 2011.
- [139] M. Wietschel, S. Ullrich, P. Markewitz, F. Schulte und F. Genoese, *Energietechnologien der Zukunft*. Springer, 2015.

- [140] M. A. Fasugba und P. T. Krein, „Gaining vehicle-to-grid benefits with unidirectional electric and plug-in hybrid vehicle chargers,“ in *2011 IEEE Vehicle Power and Propulsion Conference*, IEEE, 2011, S. 1–6.
- [141] Y. Du, S. Lukic, B. Jacobson und A. Huang, „Review of high power isolated bi-directional DC-DC converters for PHEV/EV DC charging infrastructure,“ in *2011 IEEE Energy Conversion Congress and Exposition*, IEEE, 2011, S. 553–560.
- [142] M. Yilmaz und P. T. Krein, „Review of battery charger topologies, charging power levels, and infrastructure for plug-in electric and hybrid vehicles,“ *IEEE transactions on Power Electronics*, Jg. 28, Nr. 5, S. 2151–2169, 2012.
- [143] F. Musavi, M. Edington, W. Eberle und W. G. Dunford, „Evaluation and efficiency comparison of front end AC-DC plug-in hybrid charger topologies,“ *IEEE Transactions on Smart Grid*, Jg. 3, Nr. 1, S. 413–421, 2011.
- [144] F. Brito, J. Martins, D. D. R. Pedrosa, V. D. F. Monteiro und J. L. Afonso, „Real-life comparison between diesel and electric car energy consumption,“ 2013.
- [145] S. Eaves und J. Eaves, „A cost comparison of fuel-cell and battery electric vehicles,“ *Journal of Power Sources*, Jg. 130, Nr. 1-2, S. 208–212, 2004.
- [146] S. G. Wirasingha, R. Gremban und A. Emadi, „Source-to-wheel (STW) analysis of plug-in hybrid electric vehicles,“ *IEEE Transactions on Smart Grid*, Jg. 3, Nr. 1, S. 316–331, 2011.
- [147] B. Kenney, K. Darcovich, D. D. MacNeil und I. J. Davidson, „Modelling the impact of variations in electrode manufacturing on lithium-ion battery modules,“ *Journal of Power Sources*, Jg. 213, S. 391–401, 2012.
- [148] T. Baumhöfer, M. Brühl, S. Rothgang und D. U. Sauer, „Production caused variation in capacity aging trend and correlation to initial cell performance,“ *Journal of Power Sources*, Jg. 247, S. 332–338, 2014.
- [149] H. Rahimi-Eichi, U. Ojha, F. Baronti und M.-Y. Chow, „Battery management system: an overview of its application in the smart grid and electric vehicles,“ *Industrial Electronics Magazine, IEEE*, Jg. 7, Nr. 2, S. 4–16, 2013.
- [150] J. Cao, N. Schofield und A. Emadi, „Battery balancing methods: A comprehensive review,“ in *2008 IEEE Vehicle Power and Propulsion Conference*, IEEE, 2008, S. 1–6.
- [151] Y. Lee, S. Jeon, H. Lee und S. Bae, „Comparison on cell balancing methods for energy storage applications,“ *Indian Journal of Science and Technology*, Jg. 9, Nr. 17, S. 92316, 2016.
- [152] R. F. Nelson und M. A. Kepros, „AC ripple effects on VRLA batteries in float applications,“ in *Fourteenth Annual Battery Conference on Applications and Advances. Proceedings of the Conference (Cat. No. 99TH8371)*, IEEE, 1999, S. 281–289.
- [153] T. Ouchi, A. Kanouda, N. Takahashi und M. Moteki, „Seamless controlled parallel bi-directional DC-DC converter for energy storage system,“ in *2014 16th European Conference on Power Electronics and Applications*, IEEE, 2014, S. 1–10.
- [154] T. Soong und P. Lehn, „Evaluation of Emerging Modular Multilevel Converters for BESS Applications,“ *Power Delivery, IEEE Transactions on*, Jg. 29, Nr. 5, S. 2086–2094, 2014.

- [155] F. Chang, O. Ilina, O. Hegazi, L. Voss und M. Lienkamp, „Adopting MOSFET multilevel inverters to improve the partial load efficiency of electric vehicles,“ in *Power Electronics and Applications (EPE'17 ECCE Europe), 2017 19th European Conference on*, IEEE, 2017, P–1.
- [156] M. Pfäffl, „Entwicklung eines neuartigen Dreiphasen-Umrichters für ein Stromerzeugungsaggregat,“ Masterarbeit, Technische Universität München, 2013.
- [157] A. Singer, „Umrichterbasierte Hochleistungs-Pulsquelle,“ Masterarbeit, Technische Universität München, 2012.
- [158] M. Wimmer, „Modular Multilevel Converter based split Battery System, with a minimum amount of switches,“ Masterarbeit, Universität der Bundeswehr München, 2016.
- [159] A. Singer, „Evaluierung einer modularen Umrichtertopologie zur Kombination von Batteriesystemen, Balancing-Systemen, Umrichtern und Ladeschaltungen,“ Diss., Universität der Bundeswehr München, 2019.
- [160] S. Jeschke, „Grundlegende Untersuchungen von Elektrofahrzeugen im Bezug auf Energieeffizienz und EMV mit einer skalierbaren Power-HiL-Umgebung,“ Diss., Duisburg, Essen, Universität Duisburg-Essen, Diss., 2016, 2016.
- [161] A. Emadi, Y. J. Lee und K. Rajashekara, „Power electronics and motor drives in electric, hybrid electric, and plug-in hybrid electric vehicles,“ *Industrial Electronics, IEEE Transactions on*, Jg. 55, Nr. 6, S. 2237–2245, 2008.
- [162] A. Emadi, K. Rajashekara, S. S. Williamson und S. M. Lukic, „Topological overview of hybrid electric and fuel cell vehicular power system architectures and configurations,“ *Vehicular Technology, IEEE Transactions on*, Jg. 54, Nr. 3, S. 763–770, 2005.
- [163] H. Itoh, T. Itoh, K. Furumoto und S. Yoshikawa, „Power supply control device for electric vehicle,“ US Patent 5,796,175, 1998.
- [164] T. S. Marco Baumgarth, „Verfahren und Vorrichtung zum Laden einer Niedervoltbatterie in einem elektrischen Antriebssystem,“ DE 102011012316 A1, 2010.
- [165] K. Umezumi und H. Noyama, „Air-conditioning system for electric vehicles (i-MiEV),“ in *SAE Automotive Refrigerant & System Efficiency Symposium*, Bd. 1, 2010.
- [166] T. Fischer, F. Götz, L. F. Berg, H.-P. Kollmeier und F. Gauterin, „Model-based Development of a Holistic Thermal Management System for an Electric Car with a High Temperature Fuel Cell Range Extender,“ in *Proceedings of the 11th International Modelica Conference, Versailles, France, September 21-23, 2015*, Linköping University Electronic Press, 2015, S. 127–133.
- [167] D. Wang, B. Yu, J. Hu, L. Chen, J. Shi und J. Chen, „Heating performance characteristics of CO<sub>2</sub> heat pump system for electrical vehicle in a cold climate,“ *International Journal of Refrigeration*, Jg. 85, S. 27–41, 2018.
- [168] I. Kavalchuk, H. Arisoy, A. Stojcevski und A. M. T. Oo, „Advanced simulation of power consumption of electric vehicles,“ *World Academy of Science, Engineering and Technology, International Journal of Electrical, Computer, Energetic, Electronic and Communication Engineering*, Jg. 9, Nr. 1, S. 53–59, 2015.

- [169] H. Nene und T. Zaitso, „Bi-directional PSFB DC-DC converter with unique PWM control schemes and seamless mode transitions using enhanced digital control,“ in *Applied Power Electronics Conference and Exposition (APEC), 2017 IEEE*, IEEE, 2017, S. 3229–3233.
- [170] F. Tan, M. Chiong, S. Rajoo, A. Romagnoli, T. Palenschat und R. Martinez-Botas, „Analytical and Experimental Study of Micro Gas Turbine as Range Extender for Electric Vehicles in Asian Cities,“ *Energy Procedia*, Jg. 143, S. 53–60, 2017.
- [171] H. Zou, W. Wang, G. Zhang, F. Qin, C. Tian und Y. Yan, „Experimental investigation on an integrated thermal management system with heat pipe heat exchanger for electric vehicle,“ *Energy Conversion and Management*, Jg. 118, S. 88–95, 2016.
- [172] D. Costinett, K. Hathaway, M. U. Rehman u. a., „Active balancing system for electric vehicles with incorporated low voltage bus,“ in *Applied Power Electronics Conference and Exposition (APEC), 2014 Twenty-Ninth Annual IEEE*, IEEE, 2014, S. 3230–3236.
- [173] M. Vasiladiotis und A. Rufer, „A Modular Multiport Power Electronic Transformer With Integrated Split Battery Energy Storage for Versatile Ultrafast EV Charging Stations,“ *Industrial Electronics, IEEE Transactions on*, Jg. 62, Nr. 5, S. 3213–3222, 2015.
- [174] H. Weißheimer, „Die Asynchronmaschine mit Gleichstrom erregt als Bremse,“ *Archiv für Elektrotechnik*, Jg. 28, Nr. 8, S. 487–492, 1934.
- [175] P. Rongmei, S. Shimi, D. S. Chatterji und V. K. Sharma, „A novel fast braking system for induction motor,“ *international Journal of Engineering and innovative Technology (IJEIT)*, Jg. 1, Nr. 6, S. 65–69, 2012.
- [176] A. K. Tandon, S. S. Murthy und B. Singh, „Experimental studies on a novel braking system for induction motors,“ *IEEE transactions on industry applications*, Nr. 5, S. 1238–1243, 1984.
- [177] P. Keil und A. Jossen, „Charging protocols for lithium-ion batteries and their impact on cycle life—An experimental study with different 18650 high-power cells,“ *Journal of Energy Storage*, Jg. 6, S. 125–141, 2016.
- [178] K. Uddin, A. D. Moore, A. Barai und J. Marco, „The effects of high frequency current ripple on electric vehicle battery performance,“ *Applied Energy*, Jg. 178, S. 142–154, 2016.
- [179] B. Battke, T. S. Schmidt, D. Grosspietsch und V. H. Hoffmann, „A review and probabilistic model of lifecycle costs of stationary batteries in multiple applications,“ *Renewable and Sustainable Energy Reviews*, Jg. 25, S. 240–250, 2013.
- [180] V. Calderaro, V. Galdi, G. Graber, G. Graditi und F. Lamberti, „Impact assessment of energy storage and electric vehicles on smart grids,“ in *Electric Power Quality and Supply Reliability Conference (PQ), 2014*, IEEE, 2014, S. 15–18.
- [181] F. Chang, Z. Zheng und Y. Li, „A novel hybrid energy storage topology and its control algorithm,“ in *Power Electronics and Applications (EPE'14-ECCE Europe), 2014 16th European Conference on*, IEEE, 2014, S. 1–9.

- [182] L. Consiglio, G. Di Lembo, C. Noce, P. Eckert, A. Rasic und A. Schuette, „Performances of the first electric storage system of Enel Distribuzione,“ 2013.
- [183] M. Daowd, N. Omar, P. Van Den Bossche und J. Van Mierlo, „Passive and active battery balancing comparison based on MATLAB simulation,“ in *Vehicle Power and Propulsion Conference (VPPC), 2011 IEEE*, IEEE, 2011, S. 1–7.
- [184] M. Del Castillo Jr, G. P. Lim, Y. Yoon und B. Chang, „Application of Frequency Regulation Control on the 4MW/8MWh Battery Energy Storage System (BESS) in Jeju Island, Republic of Korea,“ *Journal of Energy*, Jg. 1, Nr. 6, S. 287–295, 2014.
- [185] U. N. Gnanarathna, A. M. Gole und R. P. Jayasinghe, „Efficient modeling of modular multilevel HVDC converters (MMC) on electromagnetic transient simulation programs,“ *Power Delivery, IEEE Transactions on*, Jg. 26, Nr. 1, S. 316–324, 2011.
- [186] R. Gogoana, M. B. Pinson, M. Z. Bazant und S. E. Sarma, „Internal resistance matching for parallel-connected lithium-ion cells and impacts on battery pack cycle life,“ *Journal of Power Sources*, Jg. 252, S. 8–13, 2014.
- [187] F. Helling, J. Glück, A. Singer und T. Weyh, „Modular multilevel battery (M2B) for electric vehicles,“ in *Power Electronics and Applications (EPE'16 ECCE Europe), 2016 18th European Conference on*, IEEE, 2016, S. 1–9.
- [188] A. Hillers und J. Biela, „Low-voltage fault ride through of the modular multilevel converter in a battery energy storage system connected directly to the medium voltage grid,“ in *Power Electronics and Applications (EPE'14-ECCE Europe), 2014 16th European Conference on*, IEEE, 2014, S. 1–7.
- [189] Y. Hinago und H. Koizumi, „A single-phase multilevel inverter using switched series/parallel dc voltage sources,“ *IEEE Transactions on Industrial Electronics*, Jg. 57, Nr. 8, S. 2643–2650, 2010.
- [190] K. Ilves, L. Bessegato, L. Harnefors, S. Norrga und H.-P. Nee, „Semi-full-bridge submodule for modular multilevel converters,“ in *Power Electronics and ECCE Asia (ICPE-ECCE Asia), 2015 9th International Conference on*, IEEE, 2015, S. 1067–1074.
- [191] J. Kim, J. Shin, C. Chun und B. Cho, „Stable configuration of a Li-ion series battery pack based on a screening process for improved voltage/SOC balancing,“ *Power Electronics, IEEE Transactions on*, Jg. 27, Nr. 1, S. 411–424, 2012.
- [192] M. Koller, „Optimierte Betriebsführung eines 1MW Batteriespeichers im Verteilnetz,“ *Zürich, Eidgenössische Technische Hochschule Zürich, Masterthesis*, 2012.
- [193] M. Koller, T. Borsche, A. Ulbig und G. Andersson, „Review of grid applications with the Zurich 1MW battery energy storage system,“ *Electric Power Systems Research*, Jg. 120, S. 128–135, 2015.
- [194] P. Kshirsagar und R. Krishnan, „High-efficiency current excitation strategy for variable-speed nonsinusoidal back-emf pmsm machines,“ *Industry Applications, IEEE Transactions on*, Jg. 48, Nr. 6, S. 1875–1889, 2012.

- [195] J. Kucka, D. Karwatzki und A. Mertens, „AC/AC modular multilevel converters in wind energy applications: Design considerations,“ in *Power Electronics and Applications (EPE'16 ECCE Europe), 2016 18th European Conference on*, IEEE, 2016, S. 1–10.
- [196] X. Li, D. Hui und X. Lai, „Battery energy storage station (BESS)-based smoothing control of photovoltaic (PV) and wind power generation fluctuations,“ *Sustainable Energy, IEEE Transactions on*, Jg. 4, Nr. 2, S. 464–473, 2013.
- [197] T. Ma, H. Yang und L. Lu, „A feasibility study of a stand-alone hybrid solar–wind–battery system for a remote island,“ *Applied Energy*, Jg. 121, S. 149–158, 2014.
- [198] C. Mahieux und S. Linder, „The reality of large-scale storage solutions in today’s and tomorrow’s future European energy system,“ *ABB Group, Power-gen Europe, Vienne*, 2013.
- [199] C. H. McCoy und D. Ofer, *Differential current monitoring for parallel-connected batteries*, US Patent App. 13/351,695, 2012.
- [200] G. Merei, C. Berger und D. U. Sauer, „Optimization of an off-grid hybrid PV–Wind–Diesel system with different battery technologies using genetic algorithm,“ *Solar Energy*, Jg. 97, S. 460–473, 2013.
- [201] J. Murray und D. King, „Climate policy: Oil’s tipping point has passed,“ *Nature*, Jg. 481, Nr. 7382, S. 433–435, 2012.
- [202] I. I. Olsen und N. B. Pasquale, *Battery and inverter configuration with increased efficiency*, US Patent 7,248,490, 2007.
- [203] M. Perez, S. Bernet, J. Rodriguez, S. Kouro, R. Lizana u. a., „Circuit topologies, modeling, control schemes, and applications of modular multilevel converters,“ *Power Electronics, IEEE Transactions on*, Jg. 30, Nr. 1, S. 4–17, 2015.
- [204] S. Piller, M. Perrin und A. Jossen, „Methods for state-of-charge determination and their applications,“ *Journal of power sources*, Jg. 96, Nr. 1, S. 113–120, 2001.
- [205] B. Propfe, M. Redelbach, D. J. Santini und H. Friedrich, „Cost analysis of plug-in hybrid electric vehicles including maintenance & repair costs and resale values,“ 2012.
- [206] H. Qian, J. Zhang, J.-S. Lai und W. Yu, „A high-efficiency grid-tie battery energy storage system,“ *Power Electronics, IEEE Transactions on*, Jg. 26, Nr. 3, S. 886–896, 2011.
- [207] J. I. Rodriguez und S. B. Leeb, „A multilevel inverter topology for inductively coupled power transfer,“ *IEEE Transactions on Power Electronics*, Jg. 21, Nr. 6, S. 1607–1617, 2006.
- [208] S. Rothgang, T. Baumhöfer, H. van Hoek, T. Lange, R. W. De Doncker und D. U. Sauer, „Modular battery design for reliable, flexible and multi-technology energy storage systems,“ *Applied Energy*, Jg. 137, S. 931–937, 2015.
- [209] S. F. Schuster, M. J. Brand, P. Berg, M. Gleissenberger und A. Jossen, „Lithium-ion cell-to-cell variation during battery electric vehicle operation,“ *Journal of Power Sources*, Jg. 297, S. 242–251, 2015.

- [210] D. Shin, M. Poncino, E. Macii und N. Chang, „A statistical model of cell-to-cell variation in Li-ion batteries for system-level design,“ in *Low Power Electronics and Design (ISLPED), 2013 IEEE International Symposium on*, IEEE, 2013, S. 94–99.
- [211] T. Stetz, J. von Appen, F. Niedermeyer, G. Scheibner, R. Sikora und M. Braun, „Twilight of the Grids: The Impact of Distributed Solar on Germany’s Energy Transition,“ *Power and Energy Magazine, IEEE*, Jg. 13, Nr. 2, S. 50–61, 2015.
- [212] T. Summers, R. Betz und G. Mirzaeva, „Phase leg voltage balancing of a cascaded H-bridge converter based STATCOM using zero sequence injection,“ in *Power Electronics and Applications, 2009. EPE’09. 13th European Conference on*, IEEE, 2009, S. 1–10.
- [213] M. M. Thackeray, C. Wolverton und E. D. Isaacs, „Electrical energy storage for transportation—approaching the limits of, and going beyond, lithium-ion batteries,“ *Energy & Environmental Science*, Jg. 5, Nr. 7, S. 7854–7863, 2012.
- [214] T. A. et.al., „Batteriespeicher in der Nieder- und Mittelspannungsebene,“ *VDE-Studie*, 2015.
- [215] J. Twidell, T. Weir u. a., *Renewable energy resources*. Routledge, 2015.
- [216] N. Wade, P. Taylor, P. Lang und J. Svensson, „Energy storage for power flow management and voltage control on an 11kV UK distribution network,“ in *Electricity Distribution-Part 1, 2009. CIRED 2009. 20th International Conference and Exhibition on*, IET, 2009, S. 1–4.
- [217] B. Wasowicz, S. Koopmann, T. Dederichs, A. Schnettler und U. Spaetling, „Evaluating regulatory and market frameworks for energy storage deployment in electricity grids with high renewable energy penetration,“ in *European Energy Market (EEM), 2012 9th International Conference on the*, IEEE, 2012, S. 1–8.
- [218] H. Wirth und K. Schneider, „Aktuelle Fakten zur Photovoltaik in Deutschland,“ *Fraunhofer ISE*, 2015.
- [219] Y. Xing, W. He, M. Pecht und K. L. Tsui, „State of charge estimation of lithium-ion batteries using the open-circuit voltage at various ambient temperatures,“ *Applied Energy*, Jg. 113, S. 106–115, 2014.
- [220] T. Baumhöfer, M. Brühl, S. Rothgang und D. U. Sauer, „Production caused variation in capacity aging trend and correlation to initial cell performance,“ *Journal of Power Sources*, Jg. 247, S. 332–338, 2014.
- [221] J. Neubauer, E. Wood und A. Pesaran, „A Second Life for Electric Vehicle Batteries: Answering Questions on Battery Degradation and Value,“ *SAE Int. J. Mater. Manf*, Jg. 8, Nr. 2, 2015.
- [222] S. Santhanagopalan und R. E. White, „Quantifying cell-to-cell variations in lithium ion batteries,“ *International Journal of Electrochemistry*, Jg. 2012, 2012.
- [223] A. Hassanpoor, S. Norrga, H.-P. Nee und L. Ångquist, „Evaluation of different carrier-based PWM methods for modular multilevel converters for HVDC application,“ in *IECON 2012-38th Annual Conference on IEEE Industrial Electronics Society*, IEEE, 2012, S. 388–393.

- [224] M. Rajan und R. Seyezhai, „Comparative study of multicarrier pwm techniques for a modular multilevel inverter,“ *International Journal of Engineering and Technology (IJET)*, Jg. 5, Nr. 6, S. 4850–4865, 2013.
- [225] B. Dittmer, B. Mader und A. Schmidt, „Stromnetz für ein elektrisch antreibbares Kraftfahrzeug,“ DE102015205278, 2016.
- [226] D. Emrich, „Transkranielle, spinale und periphere Magnetstimulation bei Maus und Hund,“ Diss., lmu, 2009.
- [227] W. Paulus, A. V. Peterchev und M. Ridding, „Transcranial electric and magnetic stimulation: technique and paradigms,“ in *Handbook of clinical neurology*, Bd. 116, Elsevier, 2013, S. 329–342.
- [228] A. V. Peterchev, R. Jalinous und S. H. Lisanby, „A transcranial magnetic stimulator inducing near-rectangular pulses with controllable pulse width (cTMS),“ *IEEE Transactions on Biomedical Engineering*, Jg. 55, Nr. 1, S. 257–266, 2008.
- [229] F. Brito, J. Martins, D. Pedrosa, V. Monteiro und J. L. Afonso, „Real-life comparison between diesel and electric car energy consumption,“ *Grid electrified vehicles: performance, design and environmental impacts (Editor: Carla Alexandra Monteiro da Silva)*, S. 209–232, 2013.
- [230] S. Eaves und J. Eaves, „A cost comparison of fuel-cell and battery electric vehicles,“ *Journal of Power Sources*, Jg. 130, Nr. 1, S. 208–212, 2004.
- [231] H. Fakham, D. Lu und B. Francois, „Power control design of a battery charger in a hybrid active PV generator for load-following applications,“ *Industrial Electronics, IEEE Transactions on*, Jg. 58, Nr. 1, S. 85–94, 2011.
- [232] T. Huld, A. J. Waldau, H. Ossenbrink, S. Szabo, E. Dunlop und N. Taylor, „Cost Maps for Unsubsidised Photovoltaic Electricity,“ JRC Technical Report, Techn. Ber., 2014.
- [233] J. von Karczewski, S. Webel und A. F. Pease, „Schwimmende Stromer,“ *Pictures of the Future – Das Magazin für Forschung und Innovation*, 2015. Adresse: <http://www.siemens.com/innovation/de/home/pictures-of-the-future/mobilitaet-uns-antriebe/elektromobilitaet-elektroschiffe-schwimmende-stromer.html>.
- [234] C. Lorf, R. F. Martinez-Botas, D. A. Howey, L. Lytton und B. Cussons, „Comparative analysis of the energy consumption and CO<sub>2</sub> emissions of 40 electric, plug-in hybrid electric, hybrid electric and internal combustion engine vehicles,“ *Transportation Research Part D: Transport and Environment*, Jg. 23, S. 12–19, 2013.
- [235] F. Musavi, M. Edington, W. Eberle und W. G. Dunford, „Evaluation and efficiency comparison of front end AC-DC plug-in hybrid charger topologies,“ *Smart Grid, IEEE Transactions on*, Jg. 3, Nr. 1, S. 413–421, 2012.
- [236] S. G. Wirasingha, R. Gremban und A. Emadi, „Source-to-wheel (STW) analysis of plug-in hybrid electric vehicles,“ *Smart Grid, IEEE Transactions on*, Jg. 3, Nr. 1, S. 316–331, 2012.



- [237] M. Yazdanie, F. Noembrini, L. Dossetto und K. Boulouchos, „A comparative analysis of well-to-wheel primary energy demand and greenhouse gas emissions for the operation of alternative and conventional vehicles in Switzerland, considering various energy carrier production pathways,“ *Journal of Power Sources*, Jg. 249, S. 333–348, 2014.
- [238] M. Yilmaz und P. T. Krein, „Review of battery charger topologies, charging power levels, and infrastructure for plug-in electric and hybrid vehicles,“ *Power Electronics, IEEE Transactions on*, Jg. 28, Nr. 5, S. 2151–2169, 2013.
- [239] V. Ivakhno, V. V. Zamaruiev und O. Ilina, „Estimation of semiconductor switching losses under hard switching using Matlab/Simulink subsystem,“ *Electrical, Control and Communication Engineering*, Jg. 2, Nr. 1, S. 20–26, 2013.
- [240] D. Garbacki, „Strommessung mittels Spulen,“ Bachelorarbeit, Universität der Bundeswehr München, 2012.
- [241] S. Mai, „Dezentralisierung der Energieerzeugung mit Verzicht auf Kernenergie unter Zuhilfenahme von stationären Energiespeichern,“ Bachelorarbeit, Universität der Bundeswehr München, 2012.
- [242] J. Hoppmann, J. Volland, T. S. Schmidt und V. H. Hoffmann, „The economic viability of battery storage for residential solar photovoltaic systems—A review and a simulation model,“ *Renewable and Sustainable Energy Reviews*, Jg. 39, S. 1101–1118, 2014.
- [243] M. R. Islam, Y. Guo und J. Zhu, „A high-frequency link multilevel cascaded medium-voltage converter for direct grid integration of renewable energy systems,“ *Power Electronics, IEEE Transactions on*, Jg. 29, Nr. 8, S. 4167–4182, 2014.
- [244] T. M. Jackson, G. R. Walker und N. Mithulananthan, „Integrating PV systems into distribution networks with battery energy storage systems,“ in *Power Engineering Conference (AUPEC), 2014 Australasian Universities*, IEEE, 2014, S. 1–7.
- [245] D. Tiku, „Modular Multilevel MMI (HB) Topology for Single-Stage Grid Connected PV Plant,“ in *AC and DC Power Transmission, 11th IET International Conference on*, IET, 2015, S. 1–8.
- [246] E. Villanueva, P. Correa, J. Rodriguez und M. Pacas, „Control of a single-phase cascaded H-bridge multilevel inverter for grid-connected photovoltaic systems,“ *Industrial Electronics, IEEE Transactions on*, Jg. 56, Nr. 11, S. 4399–4406, 2009.
- [247] J. Brown und G. Moxey, „Power MOSFET basics: Understanding MOSFET characteristics associated with the figure of merit,“ *IEEE Electron Device Letters*, Jg. 10, Nr. 10, 1989.
- [248] M. El-Husseini, P. Venet, G. Rojat und C. Joubert, „Thermal simulation for geometric optimization of metallized polypropylene film capacitors,“ *IEEE Transactions on Industry Applications*, Jg. 38, Nr. 3, S. 713–718, 2002.
- [249] M. Nikouie, H. Zhang, O. Wallmark und H.-P. Nee, „A highly integrated electric drive system for tomorrow’s EVs and HEVs,“ in *Power Electronics Conference (SPEC), 2017 IEEE Southern*, IEEE, 2017, S. 1–5.

- 
- [250] N. Roscoe, Y. Zhong und S. Finney, „Comparing SiC MOSFET, IGBT and Si MOSFET in LV distribution inverters,“ in *IECON 2015-41st Annual Conference of the IEEE Industrial Electronics Society*, IEEE, 2015, S. 000 743–000 748.
- [251] M. Schulz, F. Kapaun und R. Marquardt, „Scalable high frequency converters for motor drives based on switching cells,“ in *Integrated Power Systems (CIPS), 2014 8th International Conference on*, VDE, 2014, S. 1–5.
- [252] STMicroelectronics, *STE250NS10, N-channel 100 V, 0.0045 , 220 A, ISOTOP STripFET™ Power MOSFET*, STMicroelectronics N.V., (Amsterdam, Niederlande), 2010. Adresse: <http://www.st.com/content/ccc/resource/technical/document/datasheet/c4/00/7f/42/65/f3/4b/05/CD00002654.pdf/files/CD00002654.pdf/jcr:content/translations/en.CD00002654.pdf>.